



(12) 发明专利

(10) 授权公告号 CN 103325350 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201210599198. 0

书第 4 — 7 段和第 60 — 71 段、图 9.

(22) 申请日 2012. 12. 27

审查员 林峰

(30) 优先权数据

10-2012-0028921 2012. 03. 21 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 姜宗锡 金利映

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 刘久亮

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

CN 101202024 A, 2008. 06. 18, 全文.

CN 101477836 A, 2009. 07. 08, 说明书第 10 页第 5 段至第 15 页第 3 段、图 1 和 6.

US 2006221042 A1, 2006. 10. 05, 摘要、说明

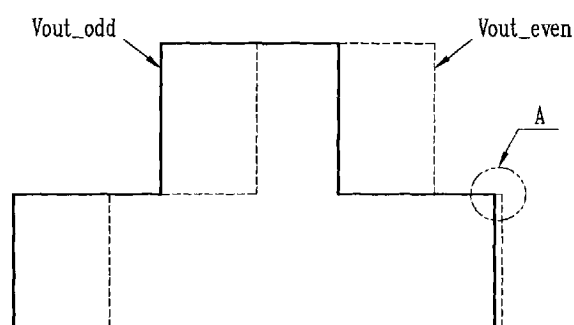
权利要求书5页 说明书12页 附图8页

(54) 发明名称

选通驱动单元以及具有该选通驱动单元的液晶显示设备

(57) 摘要

公开了一种选通驱动单元以及具有该选通驱动单元的液晶显示设备,该选通驱动单元能够通过降低选通信号的截止时间而具有减小的设计区域和功耗。选通驱动单元包括 N 级电路单元,该 N 级电路单元通过从外部接收起始信号和第一至第四时钟信号而被驱动,其中,每级电路单元被配置为通过第一至第四时钟信号中的至少一个来输出选通信号,并且接收从第 (N+3) 级电路单元输出的选通信号由此用作复位信号。



1. 一种选通驱动单元,该选通驱动单元包括:

N 级电路单元,所述 N 级电路单元通过从外部接收起始信号和第一至第四时钟信号而被驱动,每级电路单元包括第一级电路单元和第二级电路单元,并且所述 N 级电路单元包括第一至第三虚拟级电路单元,

其中,每级电路单元被配置为通过所述第一至第四时钟信号中的至少一个来输出选通信号

其中,第 (N-1) 级电路单元被配置为接收第一时钟信号和第二时钟信号,并将第一选通信号和第二选通信号输出至第一输出端和第二输出端,

其中,所述第 (N-1) 级电路单元接收从第 N 级电路单元输出的施加到第 N 个偶数选通线的选通信号作为第一复位信号,并且其中,所述第 (N-1) 级电路单元接收从第一虚拟级电路单元输出的第一虚拟选通信号作为第二复位信号。

2. 根据权利要求 1 所述的选通驱动单元,其中,所述第一级电路单元包括:

第一晶体管,该第一晶体管具有共同地连接到第一驱动信号的栅极和漏极,以及连接到第一节点的源极;

第二晶体管,该第二晶体管具有连接到所述第一节点的栅极、连接到所述第一驱动信号的漏极和连接到第二节点的源极;

第三晶体管,该第三晶体管具有连接到第一起始信号的栅极,连接到第一电压的漏极和连接到第三节点的源极;

第四晶体管,该第四晶体管具有连接到第一复位信号的栅极,连接到所述第三节点的漏极和连接到第二电压的源极;

第五晶体管,该第五晶体管具有连接到第四节点的栅极,连接到所述第三节点的漏极和连接到所述第二电压的源极;

第六晶体管,该第六晶体管具有连接到所述第二节点的栅极,连接到所述第三节点的漏极和连接到所述第二电压的源极;

第七晶体管,该第七晶体管具有连接到所述第三节点的栅极,连接到所述第二节点的漏极和连接到所述第二电压的源极;

第八晶体管,该第八晶体管具有连接到所述第一起始信号的栅极,连接到所述第二节点的漏极和连接到所述第二电压的源极;

第九晶体管,该第九晶体管具有连接到所述第三节点的栅极,连接到第一时钟信号的源极和连接到第一输出端的漏极;

第十晶体管,该第十晶体管具有连接到所述第二节点的栅极,连接到所述第一输出端的漏极和连接到所述第二电压 (VGL) 的源极;以及

第十一晶体管,该第十一晶体管具有连接到所述第四节点的栅极,连接到所述第一输出端的漏极和连接到所述第二电压的源极。

3. 根据权利要求 2 所述的选通驱动单元,其中,所述第二级电路单元包括:

第一晶体管,该第一晶体管具有共同地连接到第二驱动信号的栅极和漏极,以及连接到第五节点的源极;

第二晶体管,该第二晶体管具有连接到所述第五节点的栅极,连接到所述第二驱动信号的漏极和连接到第六节点的源极;

第三晶体管,该第三晶体管具有连接到第二起始信号的栅极,连接到第一电压的漏极和连接到第七节点的源极;

第四晶体管,该第四晶体管具有连接到第二复位信号的栅极,连接到第七节点的漏极和连接到第二电压的源极;

第五晶体管,该第五晶体管具有连接到所述第六节点的栅极,连接到所述第七节点的漏极和连接到所述第二电压的源极;

第六晶体管,该第六晶体管具有连接到所述第六节点的栅极,连接到所述第七节点的漏极和连接到所述第二电压的源极;

第七晶体管,该第七晶体管具有连接到所述第七节点的栅极,连接到第八节点的漏极和连接到所述第二电压的源极;

第八晶体管,该第八晶体管具有连接到所述第二起始信号的栅极,连接到所述第八节点的漏极和连接到所述第二电压的源极;

第九晶体管,该第九晶体管具有连接到所述第七节点的栅极,连接到第二时钟信号的源极和连接到第二输出端的漏极;

第十晶体管,该第十晶体管具有连接到所述第六节点的栅极,连接到所述第二输出端的漏极和连接到所述第二电压的源极;以及

第十一晶体管,该第十一晶体管具有连接到所述第八节点的栅极,连接到所述第二输出端的漏极和连接到所述第二电压的源极。

4. 根据权利要求3所述的选通驱动单元,其中,所述第一级电路单元的第二节点电连接到所述第二级电路单元的第八节点。

5. 根据权利要求3所述的选通驱动单元,其中,所述第一级电路单元的第四节点电连接到所述第二级电路单元的第六节点。

6. 根据权利要求3所述的选通驱动单元,其中,所述第一驱动信号和所述第二驱动信号被设置为使得在指定时间段高低电压被交替地施加。

7. 根据权利要求3所述的选通驱动单元,其中,所述第一级电路单元的第三节点和所述第二级电路单元的第七节点被顺序地充电和放电。

8. 根据权利要求1所述的选通驱动单元,其中,所述第一至第三虚拟级电路单元被配置为接收第一至第三时钟信号,并将第一至第三虚拟选通信号输出至第一至第三虚拟输出端。

9. 根据权利要求1所述的选通驱动单元,其中,所述第一至第三虚拟级电路单元使用从外部提供的复位信号。

10. 根据权利要求1所述的选通驱动单元,其中,所述第一选通信号是施加到第(N-1)个奇数选通线的选通信号,并且所述第二选通信号是施加到第(N-1)个偶数选通线的选通信号。

11. 根据权利要求1所述的选通驱动单元,其中,第N级电路单元被配置为接收第三时钟信号和第四时钟信号,并将第三选通信号和第四选通信号输出至第三输出端和第四输出端。

12. 根据权利要求11所述的选通驱动单元,其中,所述第三选通信号是施加到第N个奇数选通线的选通信号,并且所述第四选通信号是施加到第N个偶数选通线的选通信号。

13. 根据权利要求 11 所述的选通驱动单元,其中,所述第 N 级电路单元接收从第二虚拟级电路单元输出的第二虚拟选通信号作为第三复位信号,并且

其中,所述第 N 级电路单元接收从第三虚拟级电路单元输出的第三虚拟选通信号作为第四复位信号。

14. 一种液晶显示设备,该液晶显示设备包括:

液晶面板,该液晶面板被配置为显示图像并且具有多条选通线和多条数据线;

定时控制器,该定时控制器被配置为生成用于驱动所述液晶面板的多个控制信号;

多个数据驱动单元,该多个数据驱动单元被配置为驱动所述多条数据线;以及

选通驱动单元,该选通驱动单元包括 N 级电路单元,所述 N 级电路单元被配置为输出用于驱动所述多条选通线的多个选通信号,并且所述 N 级电路单元通过从外部接收起始信号和第一至第四时钟信号而被驱动,每级电路单元包括第一级电路单元和第二级电路单元,并且所述 N 级电路单元包括第一至第三虚拟级电路单元,

其中,每级电路单元被配置为通过所述第一至第四时钟信号中的至少一个来输出选通信号,

其中,第 (N-1) 级电路单元被配置为接收第一时钟信号和第二时钟信号,并将第一选通信号和第二选通信号输出至第一输出端和第二输出端,

其中,所述第 (N-1) 级电路单元接收从第 N 级电路单元输出的施加到第 N 个偶数选通线的选通信号作为第一复位信号,并且其中,所述第 (N-1) 级电路单元接收从第一虚拟级电路单元输出的第一虚拟选通信号作为第二复位信号。

15. 根据权利要求 14 所述的液晶显示设备,其中,所述选通驱动单元设置在所述液晶面板的两侧。

16. 根据权利要求 14 所述的液晶显示设备,其中,所述第一级电路单元包括:

第一晶体管,该第一晶体管具有共同地连接到第一驱动信号的栅极和漏极,以及连接到第一节点的源极;

第二晶体管,该第二晶体管具有连接到所述第一节点的栅极,连接到所述第一驱动信号的漏极和连接到第二节点的源极;

第三晶体管,该第三晶体管具有连接到第一起始信号的栅极,连接到第一电压的漏极和连接到第三节点的源极;

第四晶体管,该第四晶体管具有连接到第一复位信号的栅极,连接到所述第三节点的漏极和连接到第二电压的源极;

第五晶体管,该第五晶体管具有连接到第四节点的栅极,连接到所述第三节点的漏极和连接到所述第二电压的源极;

第六晶体管,该第六晶体管具有连接到所述第二节点的栅极,连接到所述第三节点的漏极和连接到所述第二电压的源极;

第七晶体管,该第七晶体管具有连接到所述第三节点的栅极,连接到所述第二节点的漏极和连接到所述第二电压的源极;

第八晶体管,该第八晶体管具有连接到所述第一起始信号的栅极,连接到所述第二节点的漏极和连接到所述第二电压的源极;

第九晶体管,该第九晶体管具有连接到所述第三节点的栅极,连接到第一时钟信号的

源极和连接到第一输出端的漏极；

第十晶体管，该第十晶体管具有连接到所述第二节点的栅极，连接到所述第一输出端的漏极和连接到所述第二电压（VGL）的源极；以及

第十一晶体管，该第十一晶体管具有连接到所述第四节点的栅极，连接到所述第一输出端的漏极和连接到所述第二电压的源极。

17. 根据权利要求 16 所述的液晶显示设备，其中，所述第二级电路单元包括：

第一晶体管，该第一晶体管具有共同地连接到第二驱动信号的栅极和漏极，以及连接到第五节点的源极；

第二晶体管，该第二晶体管具有连接到所述第五节点的栅极，连接到所述第二驱动信号的漏极和连接到第六节点的源极；

第三晶体管，该第三晶体管具有连接到第二起始信号的栅极，连接到第一电压的漏极和连接到第七节点的源极；

第四晶体管，该第四晶体管具有连接到第二复位信号的栅极，连接到第七节点的漏极和连接到第二电压的源极；

第五晶体管，该第五晶体管具有连接到所述第六节点的栅极，连接到所述第七节点的漏极和连接到所述第二电压的源极；

第六晶体管，该第六晶体管具有连接到所述第六节点的栅极，连接到所述第七节点的漏极和连接到所述第二电压的源极；

第七晶体管，该第七晶体管具有连接到所述第七节点的栅极，连接到第八节点的漏极和连接到所述第二电压的源极；

第八晶体管，该第八晶体管具有连接到所述第二起始信号的栅极，连接到所述第八节点的漏极和连接到所述第二电压的源极；

第九晶体管，该第九晶体管具有连接到所述第七节点的栅极，连接到第二时钟信号的源极和连接到第二输出端的漏极；

第十晶体管，该第十晶体管具有连接到所述第六节点的栅极，连接到所述第二输出端的漏极和连接到所述第二电压的源极；以及

第十一晶体管，该第十一晶体管具有连接到所述第八节点的栅极，连接到所述第二输出端的漏极和连接到所述第二电压的源极。

18. 根据权利要求 17 所述的液晶显示设备，其中，所述第一级电路单元的第二节点电连接到所述第二级电路单元的第八节点。

19. 根据权利要求 17 所述的 LCD 设备，其中，所述第一级电路单元的第四节点电连接到所述第二级电路单元的第六节点。

20. 根据权利要求 17 所述的液晶显示设备，其中，所述第一驱动信号和第二驱动信号被设置为使得在指定时间段高低电压被交替地施加。

21. 根据权利要求 17 所述的液晶显示设备，其中，所述第一级电路单元的第三节点和所述第二级电路单元的第七节点被顺序地充电和放电。

22. 根据权利要求 14 所述的液晶显示设备，其中，所述第一至第三虚拟级电路单元被配置为接收第一至第三时钟信号，并将第一至第三虚拟选通信号输出至第一至第三虚拟输出端。

23. 根据权利要求 14 所述的液晶显示设备, 其中, 所述第一至第三虚拟级电路单元使用从外部提供的复位信号。

选通驱动单元以及具有该选通驱动单元的液晶显示设备

技术领域

[0001] 本发明涉及选通驱动单元以及具有该选通驱动单元的液晶显示 (LCD) 设备,并特别地涉及能够通过降低选通信号的截止时间来减小设计区域和功率损耗的选通驱动单元以及具有该选通驱动单元的 LCD 设备。

背景技术

[0002] 随着信息社会的发展,对显示图像的显示设备的要求增加。显示设备包括各种类型的平板显示设备,如液晶显示 (LCD) 设备、等离子显示面板 (PDP) 设备和有机发光二极管 (OLED) 设备。

[0003] 在这些平板显示设备中,LCD 设备由于其尺寸小、重量轻、厚度薄、以低功耗驱动而被广泛应用。

[0004] LCD 设备被配置为通过利用电场来控制具有介电各向异性的液晶的光通过率来显示图像。

[0005] 这种 LCD 设备包括:选通驱动单元,其被配置为从定时控制器(未示出)接收控制信号以生成选通信号并被配置为向选通线(未示出)顺序地提供所生成的选通信号,以由此使连接到该选通线的 TFT 导通;数据驱动单元,其被配置为从定时控制器接收控制信号和图像信号,以由此将与图像信号对应的数据电压施加到数据线(未示出);以及被配置为控制该选通驱动单元和数据驱动单元的定时控制器。

[0006] 图 1 是表示常规技术的 LCD 设备的选通驱动单元的视图。

[0007] 如图 1 所示,选通驱动单元(未示出)包括移位寄存器 20 和虚拟级电路单元 22。此处,该移位寄存器 20 包括 N 级电路单元,该 N 级电路单元通过接收来自定时控制器(未示出)的起始信号(未示出)和第一至第四时钟信号(CLK1 ~ CLK4)来工作。选通驱动单元将选通信号输出到预设数量的选通线。

[0008] 第 (N-1) 级电路单元接收起始信号(未示出)、第一复位信号 RST_odd、第二复位信号 RST_even、第一时钟信号 CLK1 和第二时钟信号 CLK2,从而输出第一选通信号 Gout(N-1)_0 和第二选通信号 Gout(N-1)_E 到第一输出端 Vout_odd 和第二输出端 Vout_even。

[0009] 从第 N 级电路单元输出的施加到第 N 个偶数选通线的选通信号 Gout(N)_E 被输入,作为第一复位信号 RST_odd 和第二复位信号 RST_even。

[0010] 第 (N-1) 级电路单元中包括两级电路单元。第 (N-1) 级电路单元 1(未示出)输出施加到第 (N-1) 个奇数选通线的第一选通信号 Gout(N-1)_0,并且第 (N-1) 级电路单元 2(未示出)输出施加到第 (N-1) 个偶数选通线的第二选通信号 Gout(N-1)_E。该第一选通信号和第二选通信号按时间间隔被顺序地输出。

[0011] 虚拟级电路单元 22 从外部接收第二时钟信号 CLK2,从而输出虚拟选通信号 Gout_D。并且,虚拟级电路单元 22 接收从外部施加的复位信号 RST 作为复位信号 RST_D,从而输出选通截止信号。

[0012] 图 2 和图 3 是分别示出了第 (N-1) 级电路单元中的上拉晶体管的选通信号的视图,并且图 4 是图 2 中的“A”部分的放大视图。

[0013] 如图 2 至图 4 所示,第 (N-1) 级电路单元中包括:第一上拉晶体管(未示出),其用于接收第一时钟信号 CLK1 并输出第一选通信号 Gout (N-1)_0 至第一输出端 Vout_{odd};以及第二上拉晶体管(未示出),其用于接收第二时钟信号 CLK2 并输出第二选通信号 Gout (N-1)_E 至第二输出端 Vout_{even}。

[0014] 如图 2 所示,由于用于截止第一上拉晶体管和第二上拉晶体管的第一截止信号 V1 和第二截止信号 V2 被同时输入到第一上拉晶体管和第二上拉晶体管的栅极,所以第一截止信号 V1 和第二截止信号 V2 的电压波长彼此不对称。

[0015] 如图 3 所示,存在保持时段 a、b,在该保持时段 a、b,当第一截止信号 V1 和第二截止信号 V2 被放电时,指定电压被维持指定时间。在保持时段 a、b 中,由于第一截止信号 V1 和第二截止信号 V2 之间的电压差以及第一上拉晶体管和第二上拉晶体管的不对称操作,从第 (N-1) 级电路单元输出的第一选通信号 Gout (N-1)_0 和第二选通信号 Gout (N-1)_E 彼此不对称。原因是由于与第二截止信号 V2 的电压相对于第一截止信号 V1 在保持时段 a、b 中被降低,因此从第二上拉晶体管输出的信号被弱化。

[0016] 另外,如图 4 中的“A”所示,选通驱动单元通过接收偏压温度应力 (BTS) 来工作。随着由选通驱动单元的长时间驱动所导致的输出特性劣化,第二截止信号 V2 的电压在保持时段中可被降低。这会导致 LCD 设备的不正常驱动。此处,b 表示在高温下(比如 60℃)驱动选通驱动单元之前的第二截止信号 V2, b' 表示在高温下(比如 60℃)驱动选通驱动单元 1000 个小时之后的第二截止信号 V2。

发明内容

[0017] 因此,详细描述的一方面是提供一种可通过改进的特性来提高稳定性的选通驱动单元以及具备该选通驱动单元的液晶显示 (LCD) 设备。

[0018] 详细描述的另一方面是提供一种通过减小选通信号的截止时间而具有减小的设计区域和功耗的选通驱动单元以及具备该选通驱动单元的 LCD 设备。

[0019] 为获得这些优点和其它优点并根据本说明书的目的,如在本文具体和广义的描述的,提供了一种选通驱动单元,该选通驱动单元包括 N 级电路单元,该 N 级电路单元通过从外部接收起始信号和第一至第四时钟信号而被驱动,其中,每级电路单元通过第一至第四时钟信号中的至少一个来输出选通信号,并且接收从第 (N+3) 级电路单元输出的选通信号以由此用作复位信号。

[0020] 每级电路单元可以包括第一级电路单元和第二级电路单元。

[0021] 第一级电路单元可包括:第一晶体管,其具有共同地连接到第一驱动信号的栅极和漏极,以及连接到第一节点的源极;第二晶体管,其具有连接到第一节点的栅极,连接到第一驱动信号的漏极和连接到第二节点的源极;第三晶体管,其具有连接到第一起始信号的栅极,连接到第一电压的漏极和连接到第三节点的源极;第四晶体管,其具有连接到第一复位信号的栅极,连接到第三节点的漏极和连接到第二电压的源极;第五晶体管,其具有连接到第四节点的栅极,连接到第三节点的漏极和连接到第二电压的源极;第六晶体管,其具有连接到第二节点的栅极,连接到第三节点的漏极和连接到第二电压的源极;第七晶体管,

其具有连接到第三节点的栅极,连接到第二节点的漏极和连接到第二电压的源极;第八晶体管,其具有连接到第一起始信号的栅极,连接到第二节点的漏极和连接到第二电压的源极;第九晶体管,其具有连接到第三节点的栅极,连接到第一时钟信号的源极和连接到第一输出端的漏极;第十晶体管,其具有连接到第二节点的栅极,连接到第一输出端的漏极和连接到第二电压 VGL 的源极;以及第十一晶体管,其具有连接到第四节点的栅极,连接到第一输出端的漏极和连接到第二电压的源极。

[0022] 第二级电路单元可包括:第一晶体管,其具有共同地连接到第二驱动信号的栅极和漏极,连接到第五节点的源极;第二晶体管,其具有连接到第五节点的栅极,连接到第二驱动信号的漏极和连接到第六节点的源极;第三晶体管,其具有连接到第二起始信号的栅极,连接到第一电压的漏极和连接到第七节点的源极;第四晶体管,其具有连接到第二复位信号的栅极,连接到第七节点的漏极和连接到第二电压的源极;第五晶体管,其具有连接到第六节点的栅极,连接到第七节点的漏极和连接到第二电压的源极;第六晶体管,其具有连接到第六节点的栅极,连接到第七节点的漏极和连接到第二电压的源极;第七晶体管,其具有连接到第七节点的栅极,连接到第八节点的漏极和连接到第二电压的源极;第八晶体管,其具有连接到第二起始信号的栅极,连接到第八节点的漏极和连接到第二电压的源极;第九晶体管,其具有连接到第七节点的栅极,连接到第二时钟信号的源极和连接到第二输出端的漏极;第十晶体管,其具有连接到第六节点的栅极,连接到第二输出端的漏极和连接到第二电压的源极;以及第十一晶体管,其具有连接到第八节点的栅极,连接到第二输出端的漏极和连接到第二电压的源极。

[0023] 第一级电路单元的第二节点可电连接到第二级电路单元的第八节点。

[0024] 第一级电路单元的第四节点可电连接到第二级电路单元的第六节点。

[0025] 第一驱动信号和第二驱动信号可被设置为使得在指定时间段高低电压能够被交替地施加。

[0026] 第一级电路单元的第三节点和第二级电路单元的第七节点可被顺序地充电和放电。

[0027] N 级电路单元可包括第一至第三虚拟级电路单元。

[0028] 第一至第三虚拟级电路单元可被配置为接收第一至第三时钟信号,并将第一至第三虚拟选通信号输出至第一至第三虚拟输出端。

[0029] 第一至第三虚拟级电路单元可使用从外部提供的复位信号。

[0030] 第(N-1)级电路单元可被配置为接收第一时钟信号和第二时钟信号,并将第一选通信号和第二选通信号输出至第一输出端和第二输出端。

[0031] 第一选通信号可以是施加到第(N-1)个奇数选通线的选通信号,并且第二选通信号可以是施加到第(N-1)个偶数选通线的选通信号。

[0032] 第(N-1)级电路单元可接收从第N级电路单元输出的施加到第N个偶数选通线的选通信号作为第一复位信号。并且第(N-1)级电路单元可接收从第一虚拟级电路单元输出的第一虚拟选通信号作为第二复位信号。

[0033] 第N级电路单元可接收第三时钟信号和第四时钟信号,并将第三选通信号和第四选通信号输出至第三输出端和第四输出端。

[0034] 第三选通信号可以是施加到第N个奇数选通线的选通信号,并且第四选通信号可

以是施加到第 N 个偶数选通线的选通信号。

[0035] 第 N 级电路单元可接收从第二虚拟级电路单元输出的第二虚拟选通信号作为第三复位信号。并且第 N 级电路单元可接收从第三虚拟级电路单元输出的第三虚拟选通信号作为第四复位信号。

[0036] 为获得这些优点和其它优点并根据本说明书的目的,如在本文具体和广义的描述的,提供了一种液晶显示 (LCD) 设备,该 LCD 设备包括:液晶面板,其被配置为显示图像并且具有多个条选通线和多条数据线;定时控制器,其被配置为生成用于驱动液晶面板的多个控制信号;多个数据驱动单元,其被配置为驱动多条数据线;以及选通驱动单元,其包括 N 级电路单元,该 N 级电路单元被配置为输出用于驱动该多条选通线的多个选通信号并且该 N 级电路单元通过从外部接收起始信号和第一至第四时钟信号而被驱动,其中每级电路单元被配置为通过第一至第四时钟信号中的至少一个来输出选通信号,并且接收从第 (N+3) 级电路单元输出的选通信号以由此用作复位信号。

[0037] 选通驱动单元可设置在液晶面板的两侧。

[0038] 每级电路单元可包括第一级电路单元和第二级电路单元。

[0039] 第一级电路单元可包括:第一晶体管,其具有共同地连接到第一驱动信号的栅极和漏极,以及连接到第一节点的源极;第二晶体管,其具有连接到第一节点的栅极,连接到第一驱动信号的漏极和连接到第二节点的源极;第三晶体管,其具有连接到第一起始信号的栅极,连接到第一电压的漏极和连接到第三节点的源极;第四晶体管,其具有连接到第一复位信号的栅极,连接到第三节点的漏极和连接到第二电压的源极;第五晶体管,其具有连接到第四节点的栅极,连接到第三节点的漏极和连接到第二电压的源极;第六晶体管,其具有连接到第二节点的栅极,连接到第三节点的漏极和连接到第二电压的源极;第七晶体管,其具有连接到第三节点的栅极,连接到第二节点的漏极和连接到第二电压的源极;第八晶体管,其具有连接到第一起始信号的栅极,连接到第二节点的漏极和连接到第二电压的源极;第九晶体管,其具有连接到第三节点的栅极,连接到第一时钟信号的源极和连接到第一输出端的漏极;第十晶体管,其具有连接到第二节点的栅极,连接到第一输出端的漏极和连接到第二电压 (VGL) 的源极;以及第十一晶体管,其具有连接到第四节点的栅极,连接到第一输出端的漏极和连接到第二电压的源极。

[0040] 第二级电路单元可包括:第一晶体管,其具有共同地连接到第二驱动信号的栅极和漏极和连接到第五节点的源极;第二晶体管,其具有连接到第五节点的栅极,连接到第二驱动信号的漏极和连接到第六节点的源极;第三晶体管,其具有连接到第二起始信号的栅极,连接到第一电压的漏极和连接到第七节点的源极;第四晶体管,其具有连接到第二复位信号的栅极,连接到第七节点的漏极和连接到第二电压的源极;第五晶体管,其具有连接到第六节点的栅极,连接到第七节点的漏极和连接到第二电压的源极;第六晶体管,其具有连接到第六节点的栅极,连接到第七节点的漏极和连接到第二电压的源极;第七晶体管,其具有连接到第七节点的栅极,连接到第八节点的漏极和连接到第二电压的源极;第八晶体管,其具有连接到第二起始信号的栅极,连接到第八节点的漏极和连接到第二电压的源极;第九晶体管,其具有连接到第七节点的栅极,连接到第二时钟信号的源极和连接到第二输出端的漏极;第十晶体管,其具有连接到第六节点的栅极,连接到第二输出端的漏极和连接到第二电压的源极;以及第十一晶体管,其具有连接到第八节点的栅极,连接到第二输出端的

漏极和连接到第二电压的源极。

[0041] 第一级电路单元的第二节点可电连接到第二级电路单元的第八节点。

[0042] 第一级电路单元的第四节点可电连接到第二级电路单元的第六节点。

[0043] 第一驱动信号和第二驱动信号可被设置为使得在指定时间段高低电压被交替地施加。

[0044] 第一级电路单元的第三节点和第二级电路单元的第七节点可被顺序地充电和放电。

[0045] N 级电路单元可包括第一至第三虚拟级电路单元。

[0046] 第一至第三虚拟级电路单元可被配置为接收第一至第三时钟信号,并将第一至第三虚拟选通信号输出至第一至第三虚拟输出端。

[0047] 第一至第三虚拟级电路单元可使用从外部提供的复位信号。

[0048] 本发明可具有下列优点:

[0049] 首先,选通驱动单元可通过其改进的特性而具有提高的稳定性。

[0050] 其次,选通驱动单元能够通过降低选通信号的截止时间而具有减小的设计区域和功耗。

[0051] 本申请的其它应用范围根据下面所给出的具体描述将变得更明显。但是应当理解,由于对本领域技术人员来说根据具体描述来获得在本发明的精神和范围内的各种改变和修改是很明显的,因此在本发明优选实施方式进行表示的同时,仅以示例的方式给出了具体描述和特定示例。

附图说明

[0052] 附图被包括进来以提供对发明的进一步的理解并且被引入和构成该说明书的一部分,附图示出了示例性实施方式并与说明书一起用于对本发明的原理进行解释。

[0053] 在附图中:

[0054] 图 1 是示出根据常规技术的 LCD 设备的选通驱动单元的视图;

[0055] 图 2 和图 3 是示出从第 (N-1) 级电路单元输出的选通信号的视图;

[0056] 图 4 是图 2 中的“A”部分的放大视图;

[0057] 图 5 是示出根据本发明第一实施方式的 LCD 设备的视图;

[0058] 图 6 是示出根据本发明第一实施方式的第一选通驱动单元的视图;

[0059] 图 7 是示出根据本发明第一实施方式的第 (N-1) 级电路单元的内部的视图;

[0060] 图 8 是示出根据本发明第一实施方式的第 (N-1) 级电路单元 1 和第 (N-1) 级电路单元 2 的内部的视图;

[0061] 图 9 是示出根据本发明第一实施方式的第 (N-1) 级电路单元 1 和第 (N-1) 级电路单元 2 的操作的波形;以及

[0062] 图 10 是示出根据本发明第一实施方式的从第 (N-1) 级电路单元输出的第二选通信号的输出波形的视图。

具体实施方式

[0063] 现在将参考附图,对示例性实施方式进行详细描述。为了参考附图进行简要的描

述,将为相同或等同的部件提供相同的附图标记,并且将不再重复进行描述。

[0064] 在下文中,将参考附图更详细地说明根据本发明的选通驱动单元和 LCD 设备。

[0065] 图 5 是示出根据本发明第一实施方式的 LCD 设备的视图。

[0066] 如图 5 所示,在等效电路中,液晶面板 110 与多个显示信号线连接,并且包括多个以矩阵形式设置的单位像素。

[0067] 这些显示信号线形成在显示区域(未示出)上,并且包括用于发送选通信号的多条选通线 GL 和用于发送数据信号的多条数据线 DL。选通线 GL 在行方向上平行地形成,并且数据线 DL 在列方向上平行地形成。

[0068] 每个单位像素包括:连接到显示信号线的开关设备,连接到开关设备的液晶电容 Clc,和存储电容 Cst。如果需要,可以不设置存储电容 Cst。

[0069] 开关设备(TFT)设置在阵列基板上,并且是三端设备。开关设备的控制端和供给端连接到选通线 GL 和数据线 DL。并且,开关设备的输出端连接到 LC 电容 Clc 和存储电容 Cst。

[0070] 因为两个端子,LC 电容 Clc 具有阵列基板的像素电极,和滤色器基板(color filter substrate)的公共电极。在两个电极间的 LC 层充当介电材料。像素电极连接到 TFT。并且,公共电极形成于滤色器基板(color filter substrate)的前表面上,并接收公共电压 Vcom。阵列基板上可设置公共电极。在这种情况下,像素电极和公共电极可被形成具有线性形状或条形形状。

[0071] 存储电容 Cst 因设置在阵列基板上的附加信号线(未示出)和像素电极彼此交叠而实现。将预定电压(如公共电压 Vcom)施加在附加信号线上。但是,存储电容 Cst 可以因像素电极与前面的设置在像素电极上的选通线交叠而实现,其中以绝缘体作为介质。

[0072] 对于彩色显示器,每个单位像素应该显示色彩。为此,在与像素电极对应的区域应该设置 R、G 和 B 滤色器。这些滤色器可形成在滤色器基板的相应区域上。另选地,这些滤色器可形成在阵列基板之上或之下。

[0073] 用于使光偏振的偏振器(未示出)可附在阵列基板和滤色器基板中至少一个的外表面。

[0074] 第一选通驱动单元 120 和第二选通驱动单元 122 被设置在液晶面板 110 的两侧。并且,第一选通驱动单元 120 和第二选通驱动单元 122 连接到对应的选通线 GL,以向选通线 GL 施加从外部提供的选通信号,该选通信号被实现为选通导通电压 Von 和选通截止电压 Voff 的组合。

[0075] 第一选通驱动单元 120 和第二选通驱动单元 122 可同薄膜晶体管(TFT)一起形成于液晶面板 110 的非显示区域(未示出)上。例如,第一选通线 GL 连接到第一选通驱动单元 120 和第二选通驱动单元 122 的每一个,因此从第一选通驱动单元 120 和第二选通驱动单元 122 输出的相同的选通信号被同时施加到第一选通线上。

[0076] 数据驱动单元 130 连接到液晶面板 110 的数据线 DL,并且基于从伽马电压发生器(未示出)产生的多个伽马电压来产生多个灰度级电压。然后,数据驱动单元 130 选择所生成的灰度级电压以作为数据信号施加到单位像素。数据驱动单元 130 可被实现为多个集成电路。

[0077] 定时控制器 140 产生控制信号 CONT1、CONT2,用于控制第一选通驱动单元 120、第

二选通驱动单元 122、数据驱动单元 130 等的操作,并且向第一选通驱动单元 120 和第二选通驱动单元 122 和数据驱动单元 130 提供控制信号。

[0078] 驱动电压发生器(未示出)产生多个驱动电压。例如,驱动电压发生器可产生选通导通电压 V_{on} 、选通截止电压 V_{off} 和公共电压 V_{com} 。

[0079] 下文中,将对 LCD 设备的显示操作进行更详细的说明。

[0080] 定时控制器 140 从外部图形控制器(未示出)接收图像数据(R、G 和 B)和用于控制图像数据 RGB 的显示的控制信号,例如垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、主时钟信号 MCLK、数据使能信号 DE 等。并且,定时控制器 140 基于该控制信号产生选通控制信号、数据控制信号等,并根据液晶面板 110 的操作条件处理图像数据 RGB。然后,定时控制器 140 向选通驱动单元 120 提供选通控制信号,并向数据驱动单元 130 提供数据控制信号和经处理的图像数据 DAT。

[0081] 选通控制信号包括选通调制控制信号 FLK、选通输出使能 GOE、选通移位时钟 GSC 和选通起始脉冲上升沿(gate start pulse-up)GSP。

[0082] 数据控制信号包括源输出使能 SOE、源移位时钟 SSC、源右起始脉冲 SSPR、源极左起始脉冲(source start pulse right)SSPL 和极性控制信号 POL。

[0083] 数据驱动单元 130 根据从定时控制器 140 提供的数据控制信号顺序接收与单条线的单位像素对应的图像数据 DAT。然后,数据驱动单元 130 从灰度级电压中选择与每个图像数据 DAT 对应的灰度级电压,由此将该图像数据 DAT 转换为相应的数据电压。

[0084] 根据从定时控制器 140 提供的选通控制信号,第一选通驱动单元 120 和第二选通驱动单元 122 向选通线 GL 施加选通导通电压 V_{on} ,由此导通连接到选通线 GL 的开关设备 TFT。

[0085] 当选通导通电压 V_{on} 已被施加到单条选通线 GL 上,连接到单条选通线 GL 的、单条信号线上的开关设备 TFT 被导通时,数据驱动单元 130 将每个数据电压提供给相应的数据线 DL。提供给数据线 DL 的数据电压通过导通的开关设备 TFT 被施加到对应的单位像素。

[0086] 当液晶分子的取向根据由像素电极和公共电极产生的电场的变化而发生变化时,穿过液晶层的光的偏振也发生变化。这种偏振的改变使得通过附在阵列基板和滤色器基板上的偏振器(未示出)的透光率发生改变。

[0087] 在这种方式中,选通导通电压 V_{on} 在单帧被顺序地施加到所有的选通线 GL,从而数据电压被施加到所有的单位像素。如果下一帧在单帧之后开始,则施加到数据驱动单元 130 的反转信号(inverse signal)的状态被控制,从而施加到每个单位像素的数据电压的极性与前一帧的数据电压的极性相反(帧反转)。在此,根据单帧内的反转信号的特性,流经单条数据线的的数据电压具有极性变化(线反转)。另选的,施加到单个像素线的数据电压可具有极性变化(点反转)。

[0088] 图 6 是示出根据本发明第一实施方式的第一选通驱动单元的视图,并且图 7 是示出根据本发明第一实施方式的第(N-1)级电路单元的内部的视图。因为第一驱动单元 120 和第二驱动单元 122 具有相同的结构,为了方便起见,将仅仅对第一驱动单元 120 进行说明。

[0089] 如图 6 所示,根据本发明第一实施方式的第一选通驱动单元 120 包括移位寄存器 120 和虚拟级电路单元 124。在此,移位寄存器 120 包括 N 级电路单元 120_1 和 120_2,该 N

级电路单元 120_1 和 120_2 通过接收来自定时控制器 140 的起始信号（未示出）和第一至第四时钟信号 CLK1 ~ CLK4 而工作。第一选通驱动单元 120 向预设数量的选通线输出选通信号。

[0090] 第 (N-2) 级电路单元的第一选通信号（未示出）作为第一起始信号 VST_odd 被输入到第 (N-1) 级电路单元 120_1。并且，第 (N-2) 级电路单元的第二选通信号（未示出）作为第二起始信号 VST_even 被输入到第 (N-1) 级电路单元 120_1。第 (N-1) 级电路单元 120_1 接收第一复位信号 RST_odd 和第二复位信号 RST_even，及第一时钟信号 CLK1 和第二时钟信号 CLK2，由此分别将第一选通信号 Gout (N-1)_0 和第二选通信号 Gout (N-1)_E 输出到第一输出端 Vout_odd 和第二输出端 Vout_even。

[0091] 第 (N-1) 级电路单元 120_1 接收从第 N 级电路单元 120_2 输出并施加到第 N 个偶数选通线的选通信号 Gout (N)_E，作为第一复位信号 RST_odd。并且，第 (N-1) 级电路单元 120_1 接收从第一虚拟级电路单元 124_1 输出的第一虚拟选通信号 Gout_D1，作为第二复位信号 RST_even。

[0092] 第 (N-1) 级电路单元 120_1 的第一选通信号 Gout (N-1)_0 作为第一起始信号 VST_odd 被输入到第 N 级电路单元 120_2。并且，第 (N-1) 级电路单元 120_1 的第二选通信号 Gout (N-1)_E 作为第二起始信号 VST_even 被输入到第 N 级电路单元 120_2。第 N 级电路单元 120_2 接收第一复位信号 RST_odd 和第二复位信号 RST_even，及第三时钟信号 CLK3 和第四时钟信号 CLK4，由此分别将第一选通信号 Gout (N)_0 和第二选通信号 Gout (N)_E 输出到第一输出端 Vout_odd 和第二输出端 Vout_even。

[0093] 第 N 级电路单元 120_2 接收从第二虚拟级电路单元 124_2 输出的第二虚拟选通信号 Gout_D2，作为第一复位信号 RST_odd。并且，第 N 级电路单元 120_2 接收从第三虚拟级电路单元 124_3 输出的第三虚拟选通信号 Gout_D3，作为第二复位信号 RST_even。

[0094] 虚拟级电路单元 124 中包括第一虚拟级电路单元 124_1 至第三虚拟级电路单元 124_3。第一虚拟级电路单元 124_1 接收第 N 级电路单元 120_2 的第一选通信号 Gout (N)_0，作为起始信号。第二虚拟级电路单元 124_2 接收第 N 级电路单元 120_2 的第二选通信号 Gout (N)_E，作为起始信号。并且第三虚拟级电路单元 124_3 接收第一虚拟级电路单元 124_1 的第一虚拟选通信号 Gout_D1，作为起始信号。

[0095] 当第一至第三虚拟级电路单元 124_1 ~ 124_3 接收第一至第三时钟信号 CLK1 ~ CLK3 时，第一至第三虚拟输出端 Vout_D1 ~ Vout_D3 输出第一至第三虚拟选通信号 Gout_D1 ~ Gout_D3。第一至第三虚拟级电路单元 124_1 ~ 124_3 接收外部提供的复位信号 RST，作为第一至第三复位信号 RST_D1 ~ RST_D3。

[0096] 如图 7 所示，根据本发明的第一实施方式的第 (N-1) 级电路单元 120_1 中包括第 (N-1) 级电路单元 1126_1 和第 (N-1) 级电路单元 2126_2。

[0097] 第 (N-1) 级电路单元 1 126_1 接收从外部输入的第一时钟信号 CLK1，由此将施加到第 (N-1) 个奇数选通线的第一选通信号 Gout (N-1)_0 输出到输出端 Vout_odd。第 (N-1) 级电路单元 2 126_2 接收从外部输入的第二时钟信号 CLK2，由此将施加到第 (N-1) 个偶数选通线的第二选通信号 Gout (N-1)_E 输出到输出端 Vout_even。即，单级电路单元输出两个选通信号，例如第一选通信号 Gout (N-1)_0 和第二选通信号 Gout (N-1)_E。第一选通信号 Gout (N-1)_0 和第二选通信号 Gout (N-1)_E 按照指定的时间间隔顺序输出。

[0098] 在传统技术中,第(N-1)级电路单元接收从第N级电路单元输出的选通信号 Gout(N)_E 作为复位信号,由此同时使第一选通信号 Gout(N-1)_0 和第二选通信号 Gout(N-1)_E 放电。这可导致第一选通信号 Gout(N-1)_0 和第二选通信号 Gout(N-1)_E 在保持时段中具有电压差。在本发明的第一实施方式中,为使电压差最小化,第N级电路单元 120_2 的第二选通信号 Gout(N)_E 作为第(N-1)级电路单元 1 126_1 的第一复位信号 RST_odd 被接收。并且,第一虚拟级电路单元 124_1 的第一虚拟选通信号 Gout_D1 作为第(N-1)级电路单元 2 126_2 的第二复位信号 RST_even 被接收。

[0099] 在本发明的第一实施方式中,第(N-1)级电路单元 120_1 接收施加到第(N+3)条选通线上的选通信号,作为第一复位信号 RST_odd 和第二复位信号 RST_even。然后第(N-1)级电路单元 120_1 输出选通截止信号给相应的选通线。这样可使在保持时段中产生的第一选通信号 Gout(N-1)_0 和第二选通信号 Gout(N-1)_E 之间的电压差最小化。

[0100] 在本发明的第一个实施方式中,第(N-1)级电路单元 120_1 通过接收施加到第(N+3)条选通线上的选通信号作为第一复位信号 RST_odd 和第二复位信号 RST_even 来工作。这样可以在保持时段最小化第二选通信号 Gout(N-1)_E 电压的下降,由于长时间的驱动,由输出特性(b)所导致的电压下降被逐渐降低。

[0101] 图8是示出根据本发明第一实施方式的第(N-1)级电路单元1和第(N-1)级电路单元2的内部视图。

[0102] 如图8所示,第(N-1)级电路单元1 126_1 中包括多个晶体管 T11 ~ T21。

[0103] 第一晶体管 T11 具有共同连接到第一驱动信号 VGH_odd 的栅极和漏极,并且具有连接到第一节点 N11 的源极。第二晶体管 T12 具有连接到第一节点 N11 的栅极,连接到第一驱动信号 VGH_odd 的漏极,和连接到第二节点 N12 的源极。第三晶体管 T13 具有连接到第一起始信号 VST1 的栅极,连接到第一电压 VGH 的漏极,和连接到第三节点 N13 的源极。在此,例如,第一电压 VGH 可以是 29V 的直流(DC)电压。

[0104] 第四晶体管 T14 具有连接到第一复位信号 RST_odd 的栅极,连接到第三节点 N13 的漏极,和连接到第二电压 VGL 的源极。第五晶体管 T15 具有连接到第四节点 N14 的栅极,连接到第三节点 N13 的漏极,和连接到第二电压 VGL 的源极。第六晶体管 T16 具有连接到第二节点 N12 的栅极,连接到第三节点 N13 的漏极,和连接到第二电压 VGL 的源极。例如,在此,第二电压 VGL 可以是 -6V 的直流(DC)电压。

[0105] 第七晶体管 T17 具有连接到第三节点 N13 的栅极,连接到第二节点 N12 的漏极和连接到第二电压 VGL 的源极。第八晶体管 T18 具有连接到第一起始信号 VST1 的栅极,连接到第二节点 N12 的漏极,和连接到第二电压 VGL 的源极。第九晶体管 T19 具有连接到第三节点 N13 的栅极,连接到第一时钟信号 CLK1 的源极,和连接到输出端 Vout_odd 的漏极。

[0106] 第十晶体管 T20 具有连接到第二节点 N12 的栅极,连接到输出端 Vout_odd 的漏极,和连接到第二电压 VGL 的源极。第十一晶体管 T21 具有连接到第四节点 N14 的栅极,连接到输出端 Vout_odd 的漏极,和连接到第二电压 VGL 的源极。

[0107] 第(N-1)级电路单元2 126_2 中包括多个晶体管 T31 ~ T41。

[0108] 第一晶体管 T31 具有共同连接到第二驱动信号 VGH_even 的栅极和漏极,并且具有连接到第一节点 N21 的源极。第二晶体管 T32 具有连接到第一节点 N21 的栅极,连接到第二驱动信号 VGH_even 的漏极,和连接到第四节点 N24 的源极。第三晶体管 T33 具有连接到

第二起始信号 VST2 的栅极, 连接到第一电压 VGH 的漏极, 和连接到第三节点 N23 的源极。

[0109] 第四晶体管 T34 具有连接到第二复位信号 RST_even 的栅极, 连接到第三节点 N23 的漏极, 和连接到第二电压 VGL 的源极。第五晶体管 T35 具有连接到第四节点 N24 的栅极, 连接到第三节点 N23 的漏极, 和连接到第二电压 VGL 的源极。第六晶体管 T36 具有连接到第二节点 N22 的栅极, 连接到第三节点 N23 的漏极, 和连接到第二电压 VGL 的源极。

[0110] 第七晶体管 T37 具有连接到第三节点 N23 的栅极, 连接到第四节点 N24 的漏极, 和连接到第二电压 VGL 的源极。第八晶体管 T38 具有连接到第二起始信号 VST2 的栅极, 连接到第四节点 N24 的漏极, 和连接到第二电压 VGL 的源极。第九晶体管 T39 具有连接到第三节点 N23 的栅极, 连接到第二时钟信号 CLK2 的源极, 和连接到输出端 Vout_even 的漏极。

[0111] 第十晶体管 T40 具有第二节点 N22 的栅极, 连接到输出端 Vout_even 的漏极, 和连接到第二电压 VGL 的源极。第十一晶体管 T41 具有连接到第四节点 N24 的栅极, 连接到输出端 Vout_even 的漏极, 和连接到第二电压 VGL 的源极。

[0112] 在下文中, 将参考图 9 对根据本发明第一实施方式的第一级电路单元和第二级电路单元的操作进行说明。

[0113] 图 9 是示出根据本发明第一实施方式的第 (N-1) 级电路单元 1 和第 (N-1) 级电路单元 2 的操作的波形图。

[0114] 如图 9 所示, 一旦第一驱动信号 VGH_odd 施加到第 (N-1) 级电路单元 1 126_1, 第一晶体管 T11 和第二晶体管 T12 被导通, 以使第二节点 N12 处于高电平。在此, 第六晶体管 T16 和第十晶体管 T20 被导通。

[0115] 施加第一驱动信号 VGH_odd, 使得高低电平信号在指定时间段中彼此交替。第一起始信号 VST1 和第二起始信号 VST2 具有 1H 时段的相位差。第 (N-2) 级电路单元 (未示出) 的第一选通信号被输入作为第一起始信号 VST1。第 (N-2) 级电路单元 (未示出) 的第二选通信号被输入作为第二起始信号 VST2。第一至第四时钟信号 CLK1 ~ CLK4 依次具有 1H 时段的相位差, 并且第一复位信号 RST_odd 和第二复位信号 RST_even 具有 1H 时段的相位差。

[0116] 一旦第 (N-2) 级电路单元的第一选通信号 (未示出) 作为第一起始信号 VST1 被施加到第 (N-1) 级电路单元 1 126_1, 第三晶体管 T13、第七晶体管 T17 和第八晶体管 T18 被导通。

[0117] 结果, 第三节点 N13 采用第一电压 VGH 进行充电, 并且通过第三晶体管 T13 施加到第三节点 N13 的第一电压 VGH 通过第六晶体管 T16 向第二电压 VGL 线放电。并且, 通过第七晶体管 T17 和第八晶体管 T18, 第二节点 N12 向第二电压 VGL 线放电。

[0118] 连接到第三节点 N13 的第九晶体管 T19 被导通以输出第一时钟信号 CLK1 到第一输出端 Vout_odd。第一时钟信号 CLK1 可用作选通导通信号, 并且第一时钟信号 CLK1 可具有 1.4H 的时段。

[0119] 一旦第 (N-2) 级电路单元 (未示出) 的第一选通信号作为第一复位信号 RST_odd 被输入, 则第四晶体管 T14 被导通。因此, 通过第四晶体管 T14, 第三节点 N13 向第二电压 VGL 线放电。结果, 第三节点 N13 具有低电压, 并且第九晶体管 T19 被截止以输出选通截止信号给第一输出端 Vout_odd。当低电压被应用到第四节点 N14 时, 第五晶体管 T15 和第十一晶体管 T21 被截止。

[0120] 一旦第二选通信号 VGH_even 被施加到第 (N-1) 级电路单元 2 126_2, 则第一晶体

管 T31 和第二晶体管 T32 被导通。结果,第四节点 N24 为高电平。第六晶体管 T36 和第十晶体管 T40 被导通。

[0121] 施加第二驱动信号 VGH_even,使得高低电平信号在指定时间段彼此交替。

[0122] 一旦第 (N-2) 级电路单元的第二选通信号 (未示出) 作为第二起始信号 VST2 被施加到第 (N-1) 级电路单元 2 126_2,则第三晶体管 T33、第七晶体管 T37 和第八晶体管 T38 被导通。

[0123] 结果,第三节点 N23 采用第一电压 VGH 进行充电,并且通过第三晶体管 T33 施加到第三节点 N23 的第一电压 VGH 通过第六晶体管 T36 向第二电压 VGL 线放电。并且,通过第七晶体管 T37 和第八晶体管 T38,第二节点 N22 向第二电压 VGL 线放电。

[0124] 连接到第三节点 N23 的第九晶体管 T39 被导通以输出第二时钟信号 CLK2 给第二输出端子 Vout_even。第二时钟信号 CLK2 可用作选通导通信号。

[0125] 一旦第 (N-2) 级电路单元 (未示出) 的第二选通信号作为第二复位信号 RST_even 被输入,则第四晶体管 T34 被导通。由此通过第四晶体管 T34,第三节点 N23 向第二电压 VGL 线放电。结果,第三节点 N23 具有低电压,并且第九晶体管 T39 被截止以输出选通截止信号到第二输出端 Vout_even。当将低电压施加到第四节点 N24 时,第五晶体管 T35 和第十一晶体管 T41 被截止。

[0126] 由于第 (N-1) 级电路单元 2 126_2 的第二节点 N22 被连接到第 (N-1) 级电路单元 1 126_1 的第二节点 N12,第 (N-1) 级电路单元 2 126_2 的第二节点 N22 与第 (N-1) 级电路单元 1 126_1 的第二节点 N12 具有相同的电压电平。

[0127] 由于第 (N-1) 级电路单元 2 126_2 的第四节点 N24 连接到第 (N-1) 级电路单元 1 126_1 的第四节点 N14,第 (N-1) 级电路单元 2 126_2 的第四节点 N24 与第 (N-1) 级电路单元 1 126_1 的第四节点 N14 具有相同的电压电平。

[0128] 图 10 是示出根据本发明第一实施方式的从第 (N-1) 级电路单元输出的第二选通信号的输出波形的视图。

[0129] 如图 10 所示,在本发明第一实施方式中,通过第 (N-1) 级电路单元 1 126_1 中的指定部分 e,上拉晶体管 T19 的截止时间被增加。例如,在常规技术中,第 (N-1) 级电路单元接收来自第 (N+2) 级电路单元的选通信号,并将接收的选通信号用作复位信号。然而,在本发明的第一实施方式中,第 (N-1) 级电路单元 120_1 的第 (N-1) 级电路单元 1 126_1 接收从第 N 级电路单元 120_2 输出并施加到第 N 偶数选通线上的选通信号 Gout (N)_E,作为第一复位信号 RST_odd。并且,第 (N-1) 级电路单元 2 126_2 接收从第一虚拟级电路单元 124_1 输出的第一虚拟选通信号 Gout_D1 作为第二复位信号 RST_even。

[0130] 由于第二上拉晶体管 T39 的截止时间 b'' 比第二上拉晶体管的常规截止时间 b 长,连接到第 (N-1) 级电路单元 1 126_1 的第一上拉晶体管 T19 的第三节点 N13 和连接到第 (N-1) 级电路单元 2 126_2 的第二上拉晶体管 T39 的第三节点 N23 被顺序地充电和放电。这可使 LCD 设备的异常操作最小化,因为第 (N-1) 级电路单元 1 126_1 的第一上拉晶体管 T19 提供的第一选通信号 Gout (N-1)_E 具有与第 (N-1) 级电路单元 2 126_2 的第二上拉晶体管 T39 提供的第二选通信号 Gout (N-1)_E 相对称的输出波形。

[0131] 前述实施方式和优点仅仅是示例性的并且不能被认为是限制本发明。本教导可以容易地应用到其他类型的装置中。本说明书意为示意性的,而不限权利要求的范围。多

种变化、修改和变形对于本领域技术人员来说是明显的。在本文描述的这些示例性实施方式的特征、结构、方法和其它特性可以以各种方式进行组合以获得其它的和 / 或另选的示例性实施方式。

[0132] 因为在不偏离其特性的情况下,可以以多种形式实施当前的特征,除非另有说明,还应当理解为上述实施方式不受前面描述的任何细节限制,而是应当被广义地认为是落入如所附权利要求所限定的范围内,因此,落入到权利要求书的边界和界限或这些边界和界限的等同形式内的所有改变和修改意在由所附的权利要求书所涵盖。

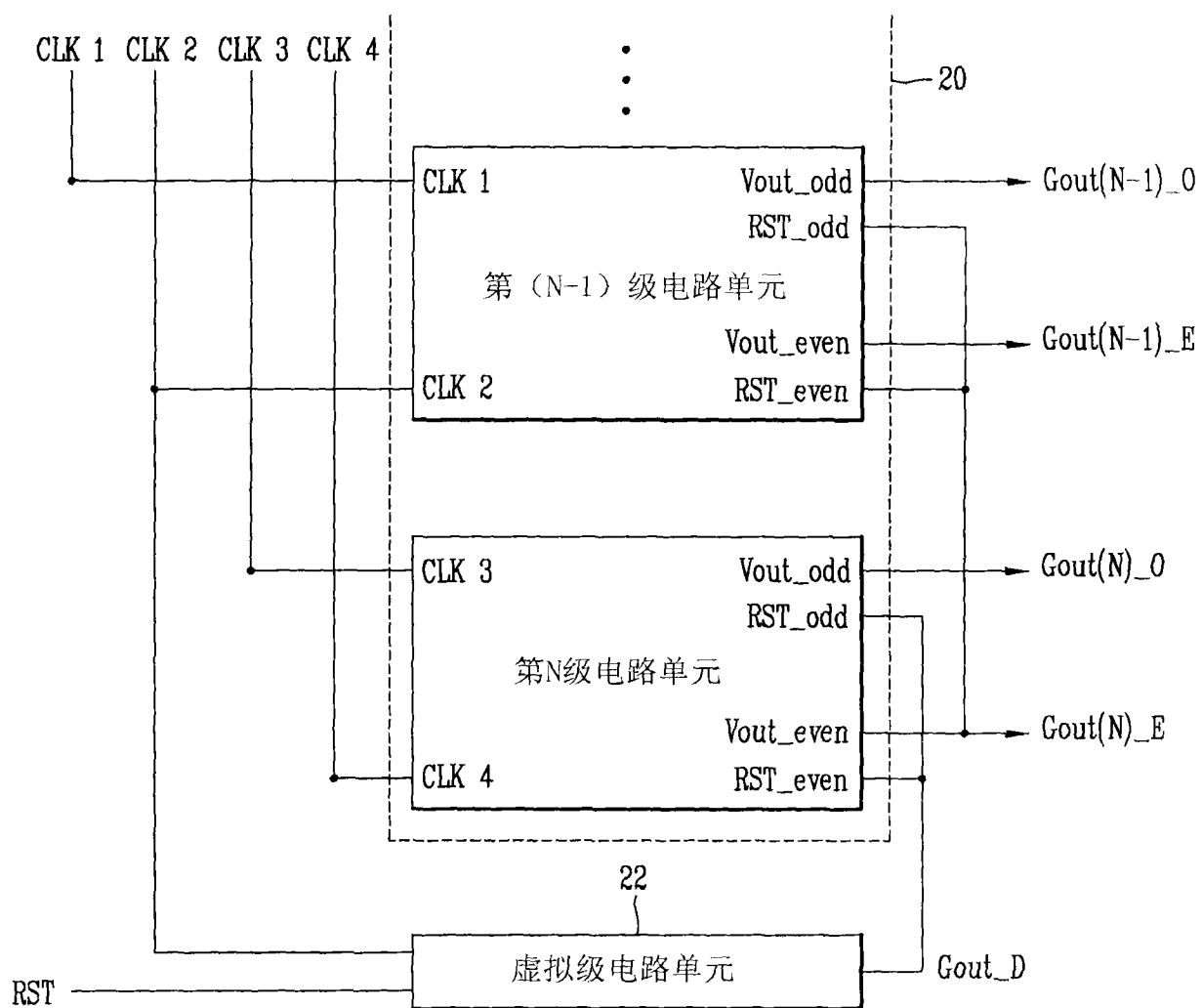


图 1

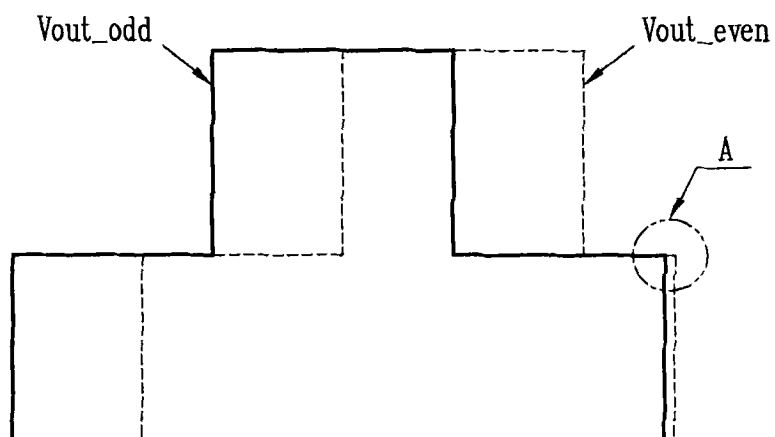


图 2

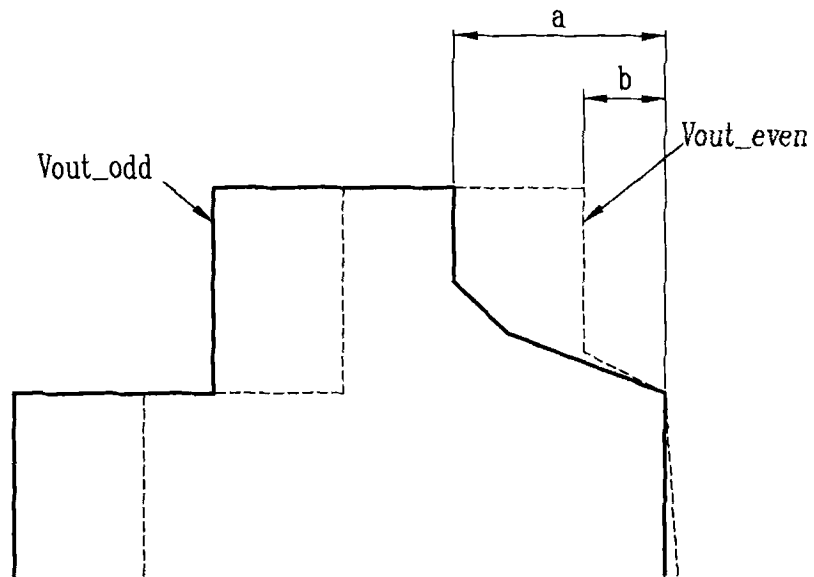


图 3

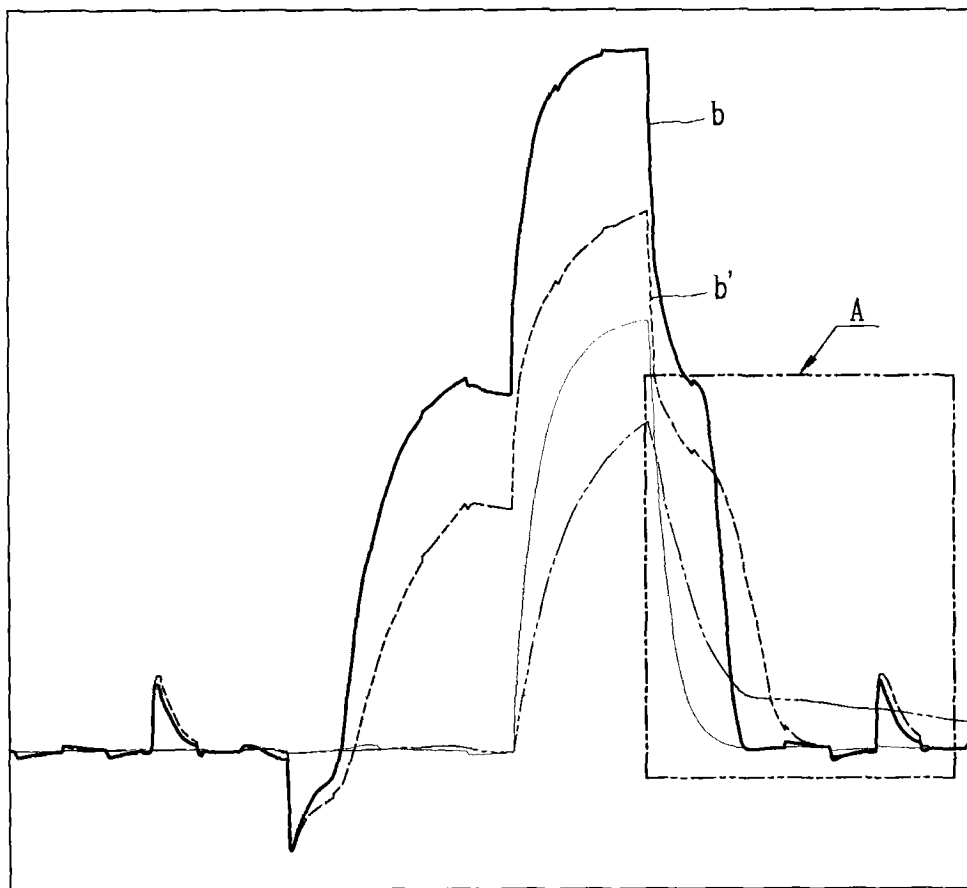


图 4

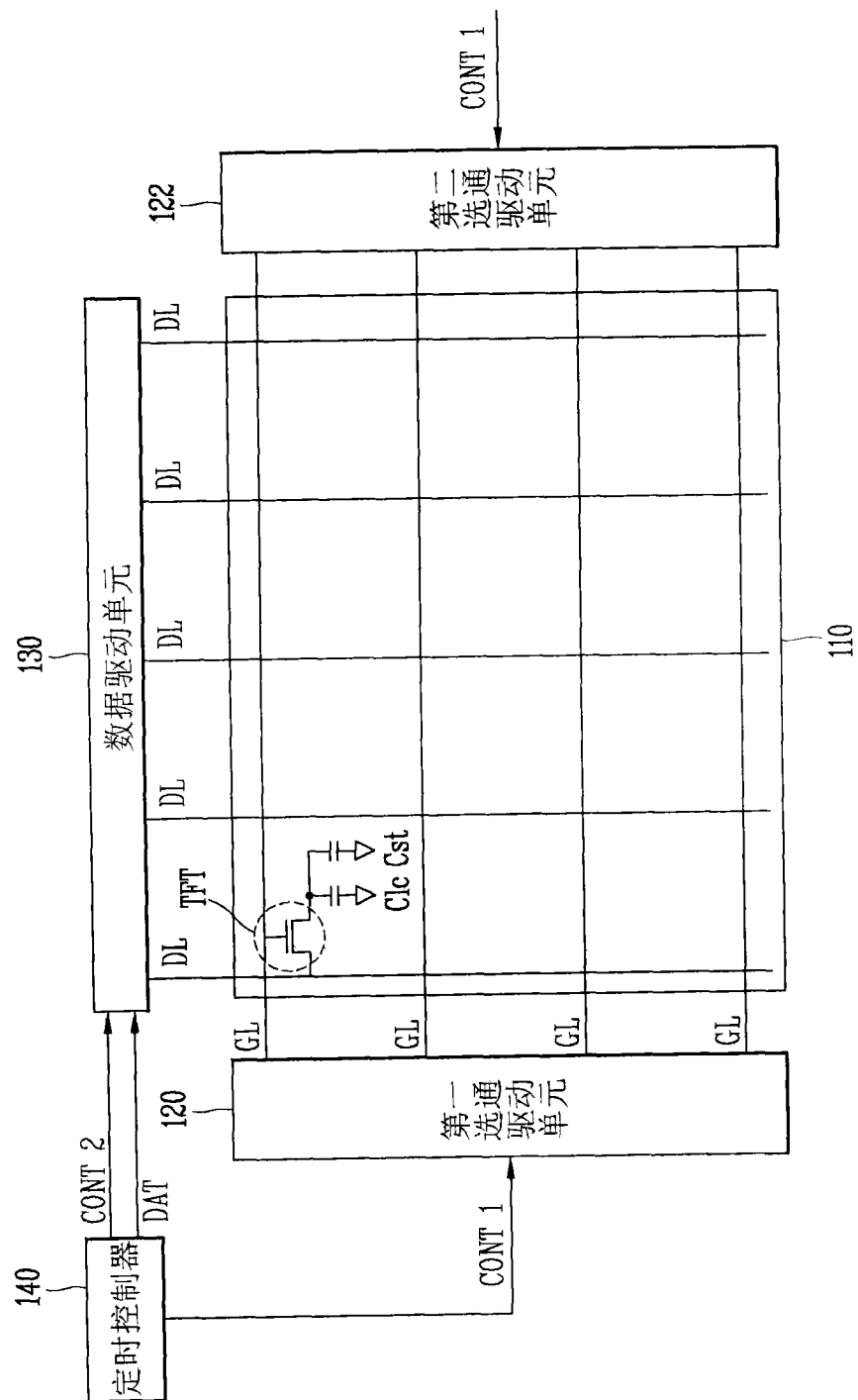


图 5

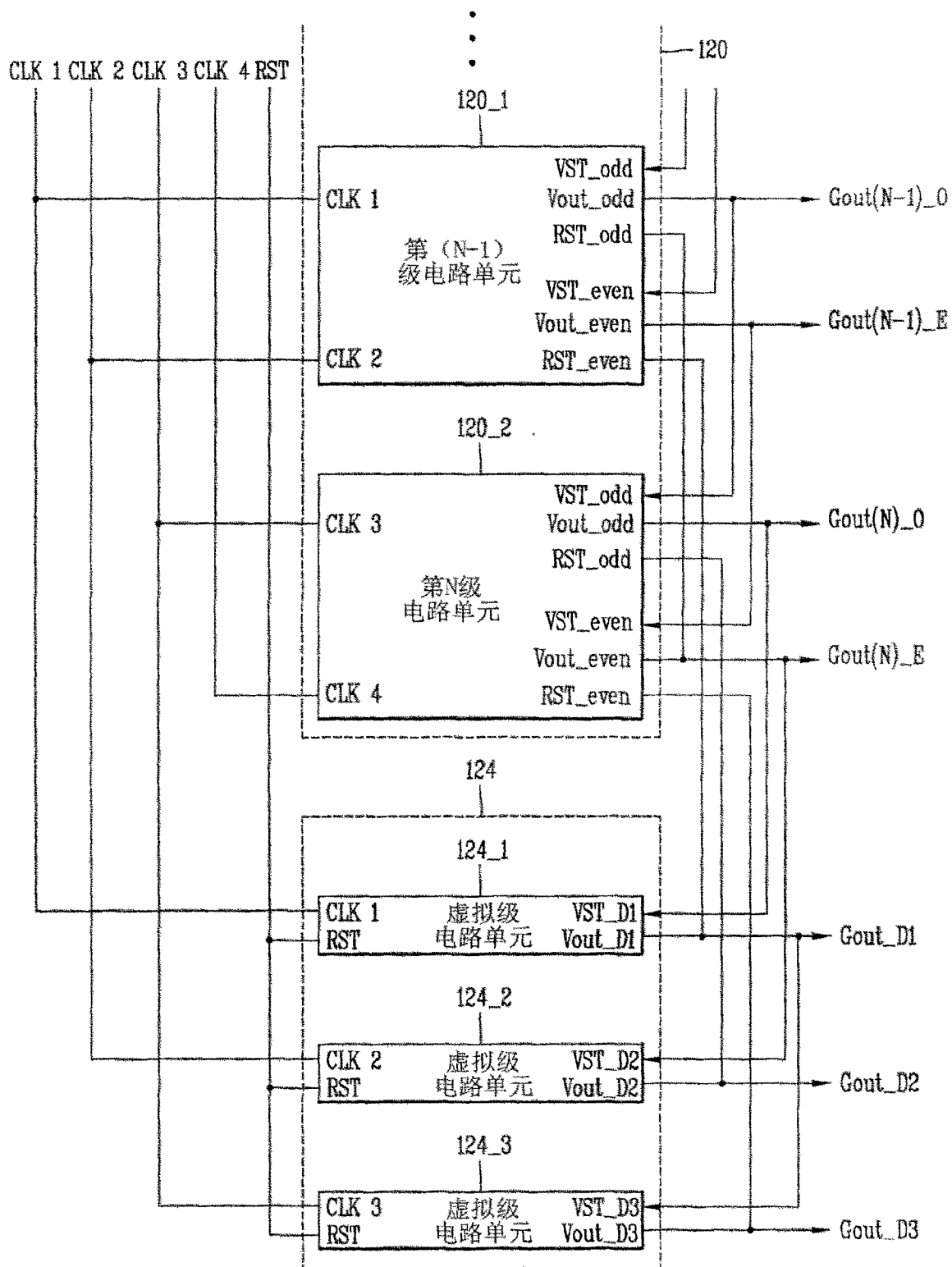


图 6

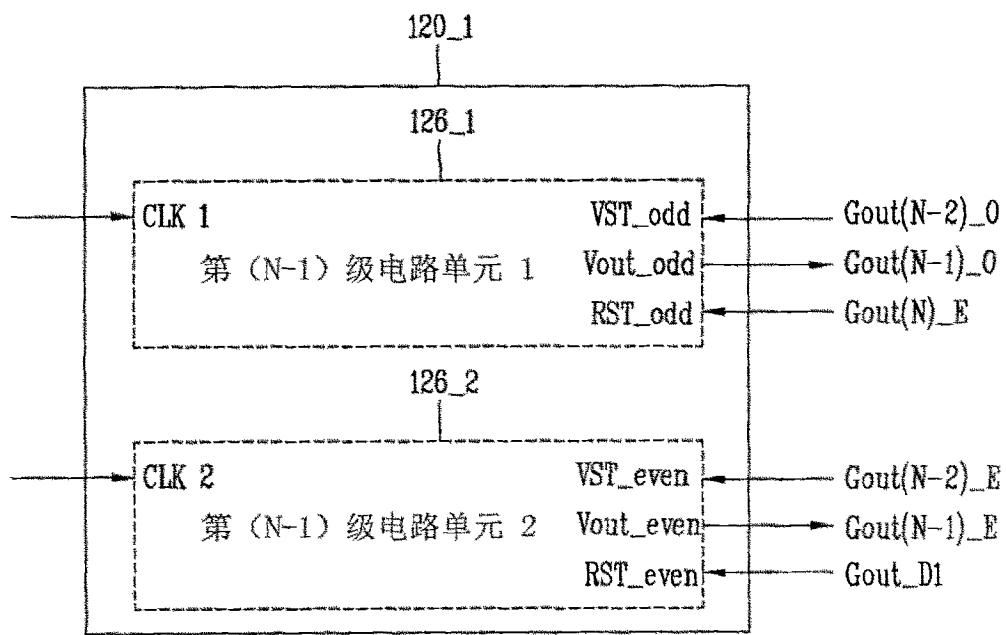


图 7

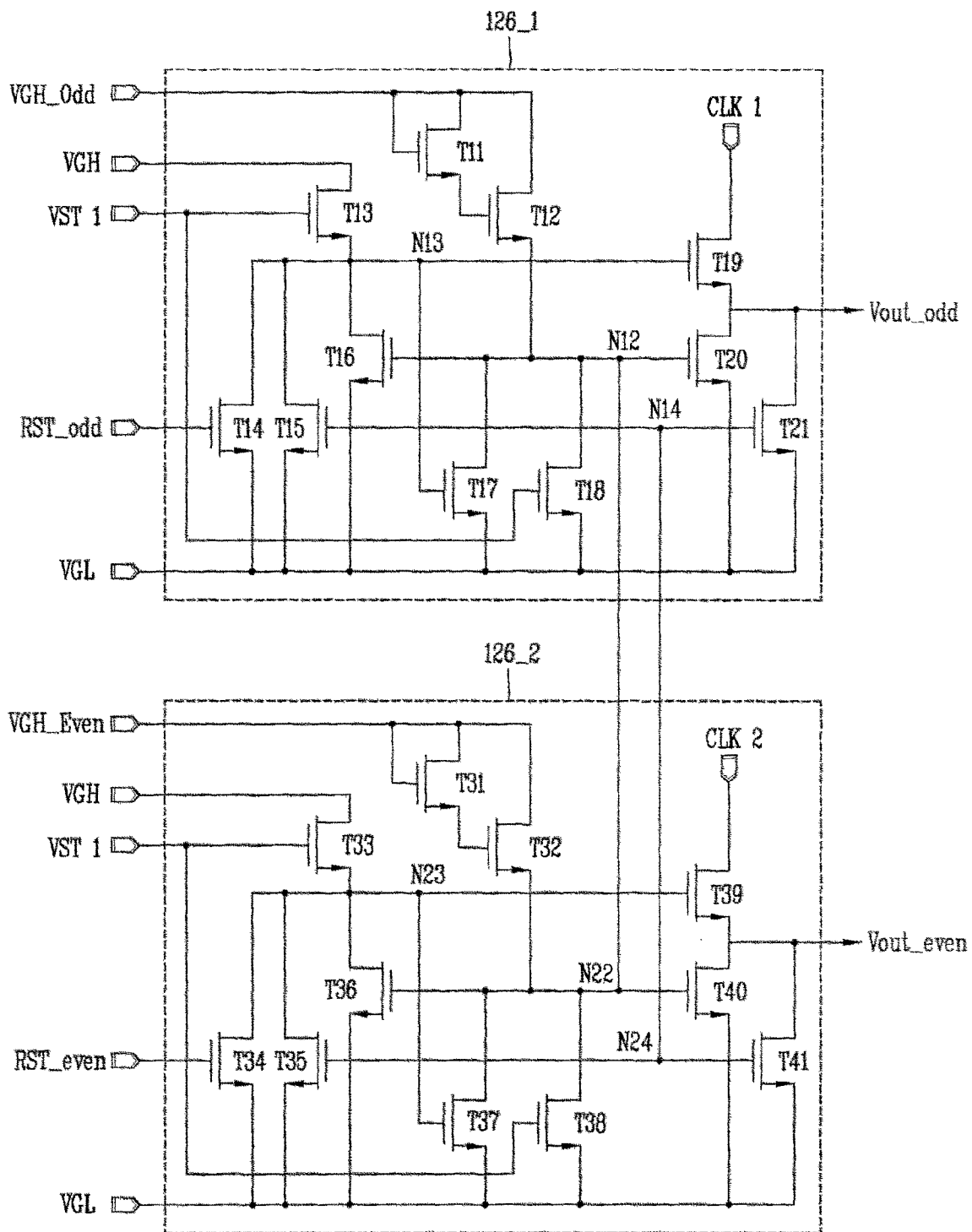


图 8

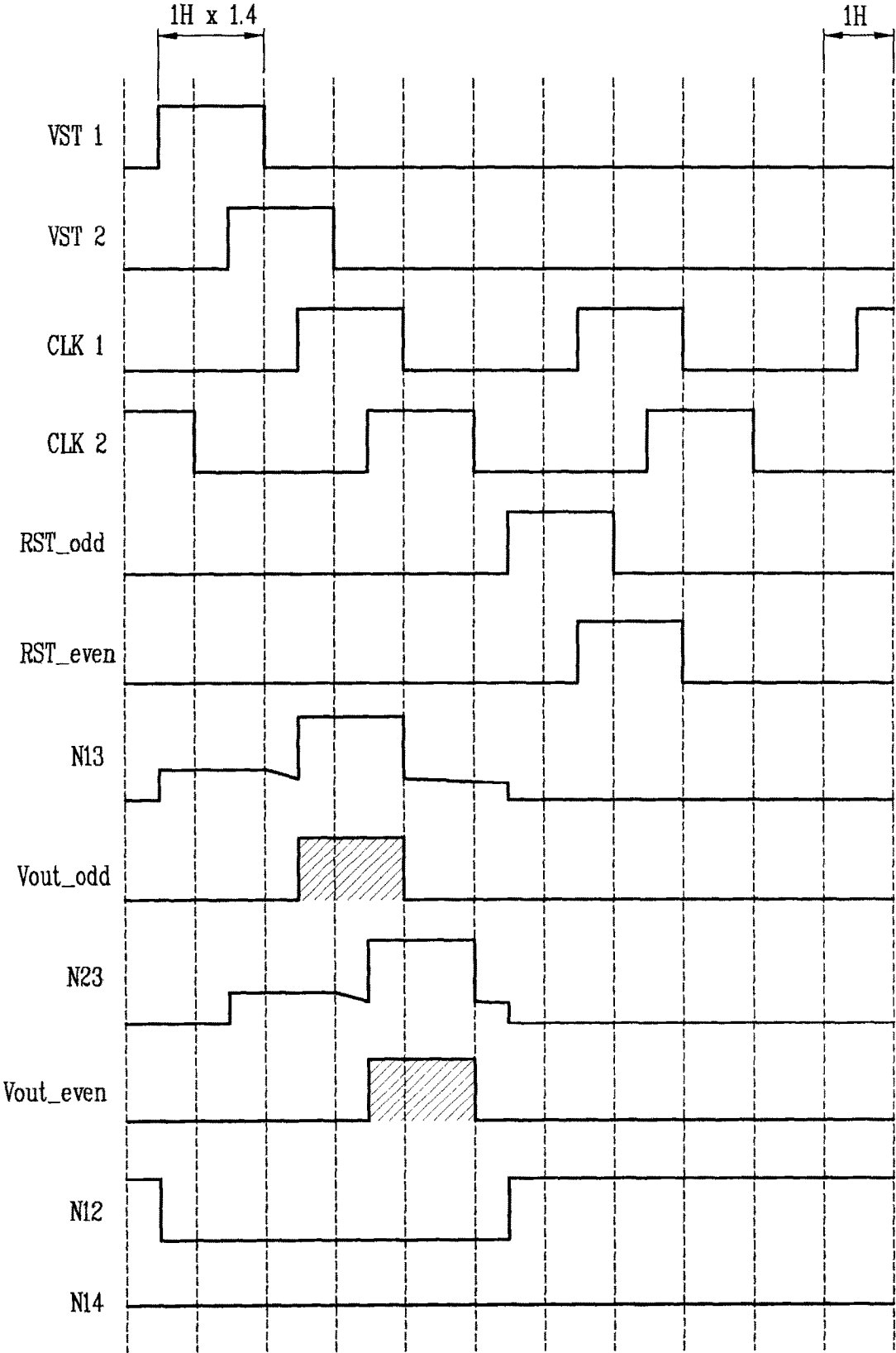


图 9

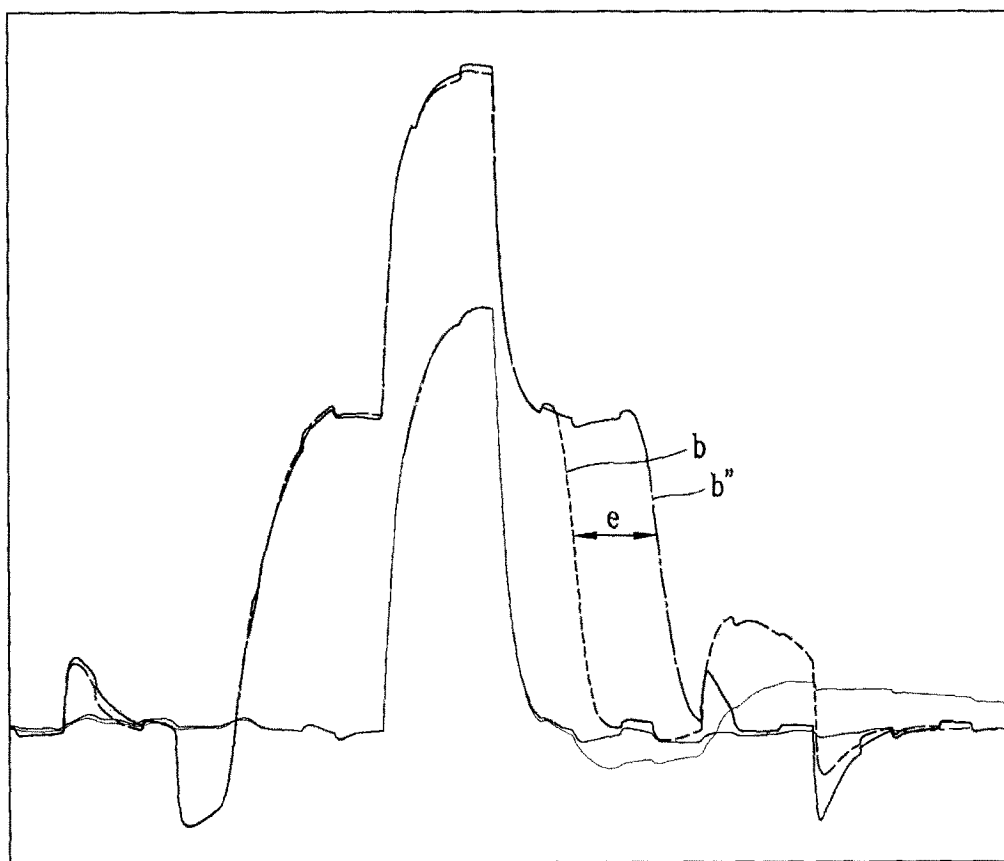


图 10

专利名称(译)	选通驱动单元以及具有该选通驱动单元的液晶显示设备		
公开(公告)号	CN103325350B	公开(公告)日	2015-11-25
申请号	CN201210599198.0	申请日	2012-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	姜宗锡 金利映		
发明人	姜宗锡 金利映		
IPC分类号	G09G3/36		
CPC分类号	H03K5/00 G09G3/3677 G09G3/3685 G09G2300/0413 G09G2310/06		
代理人(译)	刘久亮		
审查员(译)	林峰		
优先权	1020120028921 2012-03-21 KR		
其他公开文献	CN103325350A		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种选通驱动单元以及具有该选通驱动单元的液晶显示设备，该选通驱动单元能够通过降低选通信号的截止时间而具有减小的设计区域和功耗。选通驱动单元包括N级电路单元，该N级电路单元通过从外部接收起始信号和第一至第四时钟信号而被驱动，其中，每级电路单元被配置为通过第一至第四时钟信号中的至少一个来输出选通信号，并且接收从第(N+3)级电路单元输出的选通信号由此用作复位信号。

