



(12) 发明专利

(10) 授权公告号 CN 103985361 B

(45) 授权公告日 2016. 06. 15

(21) 申请号 201310473356. 2

(22) 申请日 2013. 10. 11

(73) 专利权人 厦门天马微电子有限公司

地址 361101 福建省厦门市翔安区安西路
6999 号

专利权人 天马微电子股份有限公司

(72) 发明人 庄杰

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

G09G 3/36(2006. 01)

审查员 风艳艳

权利要求书2页 说明书7页 附图4页

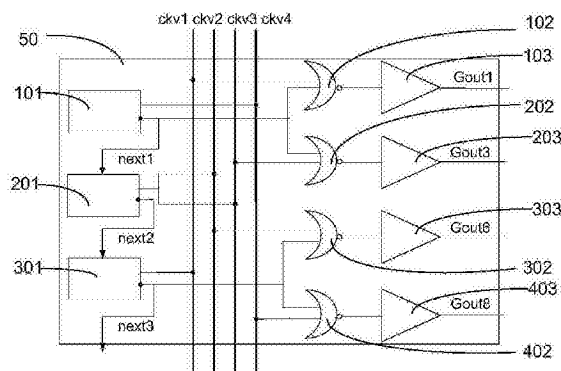
(54) 发明名称

栅极驱动电路及其控制方法和液晶显示器

(57) 摘要

本发明提供的栅极驱动电路及控制方法和液晶显示器,所述栅极驱动电路包括:多个移位寄存器单元;所述移位寄存器单元包括第一锁存器、第二锁存器、第三锁存器、第一与非电路、第二与非电路、第三与非电路和第四与非电路;所述第一锁存器的输出端分别与所述第一与非电路的输入端和第二与非电路的输入端连接;所述第三锁存器的输出端分别与所述第三与非电路的输入端和第四与非电路的输入端连接;所述第二锁存器的输入端与所述第一锁存器的输出端连接,所述第二锁存器的输出端与所述第三锁存器的输入端连接;所述移位寄存器单元依次连接,前一个移位寄存器单元的第三锁存器的输出端与后一个移位寄存器单元的第一锁存器的输入端连接。

100



1. 一种栅极驱动电路,其特征在于,包括:多个移位寄存器单元;

所述移位寄存器单元包括第一锁存器、第二锁存器、第三锁存器、第一与非电路、第二与非电路、第三与非电路和第四与非电路;

所述第一锁存器的输出端分别与所述第一与非电路的输入端和第二与非电路的输入端连接;

所述第三锁存器的输出端分别与所述第三与非电路的输入端和第四与非电路的输入端连接;

所述第二锁存器的输入端与所述第一锁存器的输出端连接,所述第二锁存器的输出端与所述第三锁存器的输入端连接;

所述第一锁存器、第二锁存器、第三锁存器均由时序信号控制输出移位信号,所述时序信号包括第一时序信号、第二时序信号、第三时序信号和第四时序信号;其中,所述第一锁存器由第四时序信号控制,所述第二锁存器由第二时序信号或第三时序信号控制,所述第三锁存器由第一时序信号控制;

所述第一锁存器输出的移位信号的上升沿和下降沿分别对应第四时序信号的上升沿;所述第二锁存器输出的移位信号的上升沿和下降沿分别对应第二时序信号或第三时序信号的上升沿;所述第三锁存器输出的移位信号的上升沿和下降沿分别对应第一时序信号的上升沿;

所述第一时序信号的下降沿时间与第二时序信号的上升沿时间相对应,并有时时间间隔;所述第二时序信号的下降沿时间与第三时序信号的上升沿时间相对应,并有时时间间隔;所述第三时序信号的下降沿时间与第四时序信号的上升沿时间相对应,并有时时间间隔;所述第四时序信号的下降沿时间与第一时序信号的上升沿时间相对应,并有时时间间隔;

所述移位寄存器单元依次连接,前一个移位寄存器单元的第三锁存器的输出端与后一个移位寄存器单元的第一锁存器的输入端连接。

2. 如权利要求1所述的栅极驱动电路,其特征在于,所述移位寄存器单元还包括多个缓冲器,所述缓冲器用于输出扫描信号;

所述第一与非电路、第二与非电路、第三与非电路和第四与非电路的输出端分别与所述缓冲器连接。

3. 如权利要求2所述的栅极驱动电路,其特征在于,所述缓冲器包括奇数个反相器,所述奇数个反相器依次连接。

4. 如权利要求1所述的栅极驱动电路,其特征在于,所述第一与非电路包括一第一与非门;所述第二与非电路包括一第二与非门;所述第三与非电路包括一第三与非门;所述第四与非电路包括一第四与非门。

5. 如权利要求1所述的栅极驱动电路,其特征在于,所述移位信号的脉冲宽度大于或等于所述第一时序信号、第二时序信号、第三时序信号和第四时序信号的脉冲宽度之和。

6. 如权利要求5所述的栅极驱动电路,其特征在于,所述第一锁存器输出移位信号结束之后所述第三锁存器开始输出移位信号。

7. 一种液晶显示器,其特征在于,包括:液晶显示面板、源极驱动电路及两个如权利要求1至6中任意一项所述的栅极驱动电路;

所述液晶显示面板包括多条扫描线和多条信号线,所述源极驱动电路与所述多条信号

线连接,所述两个栅极驱动电路分别位于所述液晶显示面板的相对两侧且与所述多条扫描线连接。

8.一种栅极驱动电路的控制方法,其特征在于,包括:

第一锁存器、第二锁存器、第三锁存器根据时序信号分别输出移位信号;

第一与非电路、第二与非电路、第三与非电路和第四与非电路分别接收移位信号和时序信号并输出与非计算结果;

所述时序信号包括第一时序信号、第二时序信号、第三时序信号和第四时序信号;所述第一锁存器由第四时序信号控制,所述第二锁存器由第二时序信号或第三时序信号控制,所述第三锁存器由第一时序信号控制;

所述第一锁存器输出的移位信号的上升沿和下降沿分别对应第四时序信号的上升沿;所述第二锁存器输出的移位信号的上升沿和下降沿分别对应第二时序信号或第三时序信号的上升沿;所述第三锁存器输出的移位信号的上升沿和下降沿分别对应第一时序信号的上升沿;

所述第一时序信号的下降沿时间与第二时序信号的上升沿时间相对应,并有时时间间隔;所述第二时序信号的下降沿时间与第三时序信号的上升沿时间相对应,并有时时间间隔;所述第三时序信号的下降沿时间与第四时序信号的上升沿时间相对应,并有时时间间隔;所述第四时序信号的下降沿时间与第一时序信号的上升沿时间相对应,并有时时间间隔;

缓冲器根据所述与非计算结果分别输出扫描信号。

9.如权利要求8所述的栅极驱动电路的控制方法,其特征在于,所述缓冲器包括奇数个反相器,所述奇数个反相器依次连接;

所述扫描信号由所述奇数个反相器输出。

10.如权利要求8所述的栅极驱动电路的控制方法,其特征在于,所述移位信号的脉冲宽度大于或等于所述第一时序信号、第二时序信号、第三时序信号和第四时序信号的脉冲宽度之和。

11.如权利要求10所述的栅极驱动电路的控制方法,其特征在于,所述第一锁存器输出移位信号结束之后所述第三锁存器开始输出移位信号。

栅极驱动电路及其控制方法和液晶显示器

技术领域

[0001] 本发明涉及液晶显示器技术领域,特别涉及一种栅极驱动电路及其控制方法和液晶显示器。

背景技术

[0002] 随着半导体科技的发展,平面显示器产品也随之兴起。在众多的平面显示器当中,液晶显示器(Liquid Crystal Display)基于其低功耗、低辐射、重量轻以及体积小等优点,已成为显示器产品的主流。

[0003] 液晶显示器一般包括源极驱动电路、栅极驱动电路和液晶显示面板,其中,液晶显示面板一般包括M条扫描线和N条数据线,每行(列)扫描线连接同一行(列)的所有像素,每列(行)数据线连接同一列(行)的所有像素,M条扫描线对应M行(列)像素,N条数据线对应N列(行)像素,即液晶显示面板上具有 $M \times N$ 个像素。源极驱动电路和栅极驱动电路分别向数据线和扫描线输送数据信号和扫描信号,用以驱动像素。相应的,栅极驱动电路一般包含M个级,在一帧周期内栅极驱动电路的每个级均输出一个扫描信号。栅极驱动电路的每个级包括一个锁存器、一个与非门和一个缓冲器。

[0004] 请参考图1,其为现有技术中的栅极驱动电路的部分结构框图。如图1所示,在现有技术中的栅极驱动电路10中,第1级的锁存器11受时序信号ckv3控制输出移位信号next1,第1级的与非门12接收移位信号next1和时序信号ckv1后输出与非计算结果给第1级的缓冲器13,由此第1级的缓冲器13输出一个扫描信号Gout1。第2级的锁存器21受时序信号ckv1控制输出移位信号next2,第2级的与非门22接收移位信号next2和时序信号ckv3后输出与非计算结果给第2级的缓冲器23,由此第2级的缓冲器23输出一个扫描信号Gout2,同样的,第3级的锁存器31受时序信号ckv3控制输出移位信号next3,第3级的与非门32接收移位信号next3和时序信号ckv1后输出与非计算结果给第3级的缓冲器33,由此第3级的缓冲器33输出一个扫描信号Gout3,以此类推,各级根据接收的时序信号ckv1或ckv3依次输出一个扫描信号Gout。

[0005] 可见,栅极驱动电路中每级输出一个扫描信号Gout,输出一个扫描信号Gout就需要一个锁存器、一个与非门和一个缓冲器。通常的,栅极驱动电路有几百个甚至上千个级,因此,栅极驱动电路的面积比较大。

[0006] 随着高清HD显示器以及全高清(FHD)显示器的发展,液晶显示面板中单位面积内的像素会越来越多,扫描线的数量也会随之增加,相应的,栅极驱动电路输出的扫描信号Gout也会增加,要增加输出一个扫描信号Gout就需要增加一个锁存器、一个与非门和一个缓冲器。栅极驱动电路的面积也会越来越大,成为窄边框设计的障碍。

[0007] 而且,现有技术的栅极驱动电路中锁存器的移位信号next脉冲宽度等于一个时序信号ckv的周期,时序信号ckv的占空比小于1:4。请参考图2,其为现有技术中的栅极驱动电路的部分波形模拟图。如图2所示,一个移位信号next的脉冲只覆盖一个时序信号ckv信号,剩余部分都被浪费了。

[0008] 基此,如何解决现有技术中栅极驱动电路的面积过大影响液晶显示器的窄边框设计,同时时序信号的占空比很小造成信号浪费的问题已经成为本领域技术人员亟需解决的技术问题。

发明内容

[0009] 本发明的目的在于提供一种栅极驱动电路及其控制方法和液晶显示器件,以解决现有的栅极驱动电路的面积过大影响液晶显示器的窄边框设计,同时时序信号的占空比很小造成信号浪费的问题。

[0010] 为解决上述技术问题,本发明提供一种栅极驱动电路,所述栅极驱动电路包括:多个移位寄存器单元;所述移位寄存器单元包括第一锁存器、第二锁存器、第三锁存器、第一与非电路、第二与非电路、第三与非电路和第四与非电路;所述第一锁存器的输出端分别与所述第一与非电路的输入端和第二与非电路的输入端连接;所述第三锁存器的输出端分别与所述第三与非电路的输入端和第四与非电路的输入端连接;所述第二锁存器的输入端与所述第一锁存器的输出端连接,所述第二锁存器的输出端与所述第三锁存器的输入端连接;所述移位寄存器单元依次连接,前一个移位寄存器单元的第三锁存器的输出端与后一个移位寄存器单元的第一锁存器的输入端连接。

[0011] 本发明还提供了一种液晶显示器,所述液晶显示器包括:液晶显示面板、源极驱动电路及两个如上所述的栅极驱动电路;

[0012] 所述液晶显示面板包括多条扫描线和多条信号线,所述源极驱动电路与所述多条信号线连接,所述两个栅极驱动电路分别位于所述液晶显示面板的相对两侧且与所述多条扫描线连接。

[0013] 本发明还提供了一种栅极驱动电路的控制方法,所述栅极驱动电路的控制方法包括:

[0014] 第一锁存器、第二锁存器、第三锁存器根据时序信号分别输出移位信号;

[0015] 第一与非电路、第二与非电路、第三与非电路和第四与非电路分别接收移位信号和时序信号并输出与非计算结果;

[0016] 缓冲器根据所述与非计算结果分别输出扫描信号。

[0017] 本发明还提供一种液晶显示器,所述液晶显示器包括上述栅极驱动电路。

[0018] 在本发明提供的栅极驱动电路及其控制方法和液晶显示器中,第一锁存器和第三锁存器分别与两个时序信号进行与非计算,同时加入第二锁存器用以推送移位信号,从而实现了单锁存双输出的驱动方式,由此通过3个锁存器就能够输出4个扫描信号,节省了1个锁存器,因此能够有效地缩小栅极驱动电路的面积,同时,所述栅极驱动电路的移位信号能够覆盖4个时序信号,增加时序信号的占空比。

附图说明

[0019] 图1是现有技术中的栅极驱动电路的部分结构框图;

[0020] 图2是现有技术中的栅极驱动电路的部分波形模拟图;

[0021] 图3是本发明实施例的栅极驱动电路的部分结构框图;

[0022] 图4是本发明实施例的锁存器的电路结构图;

- [0023] 图5是本发明实施例的与非门的电路结构图；
[0024] 图6是本发明实施例的缓冲器的电路结构图；
[0025] 图7是本发明实施例的栅极驱动电路的部分波形模拟图；
[0026] 图8是本发明实施例的液晶显示器的结构框图。

具体实施方式

[0027] 以下结合附图和具体实施例对本发明提出的栅极驱动电路及其控制方法和液晶显示器作进一步详细说明。根据下面说明和权利要求书，本发明的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本发明实施例的目的。

[0028] 请参考图3，其为本发明实施例的栅极驱动电路的部分结构框图。如图3所示，所述栅极驱动电路100包括：多个移位寄存器单元50；所述移位寄存器单元50包括第一锁存器101、第二锁存器201、第三锁存器301、第一与非门102、第二与非门202、第三与非门302和第四与非门402；所述第一锁存器101的输出端分别与所述第一与非门102的输入端和第二与非门202的输入端连接；所述第三锁存器301的输出端分别与所述第三与非门302的输入端和第四与非门402的输入端连接；所述第二锁存器201的输入端与所述第一锁存器101的输出端连接，所述第二锁存器201的输出端与所述第三锁存器301的输入端连接；所述移位寄存器单元50依次连接，前一个移位寄存器单元50的第三锁存器301的输出端与后一个移位寄存器单元50的第一锁存器101的输入端连接。

[0029] 具体的，所述移位寄存器单元50包括第一锁存器101、第二锁存器201和第三锁存器301，所述第二锁存器201位于所述第一锁存器101和所述第三锁存器11之间，第二锁存器201的输入端与所述第一锁存器101的输出端连接，第二锁存器201的输出端与所述第三锁存器301的输入端连接。

[0030] 所述移位寄存器单元50还包括4个缓冲器，第一与非门102、第二与非门202、第三与非门302和第四与非门402的输出端分别与一个缓冲器连接，所述4个缓冲器分别是第一缓冲器103、第二缓冲器203、第三缓冲器303和第四缓冲器403，分别输出4个扫描信号。

[0031] 可见，本实施例中的移位寄存器单元50包括3个锁存器、4个与非门和4个缓冲器。

[0032] 以下将分别对锁存器、与非门和缓冲器进行详细说明。

[0033] 锁存器包括第一锁存器101、第二锁存器201和第三锁存器301的电路结构中包括2个反相器和2个时钟反相器。锁存器的具体电路结构请参考图4，其为本发明实施例的锁存器的电路结构图。如图4所示，所述锁存器包括反相器51、反相器52、时钟反相器53和时钟反相器54，反相器51的输出端连接时钟反相器53和时钟反相器54的输入端，时钟反相器53的输出端连接反相器52和时钟反相器54的输入端，反相器52的输出端与时钟反相器54的输出端连接，其中，反相器51、时钟反相器53和时钟反相器54的输入端均接入实时序信号ckv，时钟反相器53的输入端接入一高电平Vin，由反相器52的输出端输出移位信号next。

[0034] 与非门包括第一与非门102、第二与非门202、第三与非门302、第四与非门402的具体电路结构请参考图5，其为本发明实施例的与非门的电路结构图。如图5所示，所述与非门由一个N型晶体管和一个P型晶体管组成，N型晶体管和P型晶体管的两端分别连接高电平Vin1和低电平Vin2。值得说明的是，本实施例中与非电路包括均是一与非门，是本发明的一

个优选的实施方式,但不限于此,只要能够实现与非计算的逻辑电路都是可行的,均是在本发明的保护范围之内。

[0035] 缓冲器包括第一缓冲器103、第二缓冲器203、第三缓冲器303和第四缓冲器403的电路结构中包括奇数个反相器55,所述奇数个反相器55根据与非计算结果输出扫描信号。缓冲器的具体电路结构请参考图6,其为本发明实施例的缓冲器的电路结构图。如图6所示,所述缓冲器包括3个反相器55,前一个反相器55的输出连接后一个反相器55的输入,3个反相器55依次连接。在缓冲器中由第1个反相器55的输入端输入与非计算结果1N,由第3个反相器55的输出端输出扫描信号Gout。

[0036] 继续参考图3及图7,在所述的栅极驱动电路50中,所述第一锁存器101、第二锁存器201和第三锁存器301均由时序信号ckv控制输出移位信号next。所述时序信号ckv包括第一时序信号ckv1、第二时序信号ckv2、第三时序信号ckv3和第四时序信号ckv4。其中,所述第一锁存器101由第四时序信号ckv4控制,所述第二锁存器201由第二时序信号ckv2或第三时序信号ckv3控制,所述第三锁存器301由第一时序信号控制ckv1。

[0037] 如图7所示,所述第一锁存器输101出的移位信号next1的上升沿和下降沿分别对应第四时序信号ckv4的上升沿;所述第二锁存器201输出的移位信号next2的上升沿和下降沿分别对应第二时序信号ckv2或第三时序信号ckv3的上升沿;所述第三锁存器301输出的移位信号next3的上升沿和下降沿分别对应第一时序信号ckv1的上升沿。

[0038] 其中,所述第一时序信号ckv1的下降沿时间与第二时序信号ckv2的上升沿时间相对应,并有时时间间隔;所述第二时序信号ckv2的下降沿时间与第三时序信号ckv3的上升沿时间相对应,并有时时间间隔;所述第三时序信号ckv3的下降沿时间与第四时序信号ckv4的上升沿时间相对应,并有时时间间隔;所述第四时序信号ckv4的下降沿时间与第一时序信号ckv1的上升沿时间相对应,并有时时间间隔。而所述移位信号(next1、next2和next3)的脉冲宽度大于或等于所述第一时序信号ckv1、第二时序信号ckv2、第三时序信号ckv3和第四时序信号ckv4的脉冲宽度之和。

[0039] 所述第一锁存器101输出移位信号next1结束之后,所述第三锁存器301开始输出移位信号next3。在此过程中,所述第二锁存器201用于推送移位信号。

[0040] 相应的,本发明还提供了一种栅极驱动电路的控制方法,所述栅极驱动电路的控制方法包括以下步骤:

[0041] 第一锁存器101、第二锁存器201和第三锁存器30根据时序信号分别输出移位信号next;

[0042] 第一与非门102、第二与非门202、第三与非门302、第四与非门402分别接收移位信号next和时序信号ckv并输出与非计算结果;

[0043] 缓冲器根据所述与非计算结果分别输出扫描信号Gout。

[0044] 具体的,所述第一锁存器101、第二锁存器201和第三锁存器301均由时序信号控制输出移位信号next。所述时序信号包括第一时序信号ckv1、第二时序信号ckv2、第三时序信号ckv3和第四时序信号ckv4,所述第一锁存器101由第四时序信号ckv4控制,所述第二锁存器201由第二时序信号ckv2或第三时序信号ckv3控制,所述第三锁存器301由第一时序信号ckv1控制。

[0045] 移位信号next的上升沿时间和下降沿时间均受到时序信号的控制,其中,所述第

一锁存器101输出的移位信号next1的上升沿和下降沿分别对应第四时序信号ckv4的上升沿,所述第二锁存器输出的移位信号next2的上升沿和下降沿分别对应第二时序信号ckv2或第三时序信号ckv3的上升沿,所述第三锁存器301输出的移位信号next3的上升沿和下降沿分别对应第一时序信号ckv1的上升沿。

[0046] 其中,4个时序信号中两个时序信号(ckv4和ckv1)控制第一锁存器101和第三锁存器301。同时,第一与非门102、第二与非门202、第三与非门302和第四与非门402分别接收4个时序信号(ckv1、ckv2、ckv3和ckv4),并与第一锁存器101和第三锁存器301输出的移位信号next1或next3进行与非计算。

[0047] 第一与非门102接收第一锁存器101输出的移位信号next1和第一时序信号ckv1后进行与非计算,并输出计算结果至第一缓冲器103,由此第一缓冲器103输出一个扫描信号Gout1;第二与非门202接收第一锁存器101输出的移位信号next1和第三时序信号ckv3进行与非计算,并输出计算结果至第二缓冲器203,由此第二缓冲器203输出一个扫描信号Gout3;第三与非门302接收第三锁存器301输出的移位信号next3和第二时序信号ckv2进行与非计算,并输出计算结果至第三缓冲器303,由此第三缓冲器303输出一个扫描信号Gout6;第四与非门402接收第三锁存器301输出的移位信号next3和第四时序信号ckv4进行与非计算,并输出计算结果至第四缓冲器403,由此第四缓冲器403输出一个扫描信号Gout8。

[0048] 在本发明实施例的移位寄存器单元50中,第二锁存器201用于推送移位信号next。请参考图7,其为本发明实施例的栅极驱动电路的部分波形模拟图。如图7所示,第二锁存器201输出的移位信号next2与第一锁存器101输出的移位信号next1在高电平周期彼此交叠,第三锁存器301输出的移位信号next3与第二锁存器201输出的移位信号next2在高电平周期彼此交叠,第一锁存器101完成移位信号next1的输出之后第三锁存器301开始输出的移位信号next3。可见,第一锁存器101输出的移位信号next经由第二锁存器201推送至第三锁存器301,第三锁存器301输出下一个周期的移位信号next。

[0049] 本实施例中,所述移位信号(next1、next2和next3)的脉冲宽度均大于或等于所述第一时序信号ckv1、第二时序信号ckv2、第三时序信号ckv3和第四时序信号ckv4的脉冲宽度之和。请继续参考图7,如图7所示,4个时序信号中,第一时序信号ckv1的下降沿时间与第二时序信号ckv2的上升沿时间相对应,并有时时间隔,第二时序信号ckv2的下降沿时间与第三时序信号ckv3的上升沿时间相对应,并有时时间隔,第三时序信号ckv3的下降沿时间为第四时序信号ckv4的上升沿时间相对应,并有时时间隔,第四时序信号ckv4的下降沿时间与第一时序信号ckv1的上升沿时间相对应,并有时时间隔,移位信号next的脉冲宽度覆盖4个时序信号ckv。可见,移位信号next被充分利用,时序信号ckv的占空比非常大。

[0050] 所述栅极驱动电路100包括多个移位寄存器单元50(图3中未示出多个),所述多个移位寄存器单元50依次连接,前一个移位寄存器单元50的第三锁存器301的输出端与后一个移位寄存器单元50的第一锁存器101的输入端连接。

[0051] 前一个移位寄存器单元50的第三锁存器301输出的移位信号next3提供给后一个移位寄存器单元50的第一锁存器101,后一个移位寄存器单元50的第一锁存器101同样受由第四时序信号ckv4控制,后一个移位寄存器单元50的第一锁存器101根据第四时序信号ckv4输出移位信号next4,后一个移位寄存器单元50的第一与非门102接收后一个移位寄存

器单元50的第一锁存器101输出的移位信号next4和第一时序信号ckv1,并输出与非计算结果至后一个移位寄存器单元50的第一缓冲器103,由此,后一个移位寄存器单元50的第一缓冲器103输出一个扫描信号Gout9。

[0052] 同样的,后一个移位寄存器单元50的第二与非门202接收后一个移位寄存器单元50的第一锁存器101输出的移位信号next4和第三时序信号ckv3,并输出与非计算结果至后一个移位寄存器单元50的第二缓冲器203,由此第二缓冲器203输出一个扫描信号Gout11;后一个移位寄存器单元50的第三与非门302接收后一个移位寄存器单元50的第三锁存器301输出的移位信号next6和第二时序信号ckv2,并输出与非计算结果至后一个移位寄存器单元50的第三缓冲器303,由此第三缓冲器303输出一个扫描信号Gout14;后一个移位寄存器单元50的第四与非门402接收后一个移位寄存器单元50的第三锁存器301输出的移位信号next6和第四时序信号ckv4,并输出与非计算结果至后一个移位寄存器单元50的第四缓冲器403,由此第四缓冲器403输出一个扫描信号Gout16。

[0053] 可见,所述栅极驱动电路100中第一锁存器101和第三锁存器301分别与两个时序信号进行与非计算,实现单锁存双输出的驱动方式,同时,第一锁存器101输出的移位信号next由第二锁存器201推送到第三锁存器301,第三锁存器301输出下一个周期的移位信号next,第三锁存器301输出的移位信号next可以作为下一个移位寄存器单元50的第一锁存器101的输入。如此,多个移位寄存器单元50依次传递移位信号next并输出扫描信号Gout。因此,所述栅极驱动电路100可以实现左右两侧驱动电路的交叉互补驱动。

[0054] 移位寄存器单元50的具体数量是根据液晶显示器的分辨率决定的,若是高清(HD)模式的液晶显示器,其分辨率为 720×1280 ,则栅极驱动电路100中移位寄存器单元50的数量为180,在一帧周期内,栅极驱动电路100顺序地输出720个扫描信号Gout,720个扫描信号被顺序地提供到液晶显示面板的扫描线。若是全高清(FHD)模式的液晶显示器,其分辨率为 1080×1920 ,则栅极驱动电路100中移位寄存器单元50的数量为270,在一帧周期内,栅极驱动电路100顺序地输出1080个扫描信号Gout,1080个扫描信号被顺序地提供到液晶显示面板的扫描线。

[0055] 由于一个移位寄存器单元50只需3个锁存器就可以输出4个扫描信号,栅极驱动电路100输出相同数量的扫描信号Gout所采用的锁存器较现有技术中的栅极驱动电路10少。对于高清(HD)模式的液晶显示器而言,栅极驱动电路100只需要540个锁存器就能输出720个扫描信号Gout。对于全高清(FHD)模式的液晶显示器而言,栅极驱动电路100只需要810个锁存器就能输出1080个扫描信号Gout。液晶显示器采用单侧驱动的话,较现有技术中的栅极驱动电路10分别减少了190个和270个锁存器。

[0056] 而且,本发明实施例提供的栅极驱动电路100是通过缓冲器输出扫描信号Gout的,因此,拥有良好的驱动能力。

[0057] 目前,为了降低液晶显示器的制造成本并藉以实现窄边框的目的,在制造过程中一般直接在液晶显示面板上形成栅极驱动电路。液晶显示面板具有用于显示图像的显示区域和围绕显示区域的非显示区域,其中,栅极驱动电路位于非显示区域。

[0058] 相应的,本发明还提供了一种液晶显示器200,请参考图8,其为本发明实施例的液晶显示器的结构框图。如图8所示,所述液晶显示器200包括:液晶显示面板60、源极驱动电路70及两个上述的栅极驱动电路100;所述液晶显示面板60包括多条扫描线61和多条信号

线62,所述源极驱动电路70与所述多条信号线62连接,所述两个栅极驱动电路100分别位于所述液晶显示面板60的相对两侧并与所述多条扫描线61连接。

[0059] 具体的,源极驱动电路70和栅极驱动电路100均位于液晶显示面板60的非显示区域。两个栅极驱动电路100根据时序信号分别输出扫描信号Gout,扫描信号Gout传送至液晶显示面板60的扫描线用以驱动像素。本实施例提供的液晶显示器200中液晶显示面板60两侧的栅极驱动电路100分别输出扫描信号Gout,可以平衡液晶显示面板两侧的亮度。而且栅极驱动电路100较现有技术中的栅极驱动电路10采用更少的锁存器。本实施例中,液晶显示器采用两侧驱动,若是高清(HD)模式或全高清(FHD)模式的液晶显示器一侧可以减少190个或270个锁存器。因此,可以减小液晶显示面板两侧的非显示区域的面积,实现窄边框的目的,同时降低栅极驱动电路的功耗。

[0060] 综上,在本发明实施例提供的栅极驱动电路及其控制方法和液晶显示器中,一个锁存器分别与两个时序信号进行与非计算,同时在两个锁存器之间加入一个锁存器用于推送移位信号,从而实现单锁存双输出的驱动方式,所述栅极驱动电路只需要3个锁存器就能输出4个扫描信号,由此可以节省大量的锁存器,降低功耗的同时减小液晶显示面板两侧的非显示区域的面积,实现窄边框的目的。同时,所述栅极驱动电路的移位信号的脉冲覆盖4个时序信号,极大地增加了时序信号的占空比,提高了移位信号的利用率。

[0061] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

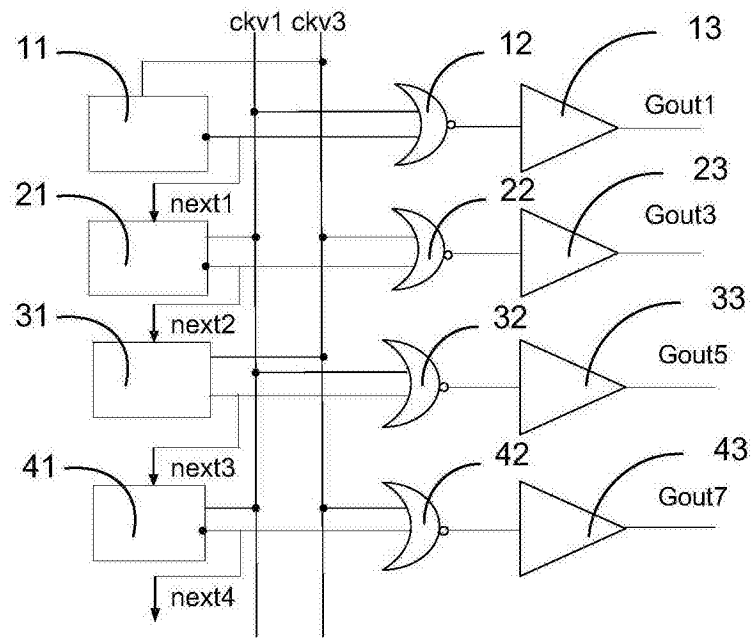
10

图1

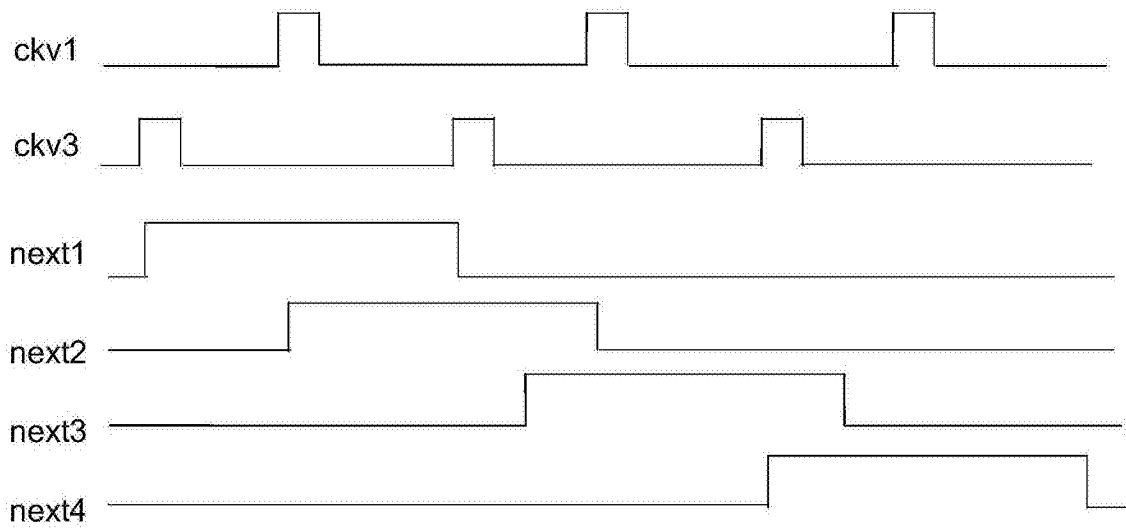


图2

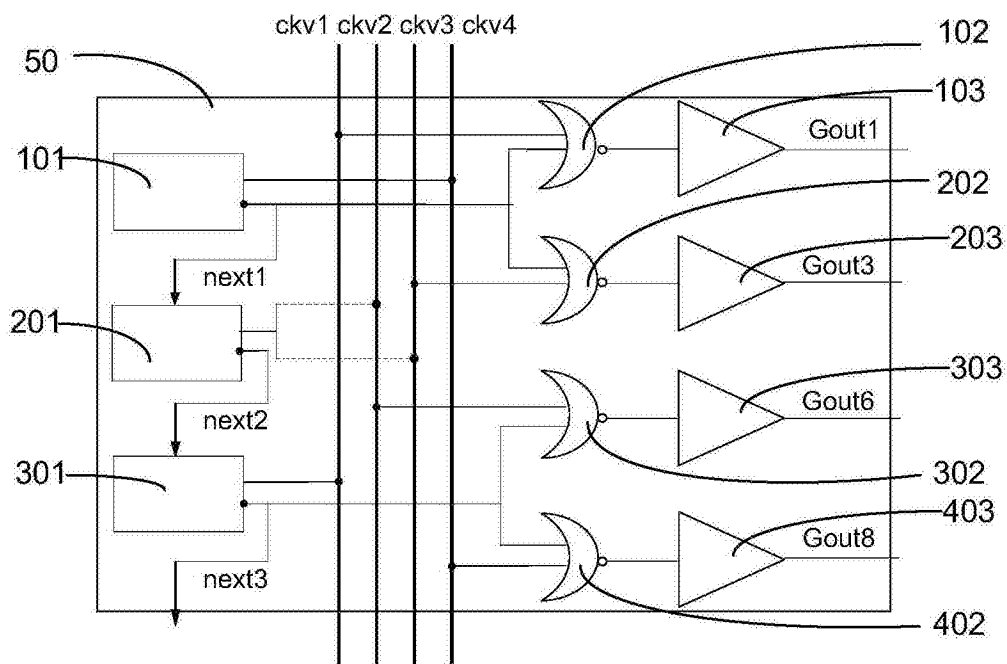
100

图3

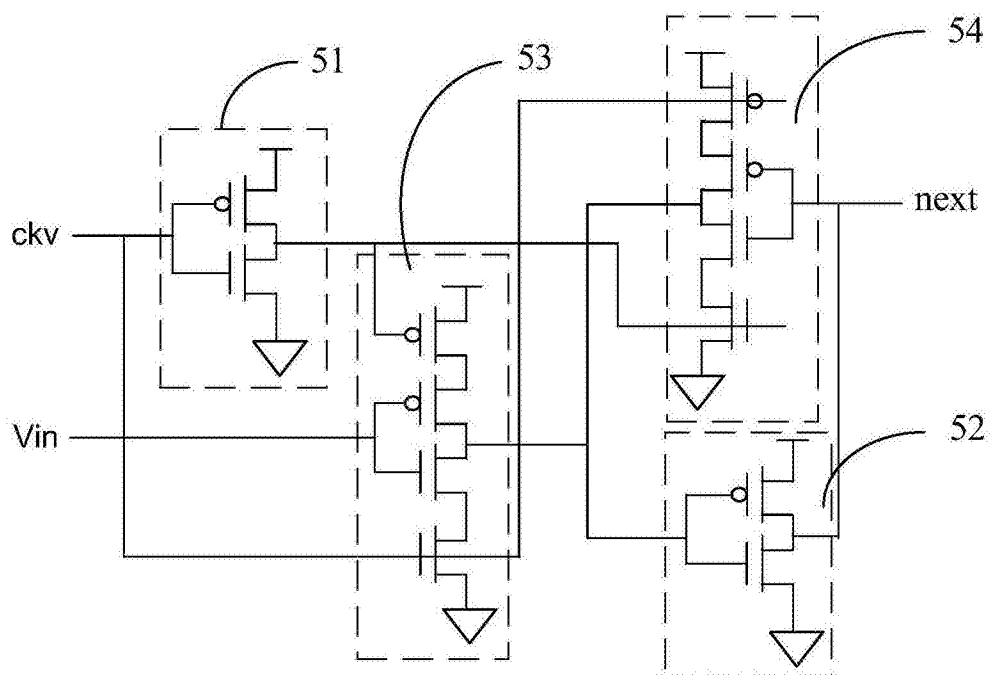


图4

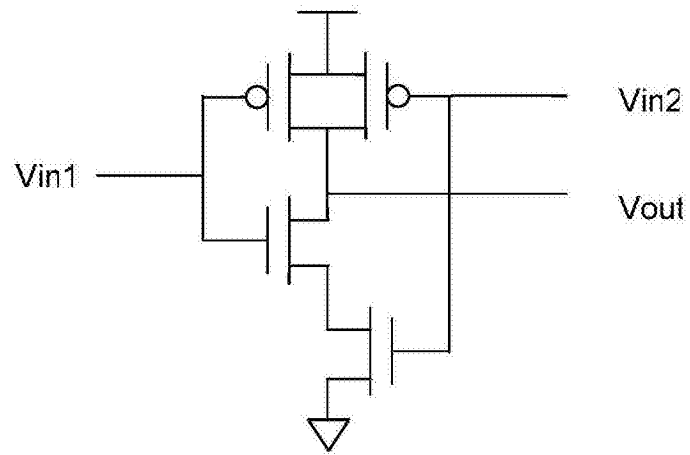


图5

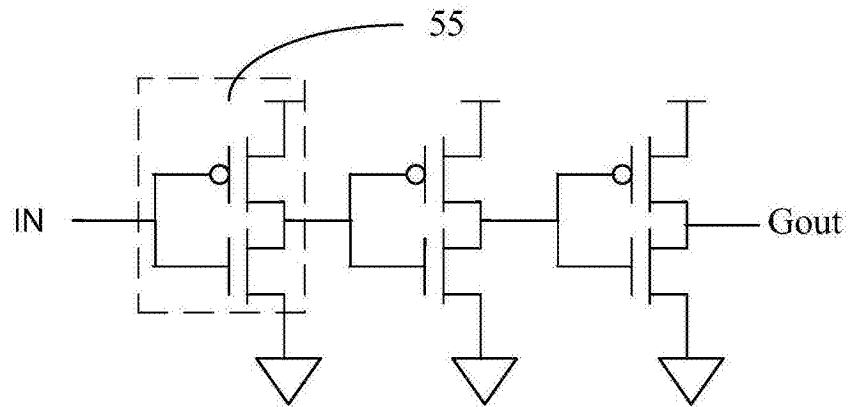


图6

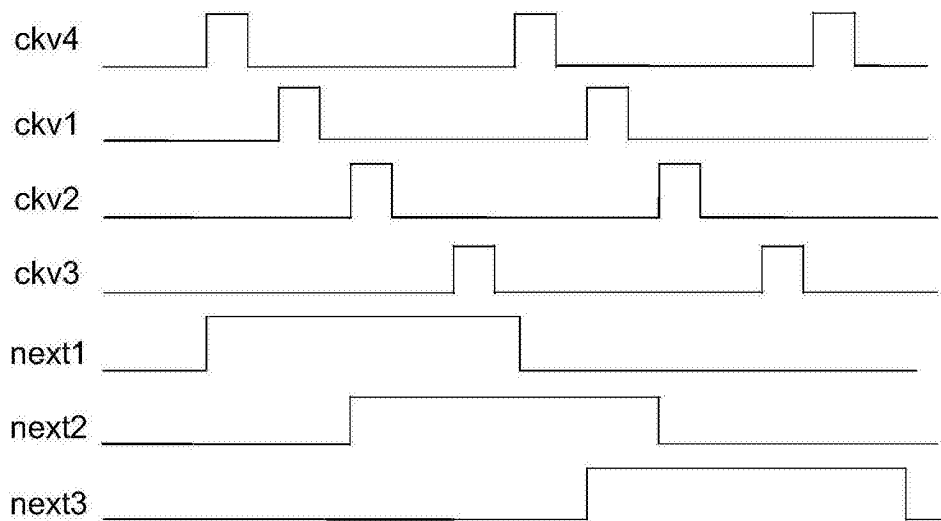


图7

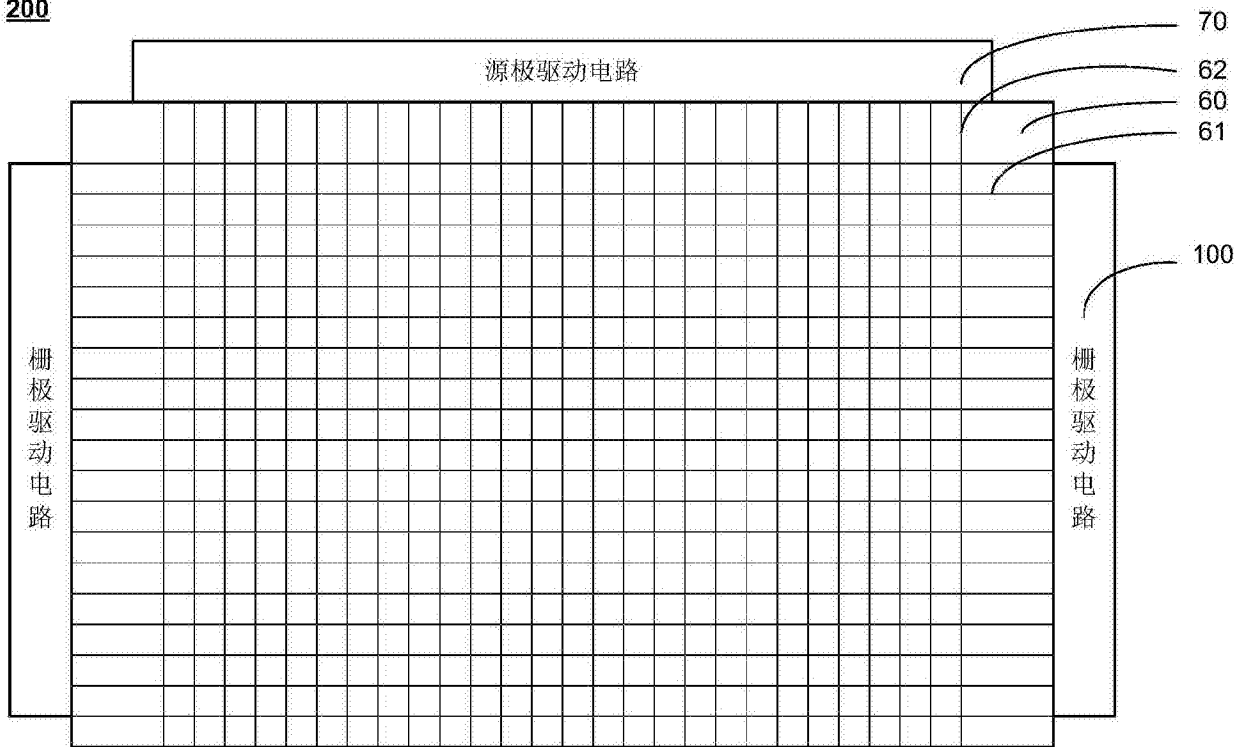
200

图8

专利名称(译)	栅极驱动电路及其控制方法和液晶显示器		
公开(公告)号	CN103985361B	公开(公告)日	2016-06-15
申请号	CN201310473356.2	申请日	2013-10-11
[标]申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
当前申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
[标]发明人	庄杰		
发明人	庄杰		
IPC分类号	G09G3/36		
代理人(译)	郑玮		
其他公开文献	CN103985361A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供的栅极驱动电路及控制方法和液晶显示器，所述栅极驱动电路包括：多个移位寄存器单元；所述移位寄存器单元包括第一锁存器、第二锁存器、第三锁存器、第一与非电路、第二与非电路、第三与非电路和第四与非电路；所述第一锁存器的输出端分别与所述第一与非电路的输入端和第二与非电路的输入端连接；所述第三锁存器的输出端分别与所述第三与非电路的输入端和第四与非电路的输入端连接；所述第二锁存器的输入端与所述第一锁存器的输出端连接，所述第二锁存器的输出端与所述第三锁存器的输入端连接；所述移位寄存器单元依次连接，前一个移位寄存器单元的第三锁存器的输出端与后一个移位寄存器单元的第一锁存器的输入端连接。

100

