



(12) 发明专利申请

(10) 申请公布号 CN 105096903 A

(43) 申请公布日 2015. 11. 25

(21) 申请号 201510629407. 5

(22) 申请日 2015. 09. 28

(71) 申请人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明大道 9-2 号

申请人 武汉华星光电技术有限公司

(72) 发明人 肖军城 赵莽

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G09G 3/36(2006. 01)

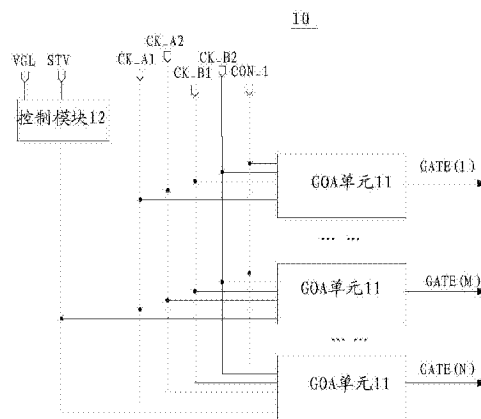
权利要求书3页 说明书10页 附图10页

(54) 发明名称

一种 GOA 电路及液晶显示器

(57) 摘要

本发明公开了一种 GOA 电路及液晶显示器。该 GOA 电路包括级联的多个 GOA 单元和控制模块, 每一 GOA 单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电, 控制模块用于在 GOA 电路对所有水平扫描线同时充电后, 通过启动脉冲信号和负压恒压源控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平, 能够实现在第一个栅极驱动信号输出之前在水平扫描线上不会产生冗余的脉冲信号的同时减少启动脉冲信号的信号线上的负载, 避免启动脉冲信号线由于承载过大的电流导致其熔断, 从而保证 GOA 电路正常工作。



1. 一种 GOA 电路,用于液晶显示器,其特征在于,所述 GOA 电路包括级联的多个 GOA 单元,每一所述 GOA 单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电,所述第一级传时钟、第二级传时钟用于控制所述 GOA 单元的级传信号的输入以及栅极驱动信号的产生,所述第一控制时钟、第二控制时钟用于控制所述栅极驱动信号处于第一电平,其中,所述级传信号为启动脉冲信号或相邻的所述 GOA 单元的所述栅极驱动信号;

所述 GOA 电路进一步包括控制模块,所述控制模块用于在所述 GOA 电路对所有所述水平扫描线同时充电后,通过所述启动脉冲信号和负压恒压源控制所述水平扫描线上除第一个所述栅极驱动信号之外的所述栅极驱动信号复位至所述第一电平,以实现在第一个所述栅极驱动信号输出之前在所述水平扫描线上不会产生冗余的脉冲信号的同时减少所述启动脉冲信号的信号线上的负载,所述负压恒压源用于为每一所述 GOA 单元提供恒定的低电平信号。

2. 根据权利要求 1 所述的 GOA 电路,其特征在于,所述 GOA 单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS 信号作用单元和自举电容单元;

所述正反扫描单元用于控制所述 GOA 电路的正向驱动或反向驱动,并在所述第一控制时钟或第二控制时钟的控制下,控制公共信号点保持第二电平;

所述输入控制单元用于根据所述第一级传时钟控制所述级传信号的输入以完成对栅极信号点的充电;

所述上拉维持单元用于根据所述公共信号点控制所述栅极信号点在非作用期间保持所述第一电平;

所述输出控制单元用于根据所述第二级传时钟控制与所述栅极信号点对应的所述栅极驱动信号的输出;

所述 GAS 信号作用单元用于控制所述栅极驱动信号处于所述第二电平,以实现与所述 GOA 单元对应的所述水平扫描线的充电;

所述自举电容单元用于对所述栅极信号点的电压进行再次抬升。

3. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述控制模块包括第一控制晶体管,所述第一控制晶体管的第一端与所述负压恒压源连接,所述第一控制晶体管的第二端连接所述启动脉冲信号的信号线,所述第一控制晶体管的第三端分别与除第一个所述 GOA 单元外每一所述 GOA 单元的所述公共信号点连接。

4. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述控制模块包括第一控制晶体管和第三控制晶体管,所述第一控制晶体管的第一端与所述负压恒压源连接、所述第一控制晶体管的第二端与所述启动脉冲信号的信号线连接,所述第一控制晶体管的第三端连接所述第二控制晶体管的第一端和第二端,所述第二控制晶体管的第三端分别与除第一个所述 GOA 单元外每一所述 GOA 单元的所述公共信号点连接。

5. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述控制模块包括第一控制晶体管、第二控制晶体管以及第三控制晶体管,所述第三控制晶体管的第一端连接所述启动脉冲信号,所述第三控制晶体管的第二端连接所述负压恒压源,所述第三控制晶体管的第三端连接所述第一控制晶体管的第二端,所述第一控制晶体管的第一端连接所述负压恒压源,所述第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端,所述第二控制晶体管

的第三端分别与除第一个所述 GOA 单元外每一所述 GOA 单元的所述公共信号点连接。

6. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述控制模块包括除第一个所述 GOA 单元外,与多个所述 GOA 单元一一对应的多个第一控制晶体管,多个所述第一控制晶体管的第一端连接所述负压恒压源,多个所述第一控制晶体管的第二端连接所述启动脉冲信号的信号线,多个所述第一控制晶体管的第三端与对应的所述 GOA 单元的所述公共信号点连接。

7. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述控制模块包括除第一个所述 GOA 单元外,与多个所述 GOA 单元一一对应的多个第一控制晶体管和第一控制晶体管,多个所述第一控制晶体管的第一端与所述负压恒压源连接,多个所述第一控制晶体管的第二端与所述启动脉冲信号的信号线连接,多个所述第一控制晶体管的第三端连接所述第一控制晶体管的第一端和第二端,多个所述第一控制晶体管的第三端分别与对应的所述 GOA 单元的所述公共信号点连接。

8. 根据权利要求 2 所述的 GOA 电路,其特征在于,所述控制模块包括除第一个所述 GOA 单元外,与多个所述 GOA 单元一一对应的多个第一控制晶体管、第二控制晶体管以及第三控制晶体管,多个所述第三控制晶体管的第一端连接所述启动脉冲信号,多个所述第三控制晶体管的第二端连接所述负压恒压源,多个所述第三控制晶体管的第三端连接所述第一控制晶体管的第二端,多个所述第一控制晶体管的第一端连接所述负压恒压源,多个所述第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端,多个所述第二控制晶体管的第三端分别与对应的所述 GOA 单元的所述公共信号点连接。

9. 根据权利要求 2 所述的 GOA 电路,其特征在于,

所述正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管,所述第一晶体管的栅极接收第一扫描控制信号,所述第一晶体管的源极接收下一级所述 GOA 单元输出的所述栅极驱动信号,所述第二晶体管的栅极接收第二扫描控制信号,所述第二晶体管的源极接收上一级所述 GOA 单元输出的所述栅极驱动信号,所述第一晶体管和所述第二晶体管的漏极相互连接后与所述输入控制单元连接,所述第三晶体管的栅极接收所述第一扫描控制信号,所述第三晶体管的源极接收所述第一控制时钟,所述第四晶体管的栅极接收所述第二扫描控制信号,所述第四晶体管的源极接收所述第二控制时钟,所述第三晶体管和所述第四晶体管的漏极相互连接后与所述上拉维持单元连接;

所述输入控制单元包括第五晶体管,所述第五晶体管的栅极接收所述第一级连信号,所述第五晶体管的源极与所述第一晶体管、第二晶体管的漏极连接,所述第五晶体管的漏极与栅极信号点连接;

所述上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容,所述第六晶体管的栅极与公共信号点连接,所述第六晶体管的源极与第五晶体管的漏极连接,所述第六晶体管的漏极与第一恒压源连接,所述第七晶体管的栅极与第五晶体管的漏极连接,所述第七晶体管的源极与公共信号点连接,所述第七晶体管的漏极与第一恒压源连接,所述第九晶体管的栅极与第三晶体管、第四晶体管的漏极连接,所述第九晶体管的源极与第二恒压源连接,所述第九晶体管的漏极与公共信号点连接,所述第十晶体管的栅极与公共信号点连接,所述第十晶体管的源极与栅极驱动信号连接,所述第十晶体管的漏极与第一恒压源连接,所述第一电容的一端与

所述第一恒压源连接,所述第一电容的另一端与所述公共信号点连接;

所述输出控制单元包括第十一晶体管和第二电容,所述第十一晶体管的栅极与所述栅极信号点连接,所述第十一晶体管的漏极与所述栅极驱动信号连接,所述第十一晶体管的源极接收所述第二级传时钟,所述第二电容的一端与所述栅极信号点连接,所述第二电容的另一端与所述栅极驱动信号连接;

所述 GAS 信号作用单元包括第十三晶体管和第十四晶体管,所述第十三晶体管的栅极、第十四晶体管的栅极和漏极接收 GAS 信号,所述第十三晶体管的漏极连接所述第一恒压源,所述第十三晶体管的源极连接所述公共信号点,所述第十三晶体管的源极连接所述栅极驱动信号;

所述自举电容单元包括自举电容,所述自举电容的一端与所述栅极驱动信号连接,所述自举电容的另一端与地信号连接;

所述 GOA 单元进一步包括稳压单元和上拉辅助单元,所述稳压单元包括第八晶体管,所述第八晶体管串接于所述第五晶体管的源极与所述栅极信号点之间,所述第八晶体管的栅极与所述第二恒压源连接,所述第八晶体管的漏极与所述第五晶体管的漏极连接,所述第八晶体管的源极与所述栅极信号点连接;所述上拉辅助单元包括第十二晶体管,所述第十二晶体管的栅极与所述第一晶体管、第二晶体管的漏极连接,所述第十二晶体管的源极与所述公共信号点连接,所述第十二晶体管的漏极与所述正压恒压源连接。

10. 一种液晶显示器,其特征在于,包括权利要求 1-9 任一项所述的 GOA 电路。

一种 GOA 电路及液晶显示器

技术领域

[0001] 本发明涉及液晶领域,特别是涉及一种 GOA 电路及液晶显示器。

背景技术

[0002] 现有的 GOA (Gate driver on array) 电路在搭配 All Gate On 功能时,由于自举电容的存在,GOA 电路中的栅极驱动信号在 All Gate On 功能完成后,不会马上变为无效电平,从而存在产生冗余的栅极驱动信号、进而导致电路出现失效的可能。

[0003] 其中, All Gate On 功能是指将 GOA 电路中的所有栅极驱动信号设置为有效电平以同时对所有水平扫描线进行充电,从而清除液晶显示器中每个像素点残存的电荷以解决开关机时出现残影的问题。

[0004] 利用 STV 信号线 (启动脉冲信号的信号线) 进行 P 点下拉,用于解决 All Gate On 时 Gate 信号 Holding 的问题时,STV 信号负责所有 TFT 的驱动,所以 STV 信号线承载的电流为所有支路电流的总和,在进行高 PPI 面板的驱动时,STV 信号线上工作的电流将会达到一个非常大的量级,此时 STV 信号线很容易出现熔断的风险,整个 GOA 驱动电路便会失效。因此,必须增加 STV 走线的宽度以保证 STV 信号线的驱动能力。但是,由于 STV 信号线在 GOA 版图中位置的限制,随着信号线宽度的增加,则需要承受更大的静电,而这些静电的积累也很容易造成 STV 信号线的熔断,造成电路的失效。因此,需要更有效地电路设计来减小 STV 信号线的负载,保证 P 点的正常下拉。

发明内容

[0005] 本发明主要解决的技术问题是提供一种 GOA 电路及液晶显示器,能够实现在第一个栅极驱动信号输出之前在水平扫描线上不会产生冗余的脉冲信号的同时减少启动脉冲信号的信号线上的负载,避免启动脉冲信号的信号线上的负载过大导致信号线熔断。

[0006] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种 GOA 电路,用于液晶显示器,其中,该 GOA 电路包括级联的多个 GOA 单元,每一 GOA 单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电,第一级传时钟、第二级传时钟用于控制 GOA 单元的级传信号的输入以及栅极驱动信号的产生,第一控制时钟、第二控制时钟用于控制栅极驱动信号处于第一电平,其中,级传信号为启动脉冲信号或相邻的 GOA 单元的栅极驱动信号;GOA 电路进一步包括控制模块,控制模块用于在 GOA 电路对所有水平扫描线同时充电后,通过启动脉冲信号和负压恒压源控制水平扫描线上的除第一个栅极驱动信号之外的栅极驱动信号复位至第一电平,以实现在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号的同时减少启动脉冲信号的信号线上的负载,负压恒压源用于为每一 GOA 单元提供恒定的低电平信号。

[0007] 其中,GOA 单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS 信号作用单元和自举电容单元;正反扫描单元用于控制 GOA 电路的正向驱动或反向驱动,并在第一控制时钟或第二控制时钟的控制下,控制公共信号点保持第二电平;输入控制

单元用于根据第一级传时钟控制级传信号的输入以完成对栅极信号点的充电；上拉维持单元用于根据公共信号点控制栅极信号点在非作用期间保持第一电平；输出控制单元用于根据第二级传时钟控制与栅极信号点对应的栅极驱动信号的输出；GAS 信号作用单元用于控制栅极驱动信号处于第二电平，以实现与 GOA 单元对应的水平扫描线的充电；自举电容单元用于对栅极信号点的电压进行再次抬升。

[0008] 其中，控制模块包括第一控制晶体管，第一控制晶体管的第一端与负压恒压源连接，第一控制晶体管的第二端连接启动脉冲信号的信号线，第一控制晶体管的第三端分别与除第一个 GOA 单元外每一 GOA 单元的公共信号点连接。

[0009] 其中，控制模块包括第一控制晶体管和第二控制晶体管，第一控制晶体管的第一端与负压恒压源连接、第一控制晶体管的第二端与启动脉冲信号的信号线连接，第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，第二控制晶体管的第三端分别与除第一个 GOA 单元外每一 GOA 单元的公共信号点连接。

[0010] 其中，控制模块包括第一控制晶体管、第二控制晶体管以及第三控制晶体管，第三控制晶体管的第一端连接启动脉冲信号，第三控制晶体管的第二端连接负压恒压源，第三控制晶体管的第三端连接第一控制晶体管的第二端，第一控制晶体管的第一端连接负压恒压源，第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，第二控制晶体管的第三端分别与除第一个 GOA 单元外每一 GOA 单元的公共信号点连接。

[0011] 其中，控制模块包括除第一个 GOA 单元外，与多个 GOA 单元一一对应的多个第一控制晶体管，多个第一控制晶体管的第一端连接负压恒压源，多个第一控制晶体管的第二端连接启动脉冲信号的信号线，多个第一控制晶体管的第三端与对应的 GOA 单元的公共信号点连接。

[0012] 其中，控制模块包括除第一个 GOA 单元外，与多个 GOA 单元一一对应的多个第一控制晶体管和第二控制晶体管，多个第一控制晶体管的第一端与负压恒压源连接，多个第一控制晶体管的第二端与启动脉冲信号的信号线连接，多个第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，多个第二控制晶体管的第三端分别与对应的 GOA 单元的公共信号点连接。

[0013] 其中，控制模块包括除第一个 GOA 单元外，与多个 GOA 单元一一对应的多个第一控制晶体管、第二控制晶体管以及第三控制晶体管，多个第三控制晶体管的第一端连接启动脉冲信号，多个第三控制晶体管的第二端连接负压恒压源，多个第三控制晶体管的第三端连接第一控制晶体管的第二端，多个第一控制晶体管的第一端连接负压恒压源，多个第一控制晶体管的第三端连接第二控制晶体管的第一端和第二端，多个第二控制晶体管的第三端分别与对应的 GOA 单元的公共信号点连接。

[0014] 其中，正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管，第一晶体管的栅极接收第一扫描控制信号，第一晶体管的源极接收下一级 GOA 单元输出的栅极驱动信号，第二晶体管的栅极接收第二扫描控制信号，第二晶体管的源极接收上一级 GOA 单元输出的栅极驱动信号，第一晶体管和第二晶体管的漏极相互连接后与输入控制单元连接，第三晶体管的栅极接收第一扫描控制信号，第三晶体管的源极接收第一控制时钟，第四晶体管的栅极接收第二扫描控制信号，第四晶体管的源极接收第二控制时钟，第三晶体管和第四晶体管的漏极相互连接后与上拉维持单元连接；输入控制单元包括第五晶体管，第

五晶体管的栅极接收第一级连信号,第五晶体管的源极与第一晶体管、第二晶体管的漏极连接,第五晶体管的漏极与栅极信号点连接;上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容,第六晶体管的栅极与公共信号点连接,第六晶体管的源极与第五晶体管的漏极连接,第六晶体管的漏极与第一恒压源连接,第七晶体管的栅极与五晶体管的漏极连接,第七晶体管的源极与公共信号点连接,第七晶体管的漏极与第一恒压源连接,第九晶体管的栅极与第三晶体管、第四晶体管的漏极连接,第九晶体管的源极与第二恒压源连接,第九晶体管的漏极与公共信号点连接,第十晶体管的栅极与公共信号点连接,第十晶体管的源极与栅极驱动信号连接,第十晶体管的漏极与第一恒压源连接,第一电容的一端与第一恒压源连接,第一电容的另一端与公共信号点连接;输出控制单元包括第十一晶体管和第二电容,第十一晶体管的栅极与栅极信号点连接,第十一晶体管的漏极与栅极驱动信号连接,第十一晶体管的源极接收第二级传时钟,第二电容的一端与栅极信号点连接,第二电容的另一端与栅极驱动信号连接;GAS 信号作用单元包括第十三晶体管和第十四晶体管,第十三晶体管的栅极、第十四晶体管的栅极和漏极接收 GAS 信号,第十三晶体管的漏极连接第一恒压源,第十三晶体管的源极连接公共信号点,第十三晶体管的源极连接栅极驱动信号;自举电容单元包括自举电容,自举电容的一端与栅极驱动信号连接,自举电容的另一端与地信号连接。

[0015] 其中,GOA 单元进一步包括稳压单元和上拉辅助单元,稳压单元包括第八晶体管,第八晶体管串接于第五晶体管的源极与栅极信号点之间,第八晶体管的栅极与第二恒压源连接,第八晶体管的漏极与第五晶体管的漏极连接,第八晶体管的源极与栅极信号点连接;上拉辅助单元包括第十二晶体管,第十二晶体管的栅极与第一晶体管、第二晶体管的漏极连接,第十二晶体管的源极与公共信号点连接,十二晶体管的漏极与正压恒压源连接。

[0016] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示器,包括了上述 GOA 电路。

[0017] 本发明的有益效果是:本发明的 GOA 电路及液晶显示器通过 GOA 电路对所有水平扫描线同时充电后,通过启动脉冲信号和负压恒压源控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平,从而能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号,进而保证了 GOA 电路的正常工作,与此同时,由于通过启动脉冲信号 STV 和负压恒压源 VGL 共同控制水平扫描线上的除第一级栅极驱动信号 GATE(1) 外的其它栅极驱动信号 Gate(N) 复位至第一电平也即无效电平,减少仅仅只用启动脉冲信号控制时启动脉冲信号的信号线上的负载,由于流经控制模块的电流由负压恒压源 VGL 的信号线进行承载,而 VGL 信号线的宽度比较大,而且版图设计靠近 GOA 电路的里面,所承受的静电较小,因此具有很强的驱动能力,负压恒压源 VGL 的信号线能够承载更大的电流,不容易被损坏。

附图说明

[0018] 图 1 是本发明第一实施例的 GOA 电路的结构示意图;

[0019] 图 2 是本发明第二实施例的 GOA 电路的结构示意图;

[0020] 图 3 是图 2 所示 GOA 电路中 GOA 单元的电路原理图;

[0021] 图 4 是本发明第二实施例的 GOA 电路的工作时序图;

- [0022] 图 5 是本发明第三实施例的 GOA 电路的结构示意图；
[0023] 图 6 是本发明第四实施例的 GOA 电路的结构示意图；
[0024] 图 7 是本发明第五实施例的 GOA 电路的结构示意图；
[0025] 图 8 是本发明第六实施例的 GOA 电路的结构示意图；
[0026] 图 9 是本发明第七实施例的 GOA 电路的结构示意图；
[0027] 图 10 是本发明液晶显示器的结构示意图。

具体实施方式

[0028] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[0029] 图 1 是本发明第一实施例的 GOA 电路的结构示意图。如图 1 所示，GOA 电路 10 包括级联的多个 GOA 单元 11 和控制模块 12。

[0030] 每一 GOA 单元 11 用于在第一级传时钟 CK_A1、第二级传时钟 CK_A2、第一控制时钟 CK_B1、第二控制时钟 CK_B2 的驱动下对显示区域中对应的水平扫描线进行充电。其中，第一级传时钟 CK_A1、第二级传时钟 CK_A2 用于控制 GOA 单元 11 的级传信号 CON_1 的输入以及栅极驱动信号 GATE(N) (N 为自然数) 的产生，第一控制时钟 CK_B1、第二控制时钟 CK_B2 用于控制栅极驱动信号 GATE(N) 处于第一电平也即无效电平，其中，级传信号 CON_1 为启动脉冲信号或相邻的 GOA 单元 11 的栅极驱动信号。

[0031] 控制模块 12 分别与启动脉冲信号 STV、负压恒压源 VGL 以及除第一个 GOA 单元 11 外的每个 GOA 单元 11 连接，用于在 GOA 电路 10 对水平扫描线同时充电也即完成 All Gate on 功能后，通过启动脉冲信号 STV 和负压恒压源 VGL 控制水平扫描线上的除第一级栅极驱动信号 GATE(1) 外的其它栅极驱动信号 Gate(N) 复位至第一电平也即无效电平，从而避免在第一个栅极驱动信号 GATE(1) 输出之前在水平扫描线上产生冗余的脉冲信号，同时由于通过启动脉冲信号 STV 和负压恒压源 VGL 共同控制水平扫描线上的除第一级栅极驱动信号 GATE(1) 外的其它栅极驱动信号 Gate(N) 复位至第一电平也即无效电平，减少仅仅只用启动脉冲信号控制时启动脉冲信号的信号线上的负载，负压恒压源用于为每一 GOA 单元提供恒定的低电平信号。由于流经控制模块的电流由负压恒压源 VGL 的信号线进行承载，而 VGL 信号线的宽度比较大，而且版图设计靠近 GOA 电路的里面，所承受的静电较小，因此具有很强的驱动能力，负压恒压源 VGL 的信号线能够承载更大的电流，不容易被损坏。

[0032] 图 2 是本发明第二实施例的 GOA 电路的结构示意图。本发明第二实施例以奇数级 GOA 单元级联形成的 GOA 电路为例来说明，其中 GOA 电路为 PMOS 电路。如图 2 所示，GOA 电路 20 包括级联的奇数级 GOA 单元 21 和控制模块 22。

[0033] 其中，GOA 电路 20 包括级联的奇数级 GOA 单元 21 是指 GOA 电路 20 由第一级、第三级、第五级、...第 $2N+1$ (N 为自然数) 级 GOA 单元 21 级联形成。

[0034] 其中，GOA 电路 20 接收第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4，其中，第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4 在一个时钟周期依次分时有效。

[0035] 请一并参考图 3,图 3 是图 2 所示 GOA 电路中 GOA 单元的电路原理图。如图 3 所示,GOA 单元 21 包括正反扫描单元 100、输入控制单元 200、上拉维持单元 300、输出控制单元 400、GAS 信号作用单元 500 和自举电容单元 600。

[0036] 第一正反扫描单元 100 用于控制 GOA 电路 20 的正向驱动或反向驱动,并在第一控制时钟 CK_LB1 或第二控制时钟 CK_LB2 的控制下,控制公共信号点 P(2N+1) 保持第二电平。在本实施例中,第二电平为低电平。

[0037] 输入控制单元 200 用于根据第一级传时钟 CK_LA1 控制级传信号的输入以完成对栅极信号点 Q(2N+1) (N 为自然数) 的充电。

[0038] 上拉维持单元 300 用于根据公共信号点 P(2N+1) 控制栅极信号点 Q(2N+1) 在非作用期间保持第一电平。在本实施例中,第一电平为高电平。

[0039] 输出控制单元 400 用于根据第二级传时钟 CK_LA2 控制与栅极信号点 Q(2N+1) 对应的栅极驱动信号 G(2N+1) 的输出。

[0040] GAS 信号作用单元 500 用于控制栅极驱动信号 G(2N+1) 处于有效电平,以实现 GOA 单元 21 对应的水平扫描线的充电。在本实施例中,栅极驱动信号 G(2N+1) 的有效电平为低电平。

[0041] 自举电容单元 600 用于对栅极信号点 Q(2N+1) 的电压进行再次抬升。

[0042] 具体来说,正反扫描单元 100 包括第一晶体管 PT0、第二晶体管 PT1、第三晶体管 PT2 和第四晶体管 PT3,第一晶体管 PT0 的栅极接收第一扫描控制信号也即反向扫描控制信号 D2U,第一晶体管 PT0 的源极接收下一级 GOA 单元 21 输出的栅极驱动信号 G(2N+3),第二晶体管 PT1 的栅极接收第二扫描控制信号也即正向扫描控制信号 U2D,第二晶体管 PT1 的源极接收上一级 GOA 单元输出的栅极驱动信号 G(2N-1),第一晶体管 PT0 和第二晶体管 PT1 的漏极相互连接后与输入控制单元 200 连接,第三晶体管 PT2 的栅极接收第一扫描控制信号也即反向扫描控制信号 D2U,第三晶体管 PT2 的源极接收第一控制时钟 CK_LB1,第四晶体管 PT3 的栅极接收第二扫描控制信号也即正向扫描控制信号 U2D,第四晶体管 PT3 的源极接收第二控制时钟 CK_LB2,第三晶体管 PT2 和第四晶体管 PT3 的漏极相互连接后与上拉维持单元 300 连接。

[0043] 其中,在第一级 GOA 单元中,第二晶体管 PT1 的源极接收启动脉冲信号 STV。在最后一级 GOA 单元中,第一晶体管 PT0 的源极接收启动脉冲信号 STV。

[0044] 输入控制单元 200 包括第五晶体管 PT4,第五晶体管 PT4 的栅极接收第一级传时钟 CK_LA1,第五晶体管 PT4 的源极与第一晶体管 PT0、第二晶体管 PT1 的漏极连接,第五晶体管 PT4 的漏极与栅极信号点 Q(2N+1) 连接。

[0045] 上拉维持单元 300 包括第六晶体管 PT5、第七晶体管 PT6、第九晶体管 PT8、第十晶体管 PT9 和第一电容 C1,第六晶体管 PT5 的栅极与公共信号点 P(2N+1) 连接,第六晶体管 PT5 的源极与第五晶体管 PT4 的漏极连接,第六晶体管 PT5 的漏极与第一恒压源也即正压恒压源 VGH 连接,第七晶体管 PT6 的栅极与第五晶体管 PT4 的漏极连接,第七晶体管 PT6 的源极与公共信号点 P(2N+1) 连接,第七晶体管 PT6 的漏极与第一恒压源也即正压恒压源 VGH 连接,第九晶体管 PT8 的栅极与第三晶体管 PT2、第四晶体管 PT3 的漏极连接,第九晶体管 PT8 的源极与第二恒压源也即负压恒压源 VGL 连接,第九晶体管 PT8 的漏极与公共信号点 P(2N+1) 连接,第十晶体管 PT9 的栅极与公共信号点 P(2N+1) 连接,第十晶体管 PT9 的源极

与栅极驱动信号 $G(2N+1)$ 连接,第十晶体管 PT9 的漏极与第一恒压源也即正压恒压源 VGH 连接,第一电容 C1 的一端与第一恒压源也即正压恒压源 VGH 连接,第一电容 C1 的另一端与公共信号点 $(2N+1)$ 连接。

[0046] 输出控制单元 400 包括第十一晶体管 PT10 和第二电容 C2,第十一晶体管 PT10 的栅极与栅极信号点 $Q(2N+1)$ 连接,第十一晶体管 PT10 的漏极与栅极驱动信号 $Q(2N+1)$ 连接,第十一晶体管 PT10 的源极接收第二级传时钟 CK_LA2,第二电容 C2 的一端与栅极信号点 $Q(2N+1)$ 连接,第二电容 C2 的另一端与栅极驱动信号 $G(2N+1)$ 连接;

[0047] GAS 信号作用单元 500 包括第十三晶体管 PT12 和第十四晶体管 PT13,第十三晶体管 PT12 的栅极、第十四晶体管 PT13 的栅极和漏极接收 GAS 信号 GAS,第十三晶体管 PT12 的漏极连接第一恒压源也即正压恒压源 VGH,第十三晶体管 PT12 的源极连接公共信号点 $P(2N+1)$,第十三晶体管 PT12 的源极连接栅极驱动信号 $G(2N+1)$ 。

[0048] 自举电容单元 600 包括自举电容 Cload,自举电容 Cload 的一端与栅极驱动信号 $G(2N+1)$ 连接,自举电容 Cload 的另一端与地信号 GND 连接。

[0049] 优选地,GOA 单元 21 进一步包括稳压单元 700,稳压单元 700 用于实现栅极信号点 $Q(2N+1)$ 的稳压以及栅极信号点 $Q(2N+1)$ 的漏电防治。具体来说,稳压单元 700 包括第八晶体管 PT7,第八晶体管 PT7 串接于第五晶体管 PT4 的源极与栅极信号点 $Q(2N+1)$ 之间,第八晶体管 PT7 的栅极与第二恒压源也即负压恒压源 VGL 连接,第八晶体管 PT7 的漏极与第五晶体管 PT4 的漏极连接,第八晶体管 PT7 的源极与栅极信号点 $Q(2N+1)$ 连接。

[0050] 优选地,GOA 单元 21 进一步包括上拉辅助单元 800,上拉辅助单元 800 用于防止第五晶体管 PT4 和第六晶体管 PT5 在对栅极信号点 $Q(2N+1)$ 进行充电的过程中出现漏电的问题。具体来说,上拉辅助单元 800 包括第十二晶体管 PT11,第十二晶体管 PT11 的栅极与第一晶体管 PT0、第二晶体管 PT1 的漏极连接,第十二晶体管 PT11 的源极与公共信号点 $P(2N+1)$ 连接,十二晶体管 PT11 的漏极与第一恒压源也即正压恒压源 VGH 连接。

[0051] 在 GOA 电路 20 中,在第一级、第五级、...第 $4N+1$ (N 为自然数) 级 GOA 单元 21 中,第一级传时钟 CK_LA1 为第一时钟信号 CK1,第二级传时钟 CK_LA2 为第三时钟信号 CK3,第一控制时钟 CK_LB1 为第二时钟信号 CK2,第二控制时钟 CK_LB2 为第四时钟信号 CK4。在第三级、第七级、...第 $4N+3$ (N 为自然数) 级 GOA 单元 21 中,第二级传时钟 CK_LA2 为第三时钟信号 CK3,第一级传时钟 CK_LA1 为第一时钟信号 CK1,第二控制时钟 CK_LB2 为第四时钟信号 CK4,第一控制时钟 CK_LB2 为第二时钟信号 CK2。

[0052] 本领域的技术人员可以理解,当 GOA 电路为 NMOS 电路时,上述所有晶体管为 NMOS 晶体管,第一扫描控制信号对应正向扫描控制信号 U2D,第二扫描控制信号对应反向扫描控制信号 D2U,第一恒压源对应负压恒压源 VGL,第二恒压源对应正压恒压源 VGH。

[0053] 请继续参考图 2,控制模块 22 包括第一控制晶体管 T1,第一控制晶体管 T1 的第一端与负压恒压源 VGL 连接,第一控制晶体管 T1 的第二端连接启动脉冲信号 STV 的信号线且连接后接收启动脉冲信号 STV,第一控制晶体管 T1 的第三端分别与除第一个 GOA 单元 21 外每一 GOA 单元 21 的公共信号点 $P(2N+1)$ 连接。

[0054] 在本实施例中,第一控制晶体管 T1 为 PMOS 管,第一控制晶体管 T1 的第一端、第二端、第三端对应 PMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制除第一个 GOA 单元外的每一 GOA 单元的公共信号点 $P(2N+1)$

处于低电平以使水平扫描线上的栅极驱动信号 $G(2N+1)$ 复位至高电平。

[0055] 采用启动脉冲信号 STV 信号控制第一控制晶体管的栅极,采用负压恒压源 VGL 的信号线控制第一控制晶体管的漏极,这样整个第一控制晶体管 T1 的电流由负压恒压源 VGL 的信号线进行承载。由于负压恒压源 VGL 的信号线的宽度比较大,而且版图设计靠近 GOA 电路的里面,所承受的静电较小,因此具有很强的驱动能力。

[0056] 在其它实施例中,当 GOA 电路为 NMOS 电路时,第一控制晶体管 T1 也可以为 NMOS 管,第一控制晶体管 T1 的第一端、第二端、第三端对应 NMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制除第一个 GOA 单元外的每一 GOA 单元的公共信号点 $P(2N+1)$ 处于高电平以使水平扫描线上的栅极驱动信号 $G(2N+1)$ 复位至低电平。

[0057] 漏极、栅极和源极漏极、栅极和源极图 4 是本发明第二实施例的 GOA 电路的工作时序图。本发明第二实施例以奇数级 GOA 单元级联形成的 GOA 电路为例来说明,其中 GOA 电路为 PMOS 电路。如图 4 所示,当 GAS 信号 GAS 有效也即为低电平信号时,GOA 电路 20 实现 All Gate On 功能,与各奇数级水平扫描线对应的栅极驱动信号 $G(2N+1)$ 输出低电平信号。当 GOA 电路 20 完成 All Gate On 功能后,由于自举电容 Cload 的存在,与各奇数级水平扫描线对应的栅极驱动信号 $G(2N+1)$ 不会马上变为高电平,而会保持 Cload holding 的低电平信号。

[0058] 以 GOA 电路为正向驱动为例,如果与奇数级水平扫描线对应的栅极驱动信号在第三时钟信号 CK3 有效之前不能放电至高电平,则除第一级水平扫描线以外,其它奇数级水平扫描线上会产生冗余的脉冲信号。具体来说,第一级水平扫描线由第一级 GOA 单元驱动,由于第一级 GOA 单元的级传信号为启动脉冲信号 STV,第一级 GOA 单元正常驱动,不会产生冗余的脉冲信号。第三级水平扫描线由第三级 GOA 单元驱动,而第三级 GOA 单元的级传信号为第一级 GOA 单元的栅极驱动信号 $G(1)$,当第一时钟信号 CK1 为低电平时,由于栅极驱动信号 $G(1)$ 保持 Cload holding 的低电平信号,则栅极驱动信号 $G(1)$ 的低电平信号会传递至第三级 GOA 单元的栅极信号点 $Q(3)$,使得第三级 GOA 单元 21 先于第一级 GOA 单元 21 工作,并使得第三级 GOA 单元 21 输出的栅极驱动信号 $G(3)$ 产生一个冗余的脉冲,这个冗余的脉冲会继续影响下一级 GOA 单元 21 的栅极驱动信号。基于相同的理由,在第一时钟信号 CK1 有效时,第七级、第十一级、...第 $4N+3$ 级 GOA 单元的栅极驱动信号均会产生冗余的脉冲。

[0059] 为了避免上述问题的产生,如图 4 所示,GOA 电路 20 实现 All Gate On 功能后,在第一时钟信号 CK1 有效之前,设置启动脉冲信号 STV 为低电平并随着第一时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4 依次有效后,启动脉冲信号 STV 由低电平变为高电平。其中,当启动脉冲信号 STV 为低电平时,由于第一控制晶体管 T1 导通,第三级、第五级、...,第 $2N+1$ 级的 GOA 单元 21 的公共信号点 $P(2N+1)$ 从高电平变为低电平,从而使得在第三时钟信号 CK3 有效之前栅极驱动信号 $G(2N+1)$ 变为高电平信号,从而避免了冗余的脉冲信号的产生。随后,保持正常的第三时钟信号 CK1、第二时钟信号 CK2、第三时钟信号 CK3、第四时钟信号 CK4 的驱动顺序对 GOA 电路 20 进行驱动,即可实现对水平扫描线的正常充电。

[0060] 图 5 是本发明第三实施例的 GOA 电路的结构示意图。本发明第三实施例以奇数级

GOA 单元级联形成的 GOA 电路为例来说明,其中 GOA 电路为 PMOS 电路。图 5 所示的第三实施例与图 2 所示的第二实施例的区别在于:

[0061] 如图 5 所示,控制模块 23 包括第一控制晶体管 T1 和第二控制晶体管 T2,第一控制晶体管 T1 的第一端与负压恒压源 VGL 连接、第一控制晶体管 T2 的第二端与启动脉冲信号 STV 的信号线连接,第一控制晶体管 T1 的第三端连接第二控制晶体管 T2 的第一端和第二端,第二控制晶体管 T2 的第三端分别与除第一个 GOA 单元 21 外每一 GOA 单元 21 的公共信号点 P(2N+1) 连接。

[0062] 在本实施例中,第一控制晶体管 T1 和第二控制晶体管 T2 为 PMOS 管,第一控制晶体管 T1 和第二控制晶体管 T2 的第一端、第二端、第三端对应 PMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制除第一个 GOA 单元 21 外的每一 GOA 单元 21 的公共信号点 P(2N+1) 处于低电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至高电平。

[0063] 在其它实施例中,当 GOA 电路为 NMOS 电路时,第一控制晶体管 T1 和第二控制晶体管 T2 也可以为 NMOS 管,第一控制晶体管 T1 和第二控制晶体管 T2 的第一端、第二端、第三端对应 NMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制每一 GOA 单元 21 的公共信号点 P(2N+1) 处于高电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至低电平。

[0064] 图 6 是本发明第四实施例的 GOA 电路的结构示意图。本发明第四实施例以奇数级 GOA 单元级联形成的 GOA 电路为例来说明,其中 GOA 电路为 PMOS 电路。图 6 所示的第四实施例与图 2 所示的第二实施例的区别在于:

[0065] 如图 6 所示,控制模块 24 包括第一控制晶体管 T1、第二控制晶体管 T2 以及第三控制晶体管 T3,第三控制晶体管 T3 的第一端连接启动脉冲信号 STV,第三控制晶体管 T3 的第二端连接负压恒压源 VGL,第三控制晶体管 T3 的第三端连接第一控制晶体管 T1 的第二端,第一控制晶体管 T1 的第一端连接负压恒压源 VGL,第一控制晶体管 T1 的第三端连接第二控制晶体管 T2 的第一端和第二端,第二控制晶体管 T2 的第三端分别与除第一个 GOA 单元 21 外每一 GOA 单元 21 的公共信号点 P(2N+1) 连接。

[0066] 在本实施例中,第一控制晶体管 T1 和第二控制晶体管 T2 为 PMOS 管,第一控制晶体管 T1 和第二控制晶体管 T2 的第一端、第二端、第三端对应 PMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制除第一个 GOA 单元 21 外的每一 GOA 单元 21 的公共信号点 P(2N+1) 处于低电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至高电平。

[0067] 在其它实施例中,当 GOA 电路为 NMOS 电路时,第一控制晶体管 T1 和第二控制晶体管 T2 也可以为 NMOS 管,第一控制晶体管 T1 和第二控制晶体管 T2 的第一端、第二端、第三端对应 NMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制每一 GOA 单元 21 的公共信号点 P(2N+1) 处于高电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至低电平。

[0068] 图 7 是本发明第五实施例的 GOA 电路的结构示意图。本发明第五实施例以奇数级 GOA 单元级联形成的 GOA 电路为例来说明,其中 GOA 电路为 PMOS 电路。图 7 所示的第五实施例与图 2 所示的第二实施例的区别在于:

[0069] 如图 7 所示,控制模块 25 包括除第一个 GOA 单元 21 外,与多个 GOA 单元 21 一一对应的多个第一控制晶体管 T1,多个第一控制晶体管 T1 的第一端连接负压恒压源 VGL,多个第一控制晶体管 T1 的第二端连接启动脉冲信号 STV 的信号线,多个第一控制晶体管 T3 的第三端与对应的 GOA 单元 21 的公共信号点 P(2N+1) 连接。

[0070] 在本实施例中,第一控制晶体管 T1 为 PMOS 管,第一控制晶体管 T1 的第一端、第二端、第三端对应 PMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制除第一个 GOA 单元外的每一 GOA 单元的公共信号点 P(2N+1) 处于低电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至高电平。

[0071] 在其它实施例中,当 GOA 电路为 NMOS 电路时,第一控制晶体管 T1 也可以为 NMOS 管,第一控制晶体管 T1 的第一端、第二端、第三端对应 NMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制除第一个 GOA 单元 21 外的每一 GOA 单元 21 的公共信号点 P(2N+1) 处于高电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至低电平。

[0072] 图 8 是本发明第六实施例的 GOA 电路的结构示意图。本发明第六实施例以奇数级 GOA 单元级联形成的 GOA 电路为例来说明,其中 GOA 电路为 PMOS 电路。图 8 所示的第六实施例与图 2 所示的第二实施例的区别在于:

[0073] 如图 8 所示,控制模块 26 包括除第一个 GOA 单元 21 外,与多个 GOA 单元 21 一一对应的多个第一控制晶体管 T1 和第二控制晶体管 T2,多个第一控制晶体管 T1 的第一端与负压恒压源 VGL 连接,多个第一控制晶体管 T1 的第二端与启动脉冲信号 STV 的信号线连接,多个第一控制晶体管 T1 的第三端连接第二控制晶体管 T2 的第一端和第二端,多个第二控制晶体管 T2 的第三端分别与对应的 GOA 单元的公共信号点连接。

[0074] 在本实施例中,第一控制晶体管 T1 和第二控制晶体管 T2 为 PMOS 管,第一控制晶体管 T1 和第二控制晶体管 T2 的第一端、第二端、第三端对应 PMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制除第一个 GOA 单元 21 外的每一 GOA 单元 21 的公共信号点 P(2N+1) 处于低电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至高电平。

[0075] 在其它实施例中,当 GOA 电路为 NMOS 电路时,第一控制晶体管 T1 和第二控制晶体管 T2 也可以为 NMOS 管,第一控制晶体管 T1 和第二控制晶体管 T2 的第一端、第二端、第三端对应 NMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制每一 GOA 单元 21 的公共信号点 P(2N+1) 处于高电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至低电平。

[0076] 图 9 是本发明第七实施例的 GOA 电路的结构示意图。本发明第七实施例以奇数级 GOA 单元级联形成的 GOA 电路为例来说明,其中 GOA 电路为 PMOS 电路。图 9 所示的第七实施例与图 2 所示的第二实施例的区别在于:

[0077] 如图 9 所示,控制模块 27 包括除第一个 GOA 单元 21 外,与多个 GOA 单元 21 一一对应的多个第一控制晶体管 T1、第二控制晶体管 T2 以及第三控制晶体管 T3,多个第三控制晶体管 T3 的第一端连接启动脉冲信号 STV,多个第三控制晶体管 T3 的第二端连接负压恒压源 VGL,多个第三控制晶体管 T3 的第三端连接第一控制晶体管 T1 的第二端,多个第一控制晶体管 T1 的第一端连接负压恒压源 VGL,多个第一控制晶体管 T1 的第三端连接第二控制晶

体管 T2 的第一端和第二端,多个第二控制晶体管 T2 的第三端分别与对应的 GOA 单元 21 的公共信号点 P(2N+1) 连接。

[0078] 在本实施例中,第一控制晶体管 T1 和第二控制晶体管 T2 为 PMOS 管,第一控制晶体管 T1 和第二控制晶体管 T2 的第一端、第二端、第三端对应 PMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制除第一个 GOA 单元 21 外的每一 GOA 单元 21 的公共信号点 P(2N+1) 处于低电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至高电平。

[0079] 在其它实施例中,当 GOA 电路为 NMOS 电路时,第一控制晶体管 T1 和第二控制晶体管 T2 也可以为 NMOS 管,第一控制晶体管 T1 和第二控制晶体管 T2 的第一端、第二端、第三端对应 NMOS 管的漏极、栅极和源极;其中,当启动脉冲信号 STV 开启时,启动脉冲信号 STV 和负压恒压源 VGL 控制每一 GOA 单元 21 的公共信号点 P(2N+1) 处于高电平以使水平扫描线上的栅极驱动信号 G(2N+1) 复位至低电平。

[0080] 另外,图 5~图 9 所示第三至七实施例的 GOA 电路的工作时序和图 2 所示第二实施例的 GOA 电路的工作时序相同,为简约起见,在此不再赘述。

[0081] 本领域的技术人员可以理解,液晶显示器包括奇数级的 GOA 单元级联形成的 GOA 电路和偶数级的 GOA 单元级联形成的 GOA 电路,由于偶数级的 GOA 单元级联形成的 GOA 电路与奇数级的 GOA 单元级联形成的 GOA 电路的处理方式类似,为简约起见,在此不再详述。

[0082] 本发明进一步提供一种液晶显示器,包括了上述 GOA 电路。请进一步参阅图 10,图 10 是本发明液晶显示器的结构示意图。在本实施例中,液晶显示器包括液晶面板 1 和设置在液晶面板 1 侧边的 GOA 电路 2。

[0083] 本发明的有益效果是:本发明的 GOA 电路及液晶显示器通过 GOA 电路对所有水平扫描线同时充电后,通过启动脉冲信号控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平,从而能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号,进而保证了 GOA 电路的正常工作。

[0084] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

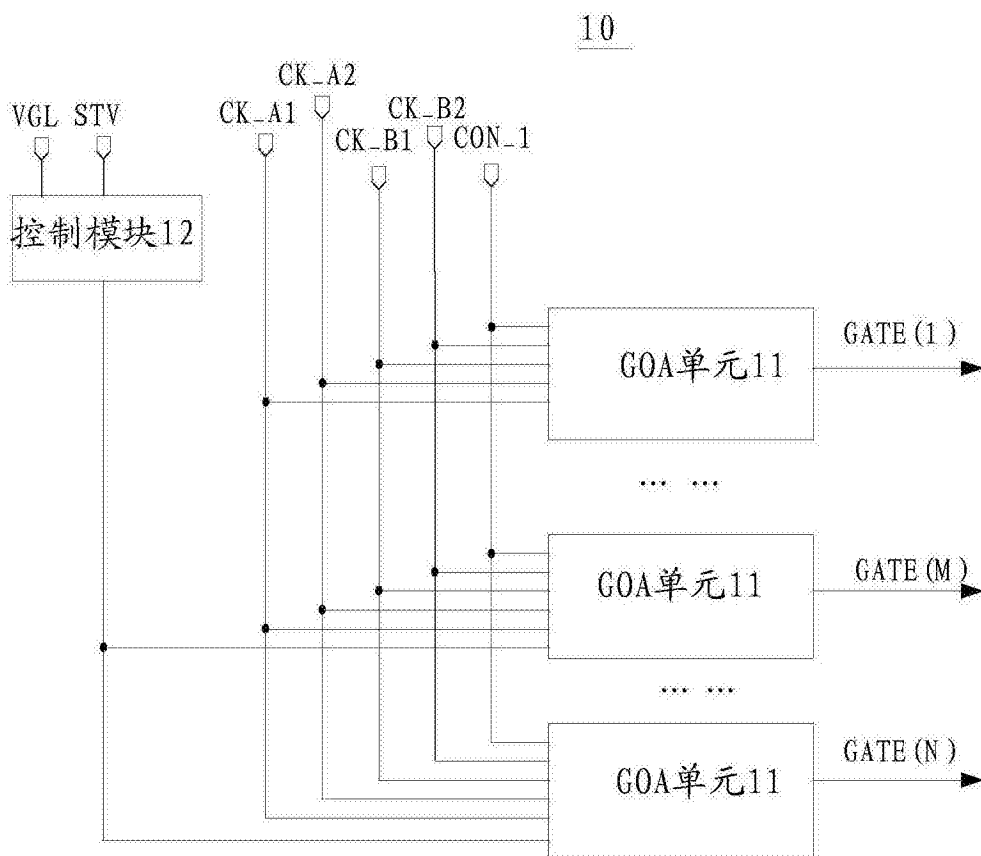


图 1

20

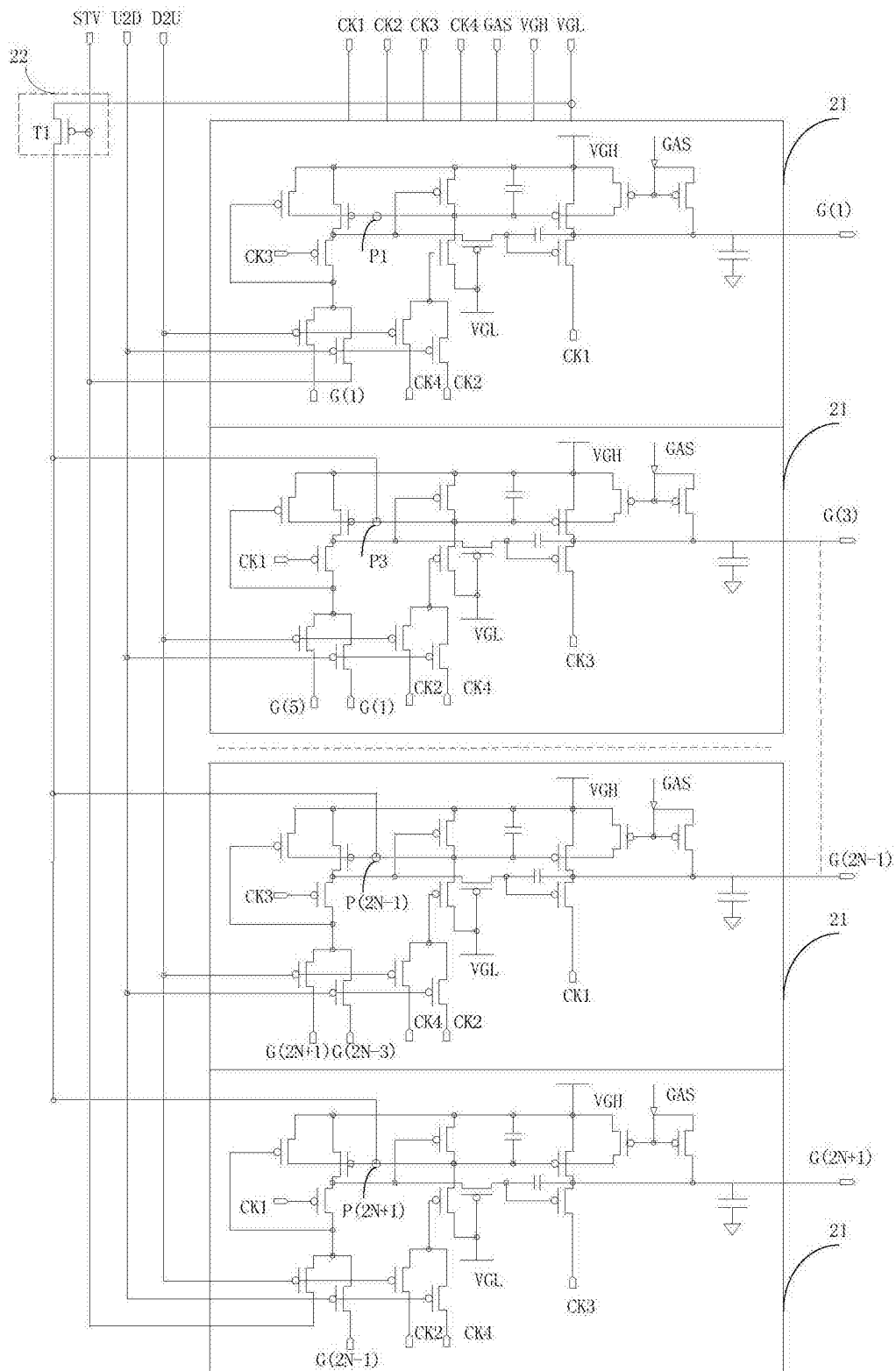


图 2

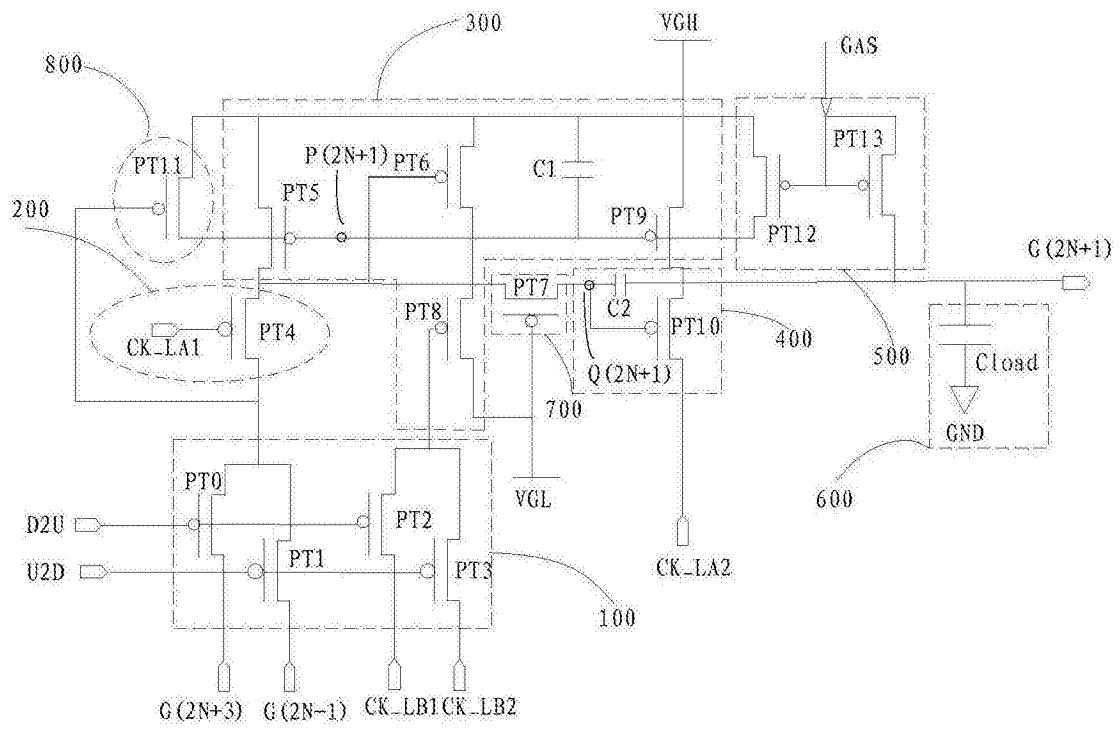


图 3

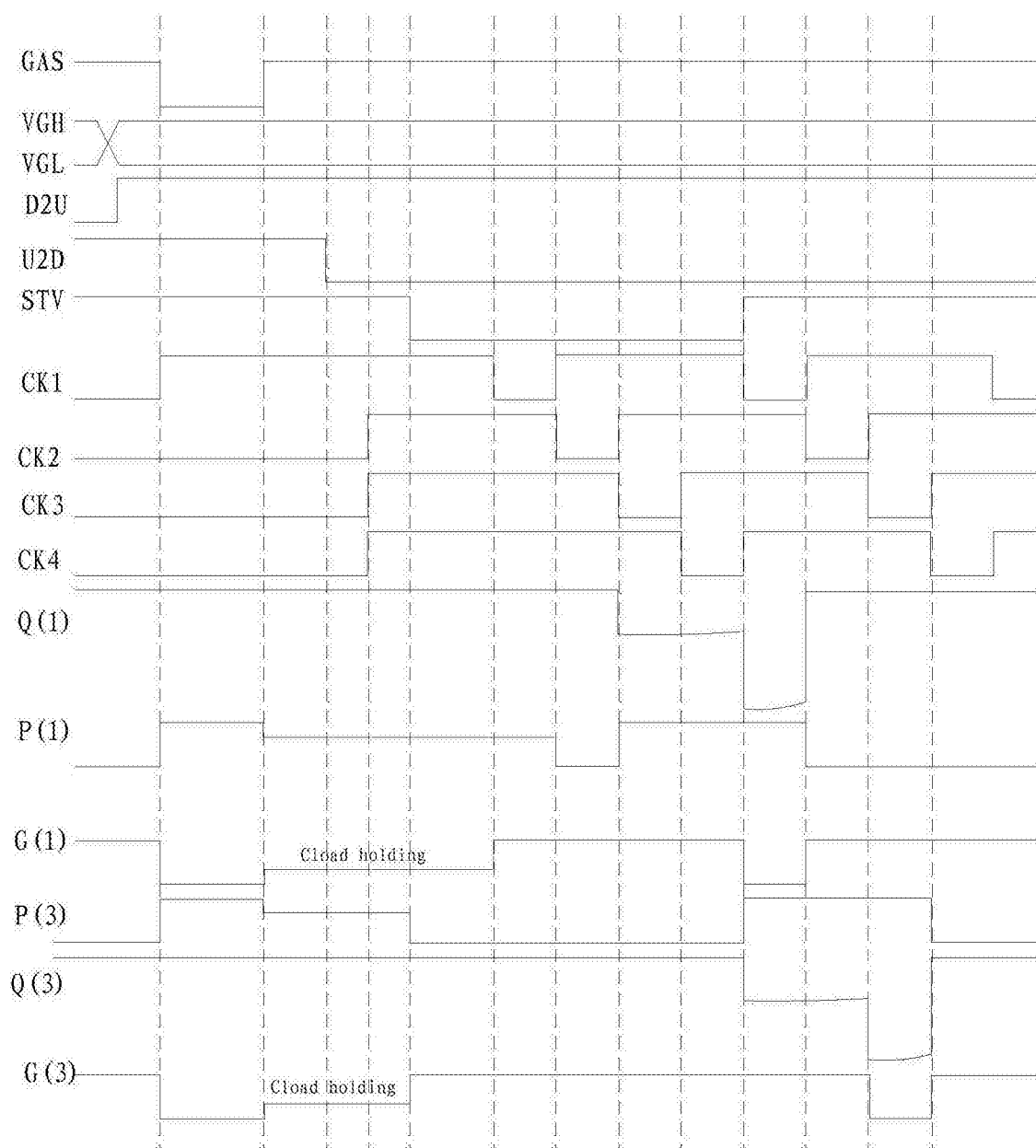


图 4

20

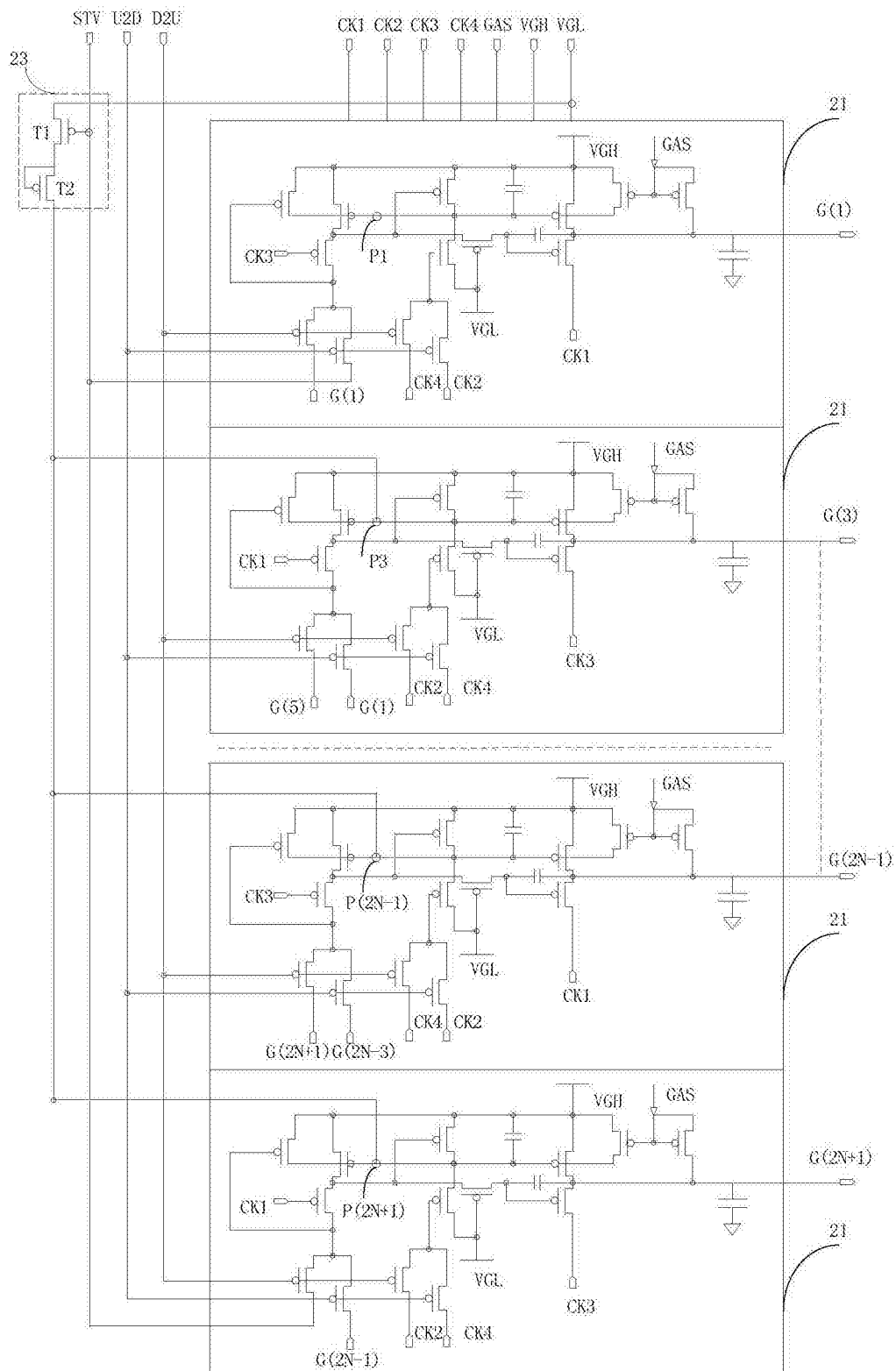


图 5

20

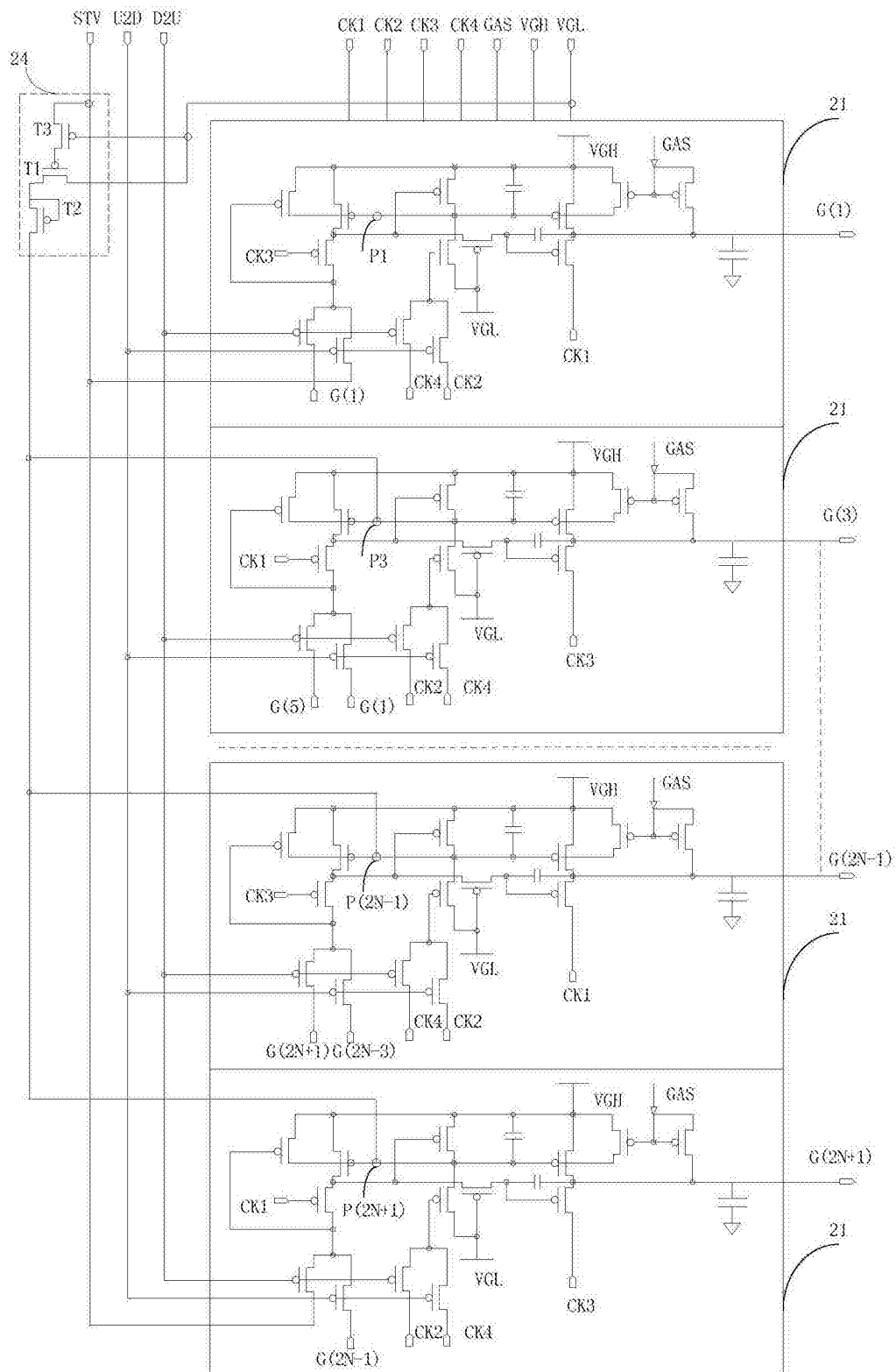


图 6

20

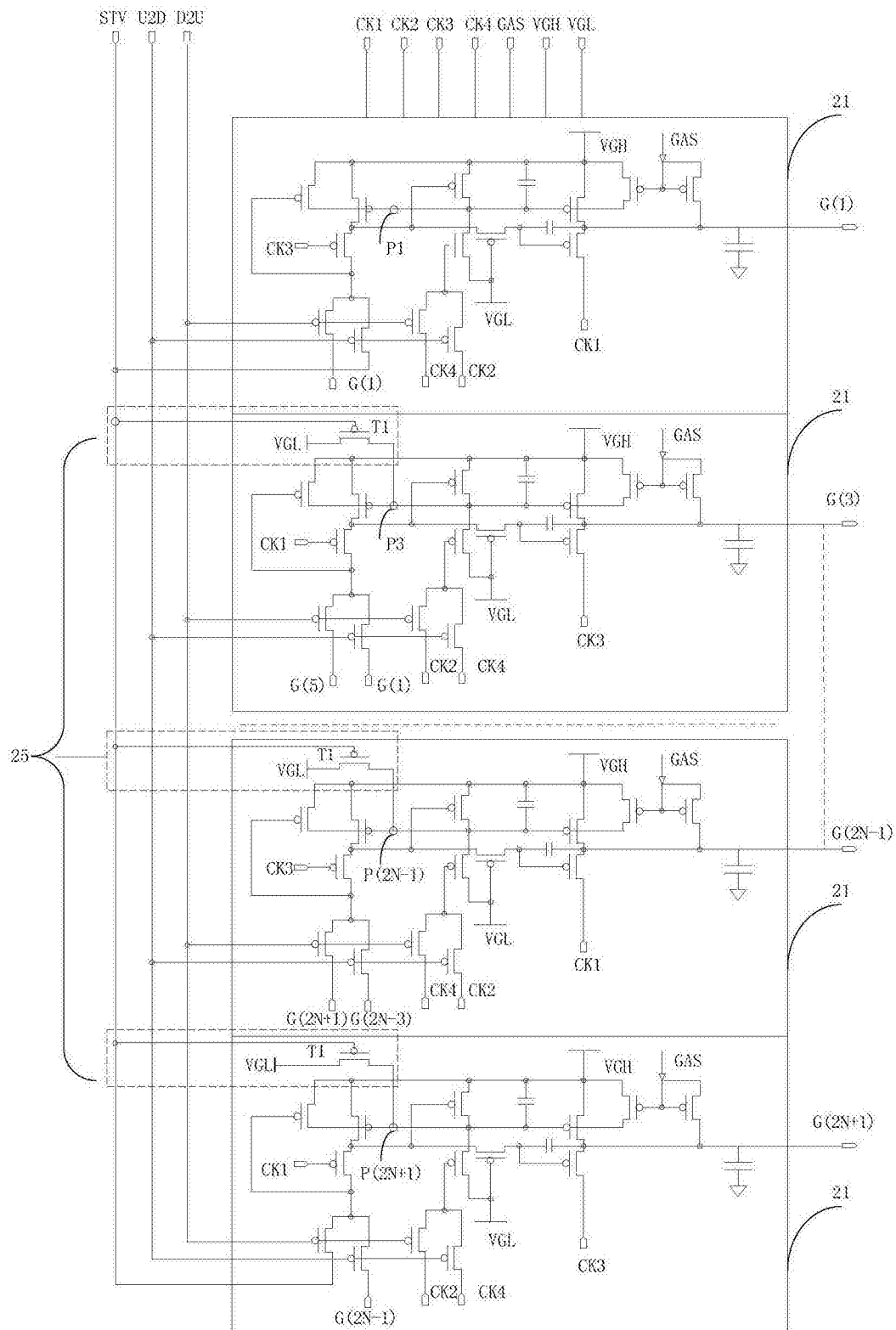


图 7

20

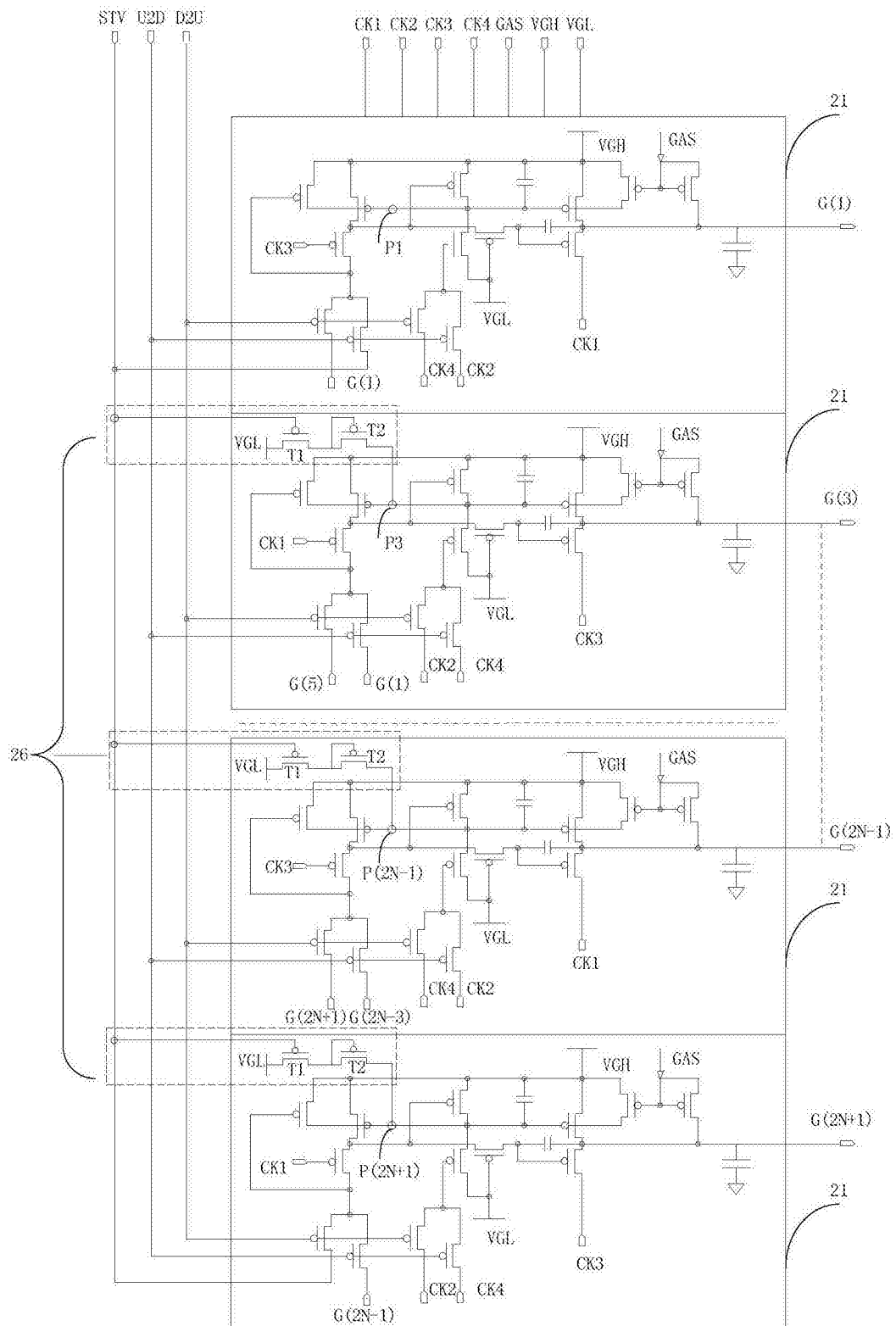


图 8

20

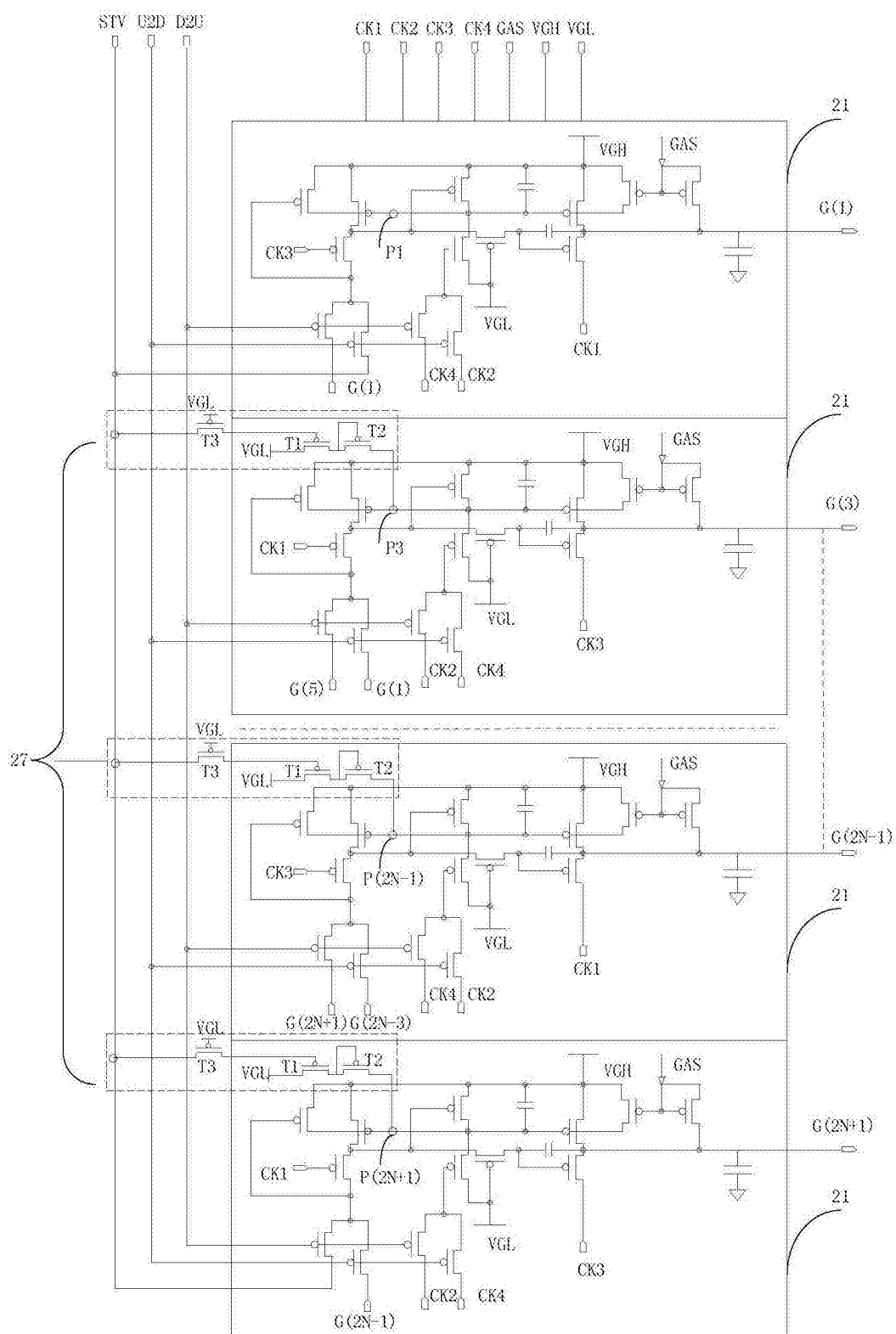


图 9



图 10

专利名称(译)	一种GOA电路及液晶显示器		
公开(公告)号	CN105096903A	公开(公告)日	2015-11-25
申请号	CN201510629407.5	申请日	2015-09-28
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
[标]发明人	肖军城 赵莽		
发明人	肖军城 赵莽		
IPC分类号	G09G3/36		
其他公开文献	CN105096903B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路及液晶显示器。该GOA电路包括级联的多个GOA单元和控制模块，每一GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，控制模块用于在GOA电路对所有水平扫描线同时充电后，通过启动脉冲信号和负压恒压源控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平，能够实现在第一个栅极驱动信号输出之前在水平扫描线上不会产生冗余的脉冲信号的同时减少启动脉冲信号的信号线上的负载，避免启动脉冲信号线由于承载过大的电流导致其熔断，从而保证GOA电路正常工作。

