

1. 一种GOA电路,用于液晶显示器,其特征在于,所述GOA电路包括多个GOA单元,其中N级GOA单元对显示区域的第N级水平扫描线(G(N))充电,所述N级GOA单元包括的N级上拉控制电路、N级上拉电路、N级下传电路、N级下拉电路及N级下拉维持电路;

其中,所述N级上拉电路及所述N级下拉维持电路分别与第N级栅极信号点(Q(N))和所述第N级水平扫描线(G(N))连接,所述N级上拉控制电路、N级下拉电路、N级下传电路与所述第N级栅极信号点(Q(N))连接;

所述N级上拉控制电路在N-1级级传信号为高电平时对所述第N级栅极信号点(Q(N))充电;

所述N级上拉电路在所述第N级栅极信号点(Q(N))为高电平时开启,接收第一时钟信号(CKN1),并在第一时钟信号(CKN1)为高电位时对所述N级水平扫描线(G(N))充电;

所述N级下传电路在所述第N级栅极信号点(Q(N))为高电平时开启,接收第二时钟信号(CKN2),并输出N级下传信号(ST(N))以控制N+1级GOA单元的工作;

所述N级下传电路还包括N级自举电容(Cb),所述N级自举电容(Cb)连接于所述第N级栅极信号点(Q(N))与所述N级下传信号(ST(N))之间;

其中,所述第二时钟信号(CKN2)的脉宽大于所述第一时钟信号(CKN1)的脉宽。

2. 根据权利要求1所述的GOA电路,其特征在于,所述N级下拉维持电路包括:

第一晶体管(T1),其栅极和漏极连接直流高电压(H);

第二晶体管(T2),其栅极连接所述第一晶体管(T1)的源极,漏极连接所述直流高电压(H),源极连接一公共点(P(N));

第三晶体管(T3),其栅极连接所述第N级栅极信号点(Q(N)),漏极连接第一晶体管(T1)的源极,源极连接第一直流低电压(VSS1);

第四晶体管(T4),其栅极连接所述第N级栅极信号点(Q(N)),漏极连接所述公共点(P(N));

第五晶体管(T5),其栅极连接所述第N级栅极信号点(Q(N)),漏极连接所述公共点(P(N));

第六晶体管(T6),其栅极连接所述第四晶体管(T4)的源极,漏极连接所述第五晶体管(T5)的源极,源极连接第三直流低电压(VSS3);

第七晶体管(T7),其栅极连接所述第四晶体管(T4)的源极,源极连接所述第三直流低电压(VSS3);

第八晶体管(T8),其栅极及漏极连接所述直流高电压(H);

第九晶体管(T9),其栅极连接所述第八晶体管(T8)的源极,漏极连接所述直流高电压(H),源极连接所述第五晶体管(T5)的源极;

第十晶体管(T10),其栅极连接所述公共点(P(N)),漏极连接所述第N级栅极信号点(Q(N)),源极连接第二直流低电压(VSS2);

第十一晶体管(T11),其栅极连接所述公共点(P(N)),漏极连接所述第N级水平扫描线(G(N)),源极连接第一直流低电压(VSS1);

其中,所述第一直流低电压(VSS1)大于所述第二直流低电压(VSS2),所述第二直流低电压(VSS2)大于所述第三直流低电压(VSS3)。

3. 根据权利要求1所述的GOA电路,其特征在于,所述N级下拉维持电路包括:

第一晶体管 (T1), 其栅极和漏极连接直流高电压 (H);

第二晶体管 (T2), 其栅极连接所述第一晶体管 (T1) 的源极, 漏极连接所述直流高电压 (H), 源极连接一公共点 (P (N));

第三晶体管 (T3), 其栅极连接所述第N级栅极信号点 (Q (N)), 漏极连接第一晶体管 (T1) 的源极, 源极连接第一直流低电压 (VSS1);

第四晶体管 (T4), 其栅极连接所述第N级栅极信号点 (Q (N)), 漏极连接所述公共点 (P (N));

第五晶体管 (T5), 其栅极连接所述第N级栅极信号点 (Q (N)), 漏极连接所述公共点 (P (N));

第六晶体管 (T6), 其栅极连接所述第四晶体管 (T4) 的源极, 漏极连接所述第五晶体管 (T5) 的源极, 源极连接第三直流低电压 (VSS3);

第九晶体管 (T9), 其栅极连接所述公共点 (P (N)), 漏极连接所述直流高电压 (H), 源极连接所述第五晶体管 (T5) 的源极;

第十晶体管 (T10), 其栅极连接所述公共点 (P (N)), 漏极连接所述第N级栅极信号点 (Q (N)), 源极连接第二直流低电压 (VSS2);

第十一晶体管 (T11), 其栅极连接所述公共点 (P (N)), 漏极连接所述第N级水平扫描线 (G (N)), 源极连接第一直流低电压 (VSS1);

其中, 所述第一直流低电压 (VSS1) 大于所述第二直流低电压 (VSS2), 所述第二直流低电压 (VSS2) 大于所述第三直流低电压 (VSS3)。

4. 根据权利要求1所述的GOA电路, 其特征在于, 所述N级下拉维持电路包括:

第一晶体管 (T1), 其栅极和漏极连接直流高电压 (H);

第二晶体管 (T2), 其栅极连接所述第一晶体管 (T1) 的源极, 漏极连接所述直流高电压 (H), 源极连接一公共点 (P (N));

第三晶体管 (T3), 其栅极连接所述第N级栅极信号点 (Q (N)), 漏极连接第一晶体管 (T1) 的源极, 源极连接第一直流低电压 (VSS1);

第四晶体管 (T4), 其栅极连接所述第N级栅极信号点 (Q (N)), 漏极连接所述公共点 (P (N));

第六晶体管 (T6), 其栅极连接所述第N级栅极信号点 (Q (N)), 漏极连接所述第四晶体管 (T4) 的源极, 源极连接第三直流低电压 (VSS3);

第七晶体管 (T7), 其栅极连接所述第N级栅极信号点 (Q (N)), 源极连接所述第三直流低电压 (VSS3);

第八晶体管 (T8), 其栅极及漏极连接所述直流高电压 (H);

第九晶体管 (T9), 其栅极连接所述第八晶体管 (T8) 的源极, 漏极连接所述直流高电压 (H), 源极连接所述第四晶体管 (T4) 的源极;

第十晶体管 (T10), 其栅极连接所述公共点 (P (N)), 漏极连接所述第N级栅极信号点 (Q (N)), 源极连接第二直流低电压 (VSS2);

第十一晶体管 (T11), 其栅极连接所述公共点 (P (N)), 漏极连接所述第N级水平扫描线 (G (N)), 源极连接第一直流低电压 (VSS1);

其中, 所述第一直流低电压 (VSS1) 大于所述第二直流低电压 (VSS2), 所述第二直流低

电压 (VSS2) 大于所述第三直流低电压 (VSS3)。

5. 根据权利要求1所述的GOA电路,其特征在於,所述N级下拉维持电路包括:

第一晶体管 (T1),其栅极和漏极连接直流高电压 (H);

第二晶体管 (T2),其栅极连接所述第一晶体管 (T1) 的源极,漏极连接所述直流高电压 (H),源极连接一公共点 (P (N));

第三晶体管 (T3),其栅极连接所述第N级栅极信号点 (Q (N)),漏极连接第一晶体管 (T1) 的源极,源极连接第一直流低电压 (VSS1);

第四晶体管 (T4),其栅极连接所述第N级栅极信号点 (Q (N)),漏极连接所述公共点 (P (N));

第六晶体管 (T6),其栅极连接所述第N级栅极信号点 (Q (N)),漏极连接所述第四晶体管 (T4) 的源极,源极连接第三直流低电压 (VSS3);

第九晶体管 (T9),其栅极连接所述第二晶体管 (T2) 的栅极,漏极连接所述直流高电压 (H),源极连接所述第六晶体管 (T6) 的漏极;

第十晶体管 (T10),其栅极连接所述公共点 (P (N)),漏极连接所述第N级栅极信号点 (Q (N)),源极连接第二直流低电压 (VSS2);

第十一晶体管 (T11),其栅极连接所述公共点 (P (N)),漏极连接所述第N级水平扫描线 (G (N)),源极连接第一直流低电压 (VSS1);

其中,所述第一直流低电压 (VSS1) 大于所述第二直流低电压 (VSS2),所述第二直流低电压 (VSS2) 大于所述第三直流低电压 (VSS3)。

6. 根据权利要求1所述的GOA电路,其特征在於,所述N级下拉维持电路包括:

第一晶体管 (T1),其栅极和漏极连接直流高电压 (H);

第二晶体管 (T2),其栅极连接所述第一晶体管 (T1) 的源极,漏极连接所述直流高电压 (H),源极连接一公共点 (P (N));

第三晶体管 (T3),其栅极连接所述第N级栅极信号点 (Q (N)),漏极连接第一晶体管 (T1) 的源极,源极连接第一直流低电压 (VSS1);

第四晶体管 (T4),其栅极连接所述第N级栅极信号点 (Q (N)),漏极连接所述公共点 (P (N));

第六晶体管 (T6),其栅极连接所述第N级栅极信号点 (Q (N)),漏极连接所述第四晶体管 (T4) 的源极,源极连接第三直流低电压 (VSS3);

第九晶体管 (T9),其栅极连接所述公共点 (P (N)),漏极连接所述直流高电压 (H),源极连接所述第六晶体管 (T6) 的漏极;

第十晶体管 (T10),其栅极连接所述公共点 (P (N)),漏极连接所述第N级栅极信号点 (Q (N)),源极连接第二直流低电压 (VSS2);

第十一晶体管 (T11),其栅极连接所述公共点 (P (N)),漏极连接所述第N级水平扫描线 (G (N)),源极连接第一直流低电压 (VSS1);

其中,所述第一直流低电压 (VSS1) 大于所述第二直流低电压 (VSS2),所述第二直流低电压 (VSS2) 大于所述第三直流低电压 (VSS3)。

7. 根据权利要求1-6任一项所述的GOA电路,其特征在於,所述N级下拉电路的控制端输入第三时钟信号 (XCNK2);

其中,所述第一时钟信号 (CKN1) 的占空比小于50%,且所述第一时钟信号 (CKN1) 的高电平的开始时刻与所述第二时钟信号 (CKN2) 的高电平的开始时刻相同;

所述第三时钟信号 (XCNK2) 的高电平对应于所述第二时钟信号 (CKN2) 的低电平,所述第三时钟信号 (XCNK2) 的低电平对应于所述第二时钟信号 (CKN2) 的高电平。

8. 根据权利要求1-6任一项所述的GOA电路,其特征在于,所述N级下拉电路的控制端输入第三时钟信号 (XCNK2);

其中,所述第一时钟信号 (CKN1) 的占空比小于50%,且所述第一时钟信号 (CKN1) 的高电平的结束时刻与所述第二时钟信号 (CKN2) 的高电平的结束时刻相同;

所述第三时钟信号 (XCNK2) 的高电平对应于所述第二时钟信号 (CKN2) 的低电平,所述第三时钟信号 (XCNK2) 的低电平对应于所述第二时钟信号 (CKN2) 的高电平。

9. 一种液晶显示器,其特征在于,所述液晶显示器包括如权利要求1-8任一项所述的GOA电路。

一种GOA电路及液晶显示器

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种GOA电路及液晶显示器。

背景技术

[0002] Gate Driver On Array,简称GOA,也就是利用现有薄膜晶体管液晶显示器Array制程将Gate行扫描驱动信号电路制作在Array基板上,实现对Gate逐行扫描的驱动方式的一项技术。

[0003] 随着低温多晶硅(LTPS)半导体薄膜晶体管的发展,而且由于LTPS半导体本身超高载流子迁移率的特性,相应的面板周边集成电路也成为大家关注的焦点,并且很多人投入到System on Panel (SOP)的相关技术研究,并逐步成为现实。

[0004] 虽然LTPS半导体具有较高的迁移率,但是其阈值电压值较低(一般低约为0V左右),而且亚阈值区域的摆幅较小,而GOA电路在关态时很多元件操作在和 V_{th} 接近,甚至高于 V_{th} 的情况下,这样就会由于电路中TFT的漏电和工作电流的漂移,增加LTPS GOA电路设计的难度,很多适用于非晶硅半导体的扫描驱动电路,不能轻易的应用到LTPS TFT-LCD,会存在一些功能性问题,因为这样将会直接导致IGZO GOA电路无法工作,所以在设计电路时必须考虑到此类元件特性对GOA电路的影响。

发明内容

[0005] 本发明主要解决的技术问题是提供一种GOA电路及液晶显示器,能够保证GOA电路中的扫描线更好的充电,有利于电路各个节点的正常工作。

[0006] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种GOA电路,用于液晶显示器,GOA电路包括多个GOA单元,其中N级GOA单元对显示区域的第N级水平扫描线G(N)充电,N级GOA单元包括的N级上拉控制电路、N级上拉电路、N级下传电路、N级下拉电路及N级下拉维持电路;其中,N级上拉电路及N级下拉维持电路分别与第N级栅极信号点Q(N)和第N级水平扫描线G(N)连接,N级上拉控制电路、N级下拉电路、N级下传电路与第N级栅极信号点Q(N)连接;N级上拉电路在第N级栅极信号点(Q(N))为高电平时开启,接收第一时钟信号(CKN1),并在第一时钟信号(CKN1)为高电位时对N级水平扫描线(G(N))充电;N级下传电路在第N级栅极信号点(Q(N))为高电平时开启,接收第二时钟信号(CKN2),并输出N级下传信号ST(N)以控制N+1级GOA单元的工作;其中,第二时钟信号(CKN2)的脉宽大于第一时钟信号(CKN1)的脉宽。

[0007] 其中,N级下拉维持电路包括:第一晶体管T1,其栅极和漏极连接直流高电压H;第二晶体管T2,其栅极连接第一晶体管T1的源极,漏极连接直流高电压H,源极连接一公共点P(N);第三晶体管T3,其栅极连接第N级栅极信号点Q(N),漏极连接第一晶体管T1的源极,源极连接第一直流低电压VSS1;第四晶体管T4,其栅极连接第N级栅极信号点Q(N),漏极连接公共点P(N);第五晶体管T5,其栅极连接第N级栅极信号点Q(N),漏极连接公共点P(N);第六晶体管T6,其栅极连接第四晶体管T4的源极,漏极连接第五晶体管T5的源极,源极连接第三

直流低电压VSS3;第七晶体管T7,其栅极连接第四晶体管T4的源极,源极连接第三直流低电压VSS3;第八晶体管T8,其栅极及漏极连接直流高电压H;第九晶体管T9,其栅极连接第八晶体管T8的源极,漏极连接直流高电压H,源极连接第五晶体管T5的源极;第十晶体管T10,其栅极连接公共点P(N),漏极连接第N级栅极信号点Q(N),源极连接第二直流低电压VSS2;第十一晶体管T11,其栅极连接公共点P(N),漏极连接第N级水平扫描线G(N),源极连接第二直流低电压VSS2;其中,第一直流低电压VSS1大于第二直流低电压VSS2,第二直流低电压VSS2大于第三直流低电压VSS3。

[0008] 其中,N级下拉维持电路包括:第一晶体管(T1)、第二晶体管(T2)、第三晶体管(T3)、第四晶体管(T4)、第五晶体管(T5)、第六晶体管(T6)、第九晶体管(T9)、第十晶体管(T10)及第十一晶体管(T11);其中,第九晶体管(T9)的栅极连接公共点(P(N))。

[0009] 其中,N级下拉维持电路包括:第一晶体管(T1)、第二晶体管(T2)、第三晶体管(T3)、第四晶体管(T4)、第六晶体管(T6)、第七晶体管(T7)、第八晶体管(T8)、第九晶体管(T9)、第十晶体管(T10)及第十一晶体管(T11);其中,第六晶体管(T6)的漏极及第九晶体管(T9)的源极连接第四晶体管(T4)的源极,第六晶体管(T6)的栅极及第七晶体管(T7)的栅极连接第N级栅极信号点(Q(N))。

[0010] 其中,N级下拉维持电路包括:第一晶体管(T1)、第二晶体管(T2)、第三晶体管(T3)、第四晶体管(T4)、第六晶体管(T6)、第九晶体管(T9)、第十晶体管(T10)及第十一晶体管(T11);其中,第九晶体管(T9)的栅极连接第二晶体管(T2)的栅极。

[0011] 其中,第九晶体管T9的栅极连接公共点P(N)。

[0012] 其中,N级下传电路还包括N级自举电容Cb;N级自举电容Cb连接于第N级栅极信号点Q(N)与第N级水平扫描线G(N)之间。

[0013] 其中,N级下拉电路的控制端输入第三时钟信号(XCNK2);其中,第一时钟信号(CKN1)的占空比小于50%,且第一时钟信号(CKN1)的高电平的开始时刻与第二时钟信号(CKN2)的高电平的开始时刻相同;第三时钟信号(XCNK2)的高电平对应于第二时钟信号(CKN2)的低电平,第三时钟信号(XCNK2)的低电平对应于第二时钟信号(CKN2)的高电平。

[0014] 其中,N级下拉电路的控制端输入第三时钟信号(XCNK2);其中,第一时钟信号(CKN1)的占空比小于50%,且第一时钟信号(CKN1)的高电平的结束时刻与第二时钟信号(CKN2)的高电平的结束时刻相同;第三时钟信号(XCNK2)的高电平对应于第二时钟信号(CKN2)的低电平,第三时钟信号(XCNK2)的低电平对应于第二时钟信号(CKN2)的高电平。

[0015] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示器,该液晶显示器包括如上的GOA电路。

[0016] 本发明的有益效果是:区别于现有技术的情况,本发明对N级上拉电路和N级下传电路输入脉宽不同的两种时钟信号,以使输出信号和下传信号剥离开来,能够使Q(N)点抬升较好的高电位,降低了输出信号的延迟,保证GOA电路中的扫描线更好的充电,有利于电路各个节点的正常工作。

附图说明

[0017] 图1是本发明GOA电路第一实施方式多个GOA单元级联的结构示意图;

[0018] 图2是本发明GOA电路第一实施方式中GOA单元的结构示意图;

- [0019] 图3是本发明GOA电路第二实施方式中GOA单元的具体电路连接示意图；
- [0020] 图4是本发明GOA电路第二实施方式中GOA单元各节点的第一种电压波形示意图；
- [0021] 图5是本发明GOA电路第二实施方式中GOA单元各节点的第二种电压波形示意图；
- [0022] 图6是本发明GOA电路第三实施方式中GOA单元的具体电路连接示意图；
- [0023] 图7是本发明GOA电路第四实施方式中GOA单元的具体电路连接示意图；
- [0024] 图8是本发明GOA电路第五实施方式中GOA单元的具体电路连接示意图；
- [0025] 图9是本发明GOA电路第六实施方式中GOA单元的具体电路连接示意图。

具体实施方式

[0026] 参阅图1,本发明GOA电路第一实施方式多个GOA单元级联的结构示意图,该GOA电路包括多个GOA单元,其中N级GOA单元对显示区域的第N级水平扫描线G(N)充电。

[0027] 参阅图2,本发明GOA电路第一实施方式中GOA单元的结构示意图,N级GOA单元包括的N级上拉控制电路101、N级上拉电路102、N级下传电路103、N级下拉电路104及N级下拉维持电路105;其中,N级上拉电路103及N级下拉维持电路105分别与第N级栅极信号点Q(N)和第N级水平扫描线G(N)连接,N级上拉控制电路101、N级下拉电路104、N级下传电路103与第N级栅极信号点Q(N)连接;N级上拉电路在第N级栅极信号点(Q(N))为高电平时开启,接收第一时钟信号(CKN1),并在第一时钟信号(CKN1)为高电位时对N级水平扫描线(G(N))充电;N级下传电路在第N级栅极信号点(Q(N))为高电平时开启,接收第二时钟信号(CKN2),并输出N级下传信号ST(N)以控制N+1级GOA单元的工作;其中,第二时钟信号(CKN2)的脉宽大于第一时钟信号(CKN1)的脉宽。

[0028] 具体地,N级上拉控制电路101在接收上级GOA单元的高电位的ST(N-1)信号时开启并抬升第N级栅极信号点Q(N)的电位至高电位,以开启N级上拉电路102及N级下传电路103,以使N级上拉电路102及N级下传电路103分别输出第一时钟信号CKN1及第二时钟信号CKN2,输出后N级下拉电路104下拉第N级栅极信号点Q(N)的电位至低电位,N级下拉维持电路105维持第N级栅极信号点Q(N)及第N级水平扫描线G(N)的电位至低电位。

[0029] 区别于现有技术,本实施方式对N级上拉电路和N级下传电路输入脉宽不同的两种时钟信号,以使输出信号和下传信号剥离开来,能够使Q(N)点抬升较好的高电位,降低了输出信号的延迟,保证GOA电路中的扫描线更好的充电,有利于电路各个节点的正常工作。

[0030] 参阅图3,本发明GOA电路第二实施方式中GOA单元的具体电路连接示意图,该N级GOA单元包括的N级上拉控制电路301、N级上拉电路302、N级下传电路303、N级下拉电路304及N级下拉维持电路305;其中,N级上拉电路302及N级下拉维持电路305分别与第N级栅极信号点Q(N)和第N级水平扫描线G(N)连接,N级上拉控制电路301、N级下拉电路304、N级下传电路303与第N级栅极信号点Q(N)连接;N级上拉电路302及N级下传电路303在Q(N)为高电平时开启,并分别接收第一时钟信号CKN1及第二时钟信号CKN2输出,第二时钟信号CKN2的脉宽大于第一时钟信号CKN1的脉宽。

[0031] 其中,N级下拉维持电路305包括:

[0032] 第一晶体管T1,其栅极和漏极连接直流高电压H;

[0033] 第二晶体管T2,其栅极连接第一晶体管T1的源极,漏极连接直流高电压H,源极连接一公共点P(N);

[0034] 第三晶体管T3,其栅极连接第N级栅极信号点Q(N),漏极连接第一晶体管T1的源极,源极连接第一直流低电压VSS1;

[0035] 第四晶体管T4,其栅极连接第N级栅极信号点Q(N),漏极连接公共点P(N);

[0036] 第五晶体管T5,其栅极连接第N级栅极信号点Q(N),漏极连接公共点P(N);

[0037] 第六晶体管T6,其栅极连接第四晶体管T4的源极,漏极连接第五晶体管T5的源极,源极连接第三直流低电压VSS3;

[0038] 第七晶体管T7,其栅极连接第四晶体管T4的源极,源极连接第三直流低电压VSS3;

[0039] 第八晶体管T8,其栅极及漏极连接直流高电压H;

[0040] 第九晶体管T9,其栅极连接第八晶体管T8的源极,漏极连接直流高电压(H),源极连接第五晶体管T5的源极;

[0041] 第十晶体管T10,其栅极连接公共点P(N),漏极连接第N级栅极信号点Q(N),源极连接第二直流低电压VSS2;

[0042] 第十一晶体管T11,其栅极连接公共点P(N),漏极连接第N级水平扫描线G(N),源极连接第二直流低电压VSS2;

[0043] 其中,第一直流低电压VSS1大于第二直流低电压VSS2,第二直流低电压VSS2大于第三直流低电压VSS3。

[0044] 参阅图4,本发明GOA电路第二实施方式中GOA单元各节点的第一种电压波形示意图,在该波形中,N级下拉电路的控制端输入XCKN2,以下是以第二时钟信号CKN2的两个周期为例,介绍电路工作原理:

[0045] 第一作用区间:由于上级下传信号ST(N-1)为低电位,N级上拉控制电路301及N级下传电路均关闭,此时T3、T4、T5也关闭,但是由于T1、T2的开启及H信号的输入,公共点P(N)为高电位,导致T10、T11开启,则分别下拉第N级栅极信号点Q(N)及第N级栅极信号点Q(N)的电位。

[0046] 第二作用区间:由于仅第一时钟信号CKN1有变化,其他时钟信号及下传信号未变,但因为N级上拉电路的关闭,导致其他节点的电位均没有变化。

[0047] 第三作用区间:上级下传信号ST(N-1)为高电位,N级上拉控制电路301开启,第N级栅极信号点Q(N)抬升,公共点P(N)降为低电位,N级上拉电路302及N级下传电路303均开启,G(N)与CKN1相同,ST(N)与CKN2相同。

[0048] 第四作用区间:由于电容Cb的自举作用,第N级栅极信号点Q(N)继续保持高电位,G(N)与CKN1相同,ST(N)与CKN2相同。

[0049] 第五作用区间:第二时钟信号CKN2变为高电位,输出高电位的N级下传信号ST(N),并通过电容Cb将第N级栅极信号点Q(N)的电位抬升到更高,保证N级上拉电路302及N级下传电路303的自由输出。

[0050] 第六作用区间:第N级栅极信号点Q(N)的电位再次抬升到更高,CKN1变为高电位,第N级水平扫描线G(N)顺利输出高电位信号。

[0051] 第七作用区间,XCKN2变为高电位,下拉第N级栅极信号点Q(N)的电位,N级上拉电路302及N级下传电路303均关闭,第N级水平扫描线G(N)及下传信号ST(N)为低电位。

[0052] 第八作用区间:各点电位与第七作用区间类似,各输出维持低电位。

[0053] 在上述实施方式中,N级下拉电路的控制端输入第三时钟信号(XCKN2);其中,第一

时钟信号 (CKN1) 的占空比小于50%, 且第一时钟信号 (CKN1) 的高电平的开始时刻与第二时钟信号 (CKN2) 的高电平的开始时刻相同; 第三时钟信号 (XCNK2) 的高电平对应于第二时钟信号 (CKN2) 的低电平, 第三时钟信号 (XCNK2) 的低电平对应于第二时钟信号 (CKN2) 的高电平。

[0054] 参阅图5, 本发明GOA电路第二实施方式中GOA单元各节点的第二种电压波形示意图。

[0055] 该第二种波形与第一种波形类似, 不同之处在于第一时钟信号CKN1的相位向左移动四分之一周期, 导致第N级栅极信号点Q (N) 在第六作用区间的电位略微下降, 第N级水平扫描线G (N) 在第五作用区间输出。

[0056] 在上述实施方式中, N级下拉电路的控制端输入第三时钟信号 (XCNK2); 其中, 第一时钟信号 (CKN1) 的占空比小于50%, 且第一时钟信号 (CKN1) 的高电平的结束时刻与第二时钟信号 (CKN2) 的高电平的结束时刻相同; 第三时钟信号 (XCNK2) 的高电平对应于第二时钟信号 (CKN2) 的低电平, 第三时钟信号 (XCNK2) 的低电平对应于第二时钟信号 (CKN2) 的高电平。

[0057] 当然, 第一时钟信号 (CKN1) 的高电平的开始时刻和结束时刻也可以均不与第二时钟信号 (CKN2) 的高电平的开始时刻和结束时刻相同, 也可以是第一时钟信号 (CKN1) 的高电平区间在第二时钟信号 (CKN2) 的高电平区间之内。

[0058] 参阅图6, 本发明GOA电路第三实施方式中GOA单元的具体电路连接示意图。

[0059] 该实施方式与第二实施方式的区别在于: N级下拉维持电路605不包括第七晶体管T7及第八晶体管T8; 第九晶体管T9的栅极连接公共点P (N)。

[0060] 该实施方式减少两个TFT晶体管, 简化了电路, 降低了功耗。

[0061] 参阅图7, 本发明GOA电路第四实施方式中GOA单元的具体电路连接示意图。

[0062] 该实施方式与第三实施方式的区别在于: N级下拉维持电路705不包括第五晶体管T5; 第六晶体管T6的漏极及第九晶体管T9的源极连接第四晶体管T4的源极, 第六晶体管T6的栅极及第七晶体管T7的栅极连接第N级栅极信号点Q (N)。

[0063] 参阅图8, 本发明GOA电路第五实施方式中GOA单元的具体电路连接示意图。

[0064] 该实施方式与第四实施方式的区别在于: N级下拉维持电路805不包括第七晶体管T7及第八晶体管T8; 第九晶体管T9的栅极连接第二晶体管T2的栅极。

[0065] 该实施方式利用已有的电路关键点作为信号, 减少了直流高电位信号H的连接, 简化电路。

[0066] 参阅图9, 本发明GOA电路第六实施方式中GOA单元的具体电路连接示意图。

[0067] 该实施方式是第五实施方式的一种变形, 其原理类似。

[0068] 上述各种实施方式中的N级下传电路中的自举电容Cb都是可以去除的。

[0069] 在本发明液晶显示器的第一实施方式中, 该液晶显示器包括如上述所有实施方式中的GOA电路。

[0070] 以上所述仅为本发明的实施方式, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换, 或直接或间接运用在其他相关的技术领域, 均同理包括在本发明的专利保护范围内。

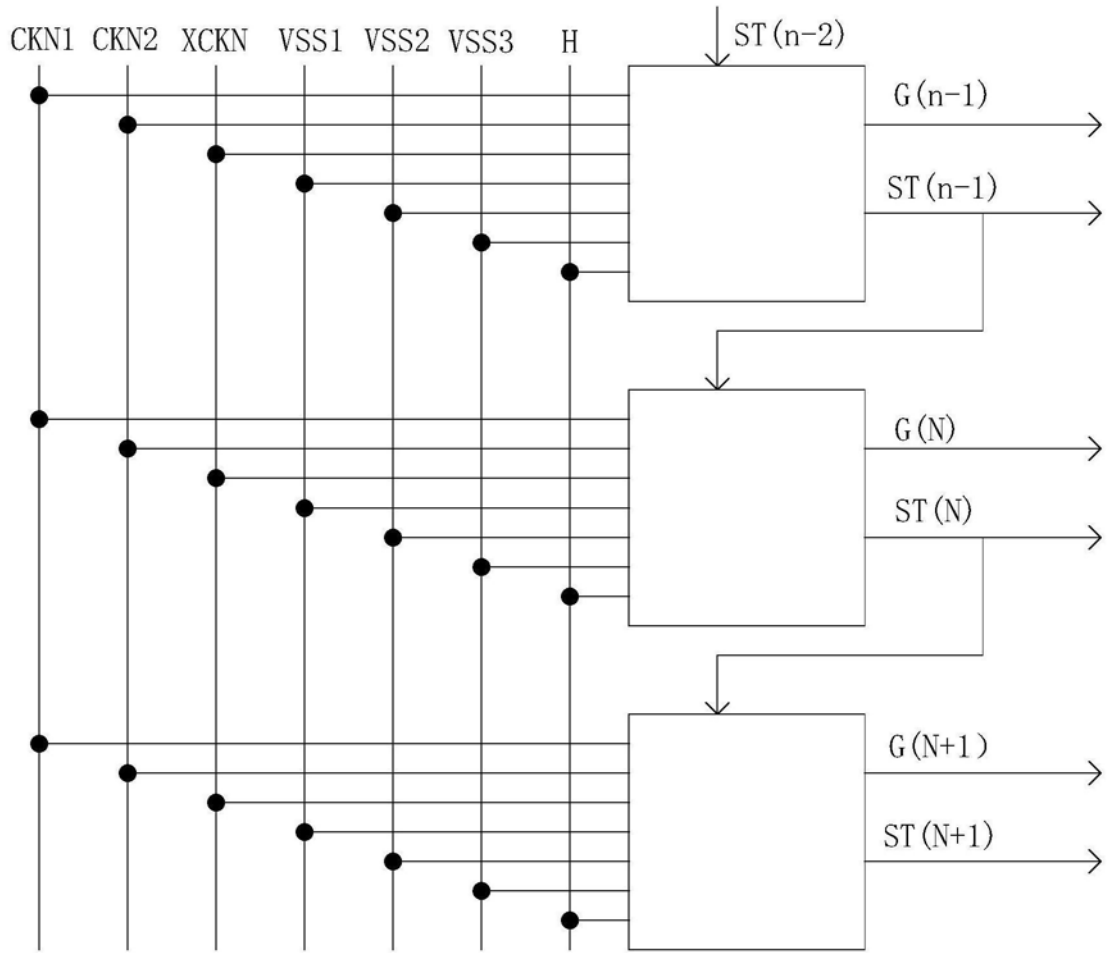


图1

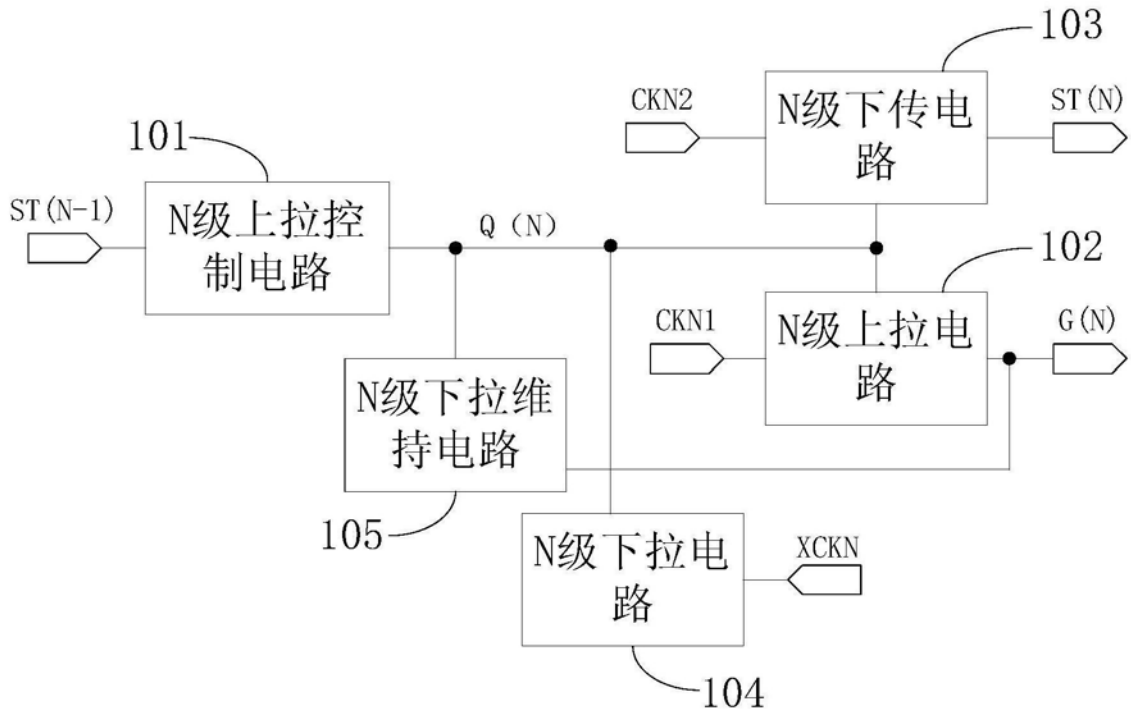


图2

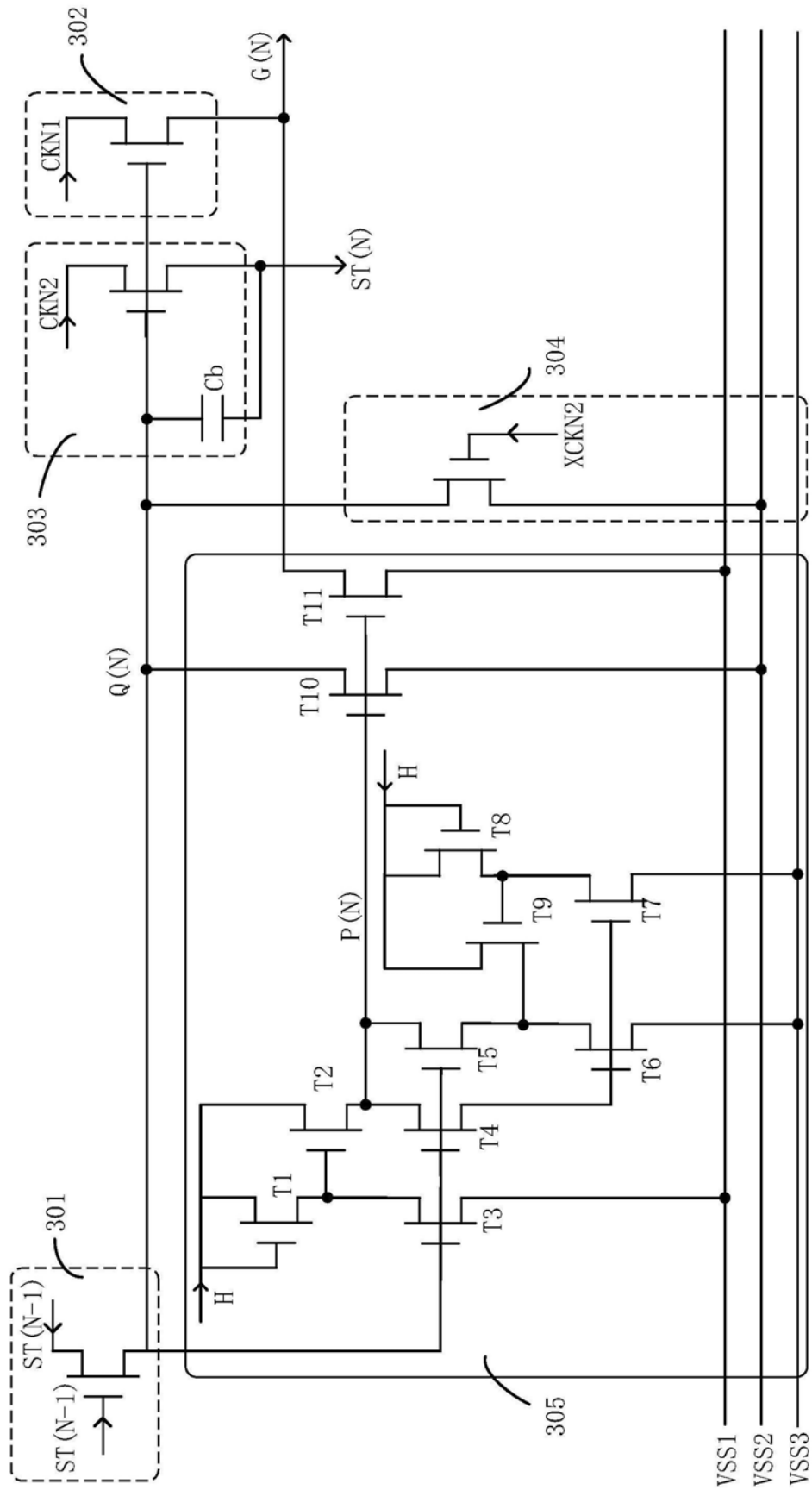


图3

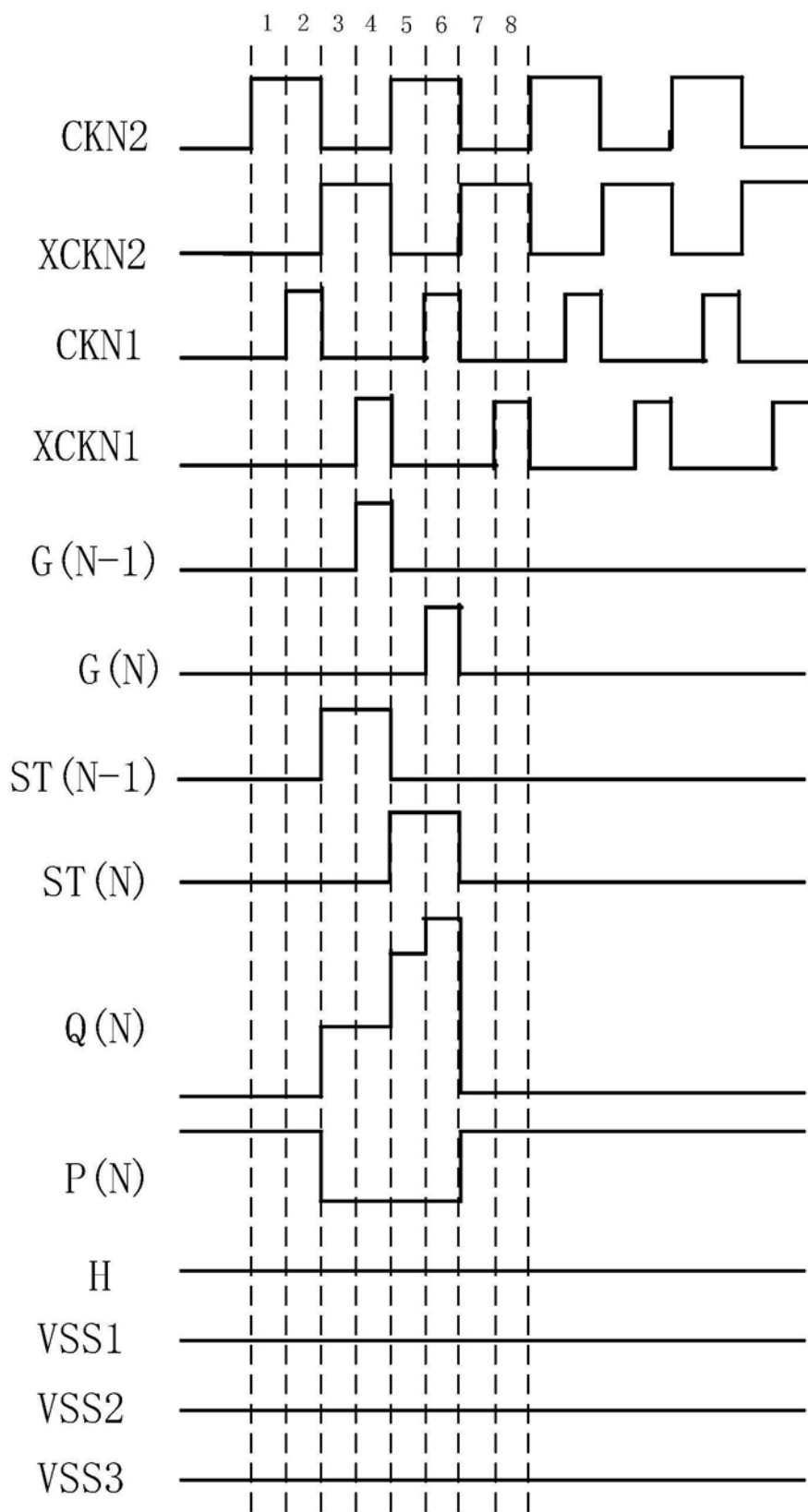


图4

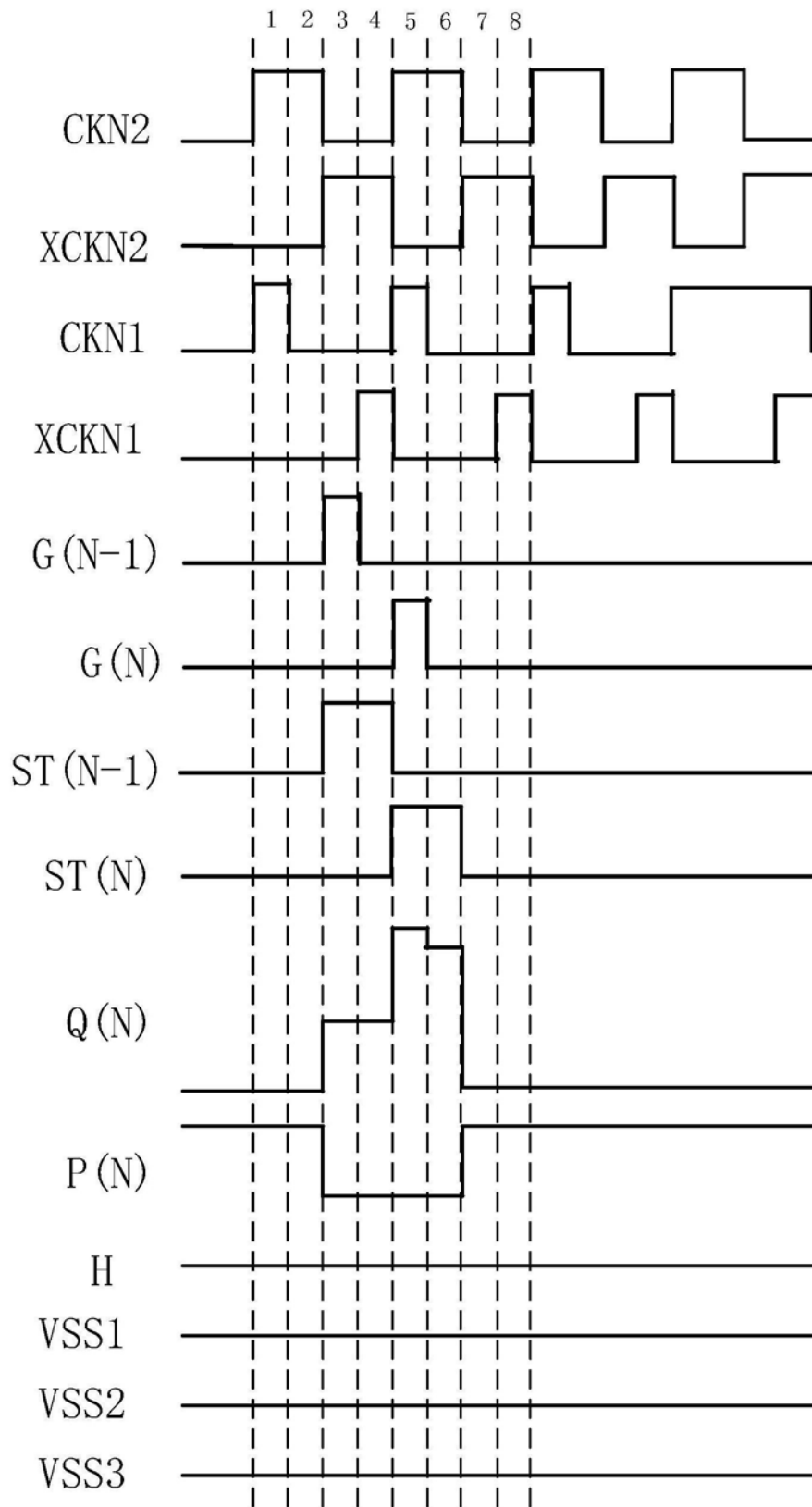


图5

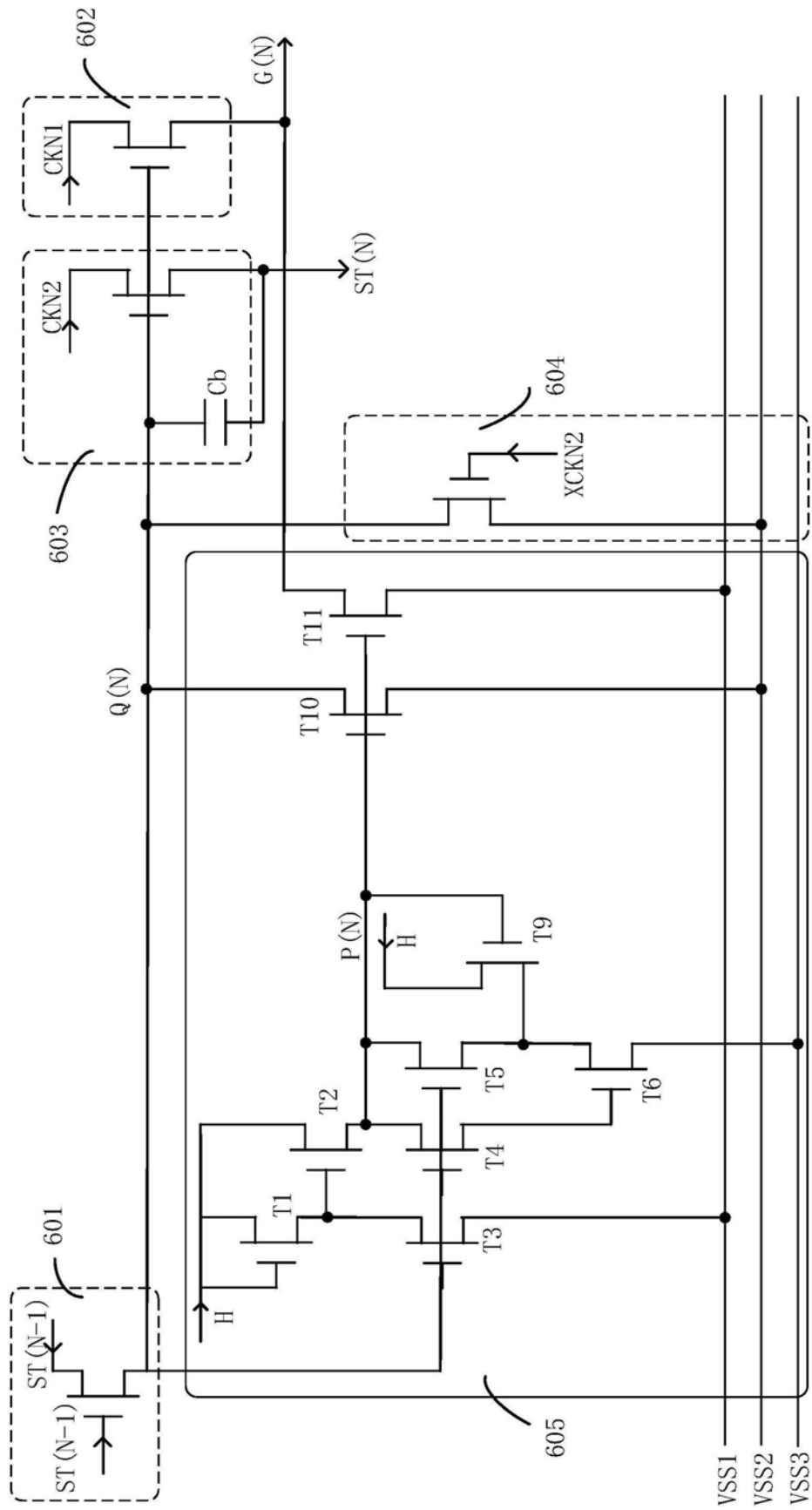


图6

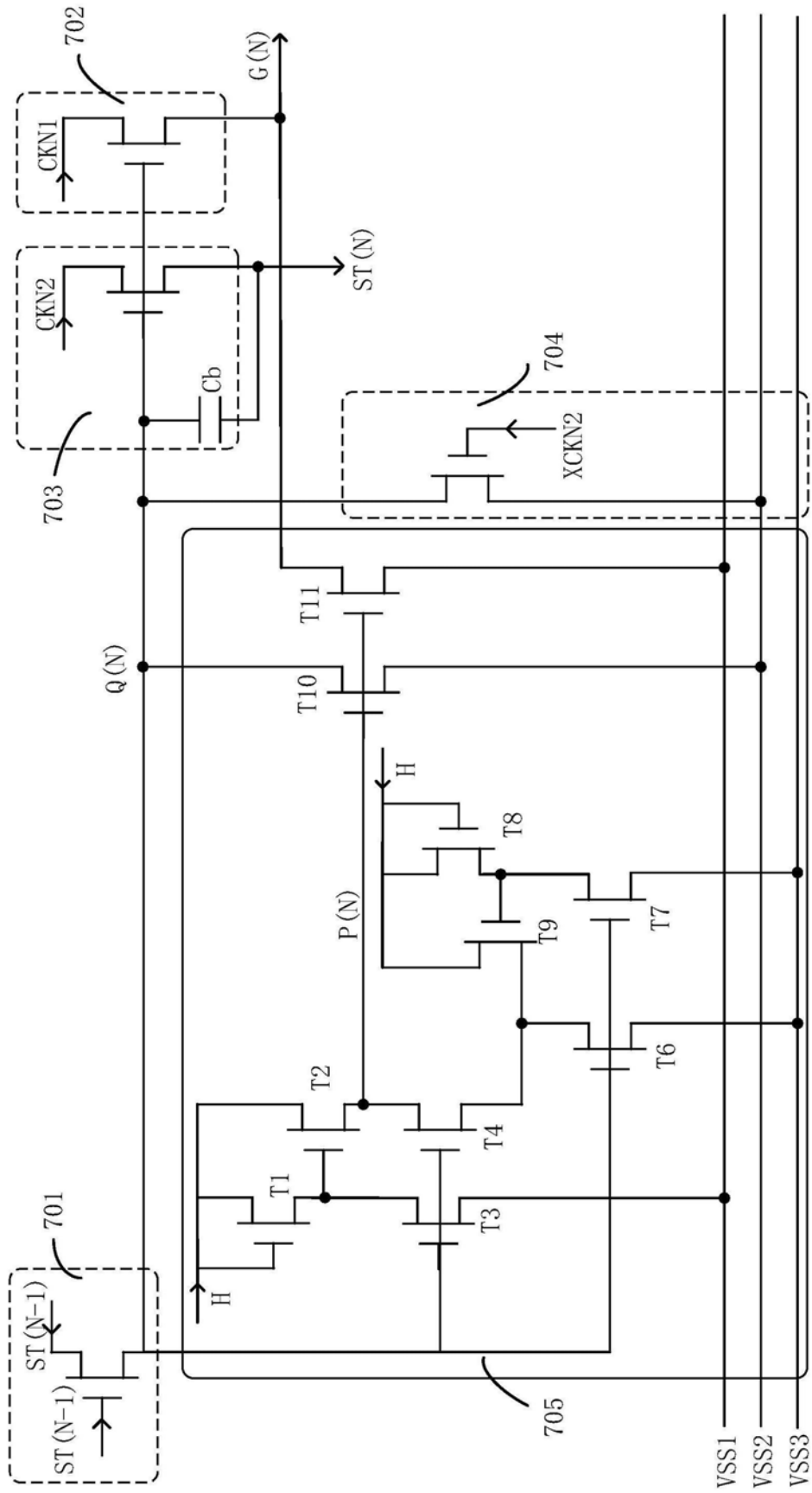


图7

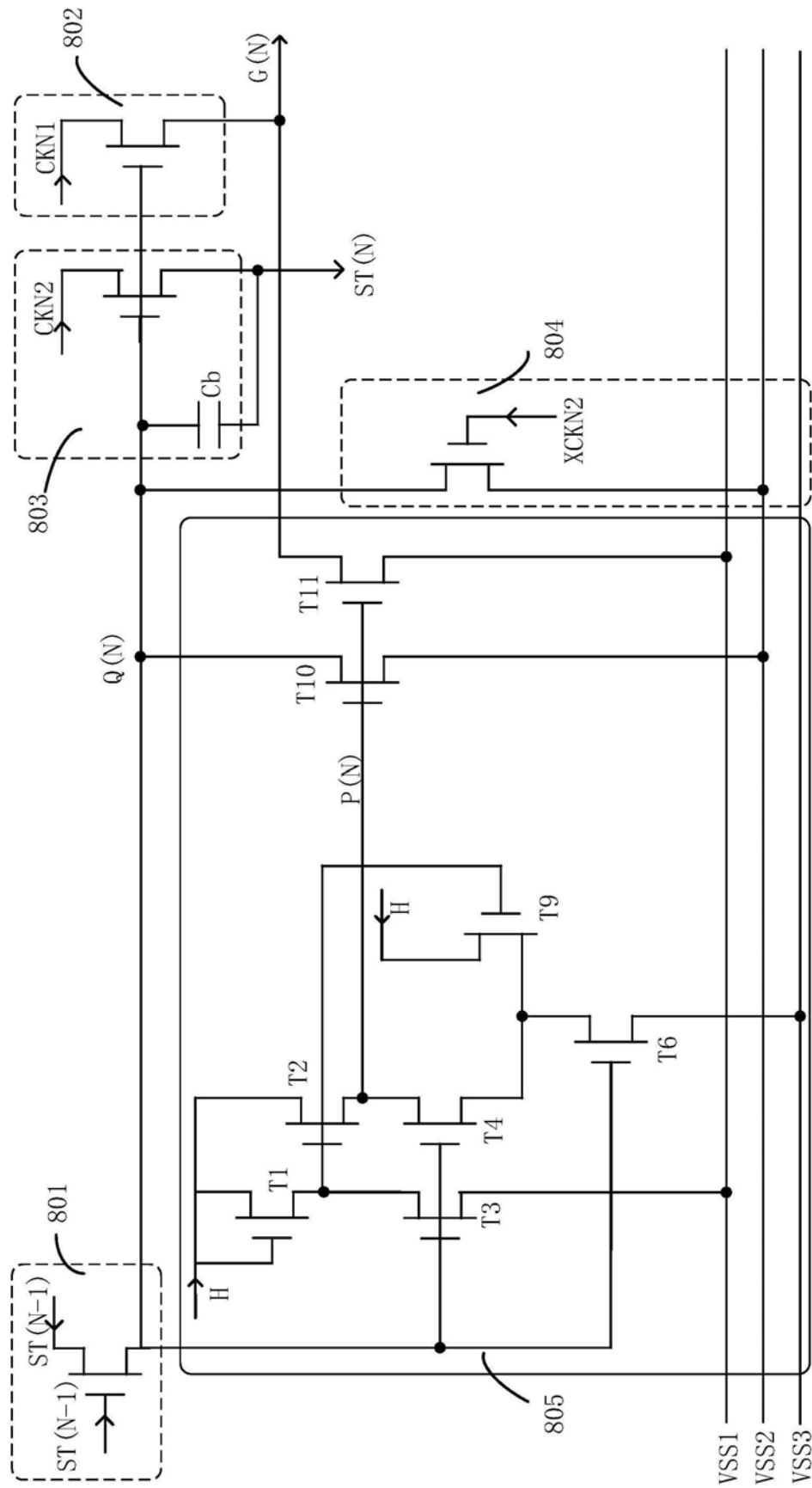


图8

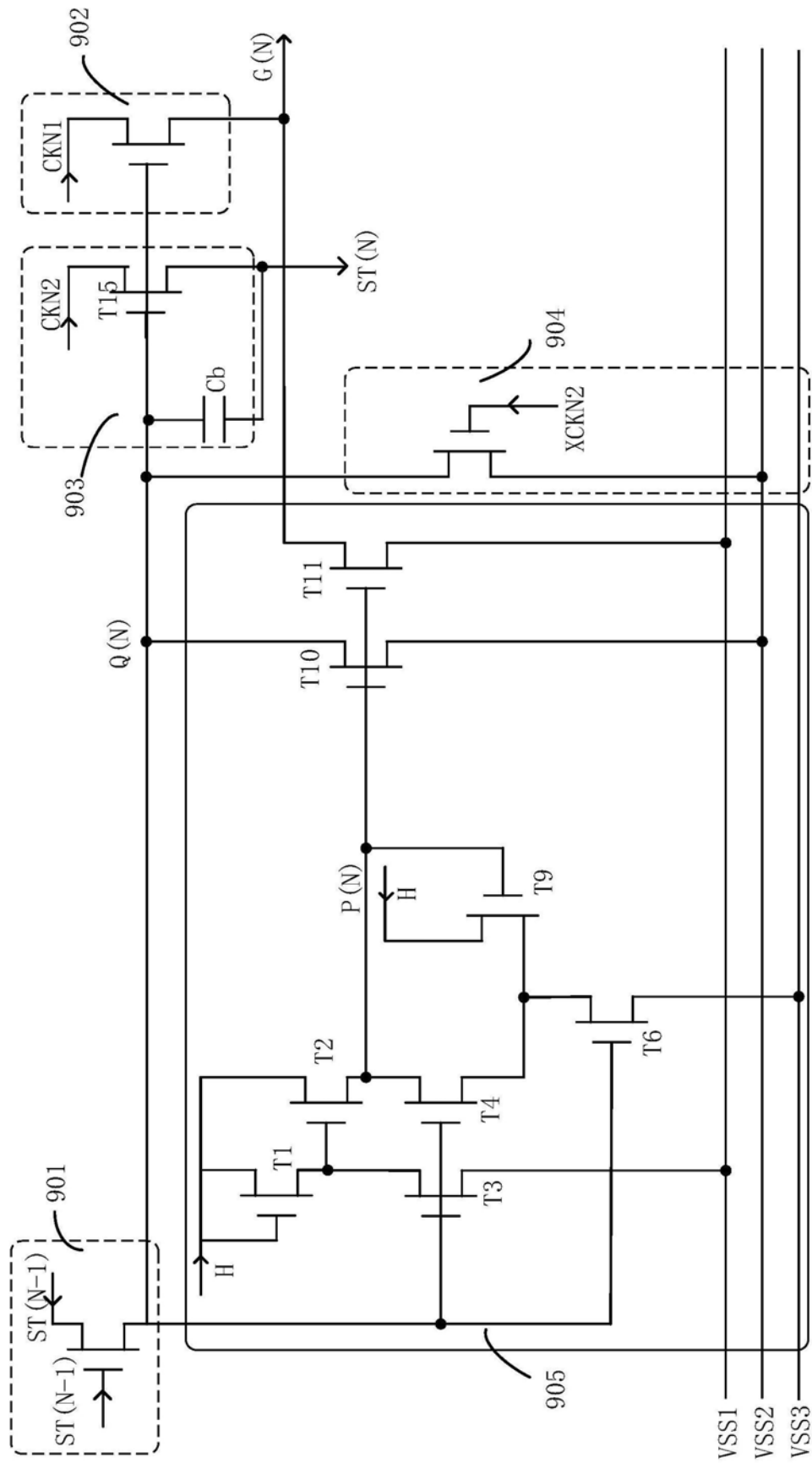


图9

专利名称(译)	一种GOA电路及液晶显示器		
公开(公告)号	CN104795034B	公开(公告)日	2018-01-30
申请号	CN201510186029.8	申请日	2015-04-17
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
[标]发明人	肖军城		
发明人	肖军城		
IPC分类号	G09G3/36		
其他公开文献	CN104795034A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路及液晶显示器，该GOA电路包括多个GOA单元，其中N级GOA单元对显示区域的第N级水平扫描线G(N)充电，N级GOA单元包括的N级上拉控制电路、N级上拉电路、N级下传电路、N级下拉电路及N级下拉维持电路；其中，N级上拉电路在第N级栅极信号点(Q(N))为高电平时开启，接收第一时钟信号(CKN1)，并在第一时钟信号(CKN1)为高电位时对N级水平扫描线(G(N))充电；N级下传电路在第N级栅极信号点(Q(N))为高电平时开启，接收第二时钟信号(CKN2)，并输出N级下传信号ST(N)以控制N+1级GOA单元的工作。通过上述方式，本发明能够保证GOA电路中的扫描线更好的充电，有利于电路各个节点的正常工作。

