



(12) 发明专利申请

(10) 申请公布号 CN 103915070 A
(43) 申请公布日 2014. 07. 09

(21) 申请号 201310692949. 8
(22) 申请日 2013. 12. 17
(30) 优先权数据
10-2012-0157536 2012. 12. 28 KR
(71) 申请人 乐金显示有限公司
地址 韩国首尔
(72) 发明人 曹畅训
(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006
代理人 徐金国 赵静
(51) Int. Cl.
G09G 3/36 (2006. 01)

权利要求书2页 说明书9页 附图9页

(54) 发明名称
控制数据电压极性的方法及使用其的液晶显示器
(57) 摘要

本发明公开了一种控制数据电压极性的方法及使用其的液晶显示器,所述方法包括:计算将通过源极驱动 IC 中彼此相邻的 I 个通道输出的数据所属的每个组的数据的直流电流 DC 值;累加所述 DC 值;将第 n 组 (n 是正整数) 的累加 DC 值的绝对值与预定阈值进行比较,所述第 n 组的累加 DC 值是通过累加直至第 n-1 组所得的第 n-1 组的累加 DC 值与第 n 组的 DC 值相加而获得的;和当第 n 组的累加 DC 值的绝对值超过所述阈值时,改变组极性数据。

n (组编号)	4	5	...	n
常规技术	RGBRGBRGBRGB + + - - + + - - + + - -	RGBRGBRGBRGB + + - - + + - - + + - -	...	RGBRGBRGBRGB + + - - + + - - + + - -
H (n)	RGBRGBRGBRGB + + - - + + - - + + - -	RGBRGBRGBRGB + + - - + + - - + + - -	...	RGBRGBRGBRGB + + - - + + - - + + - -
GPOL	1	0	...	0
G (n)	GPOL=0 RGBRGBRGBRGB + + - - + + - - + + - -	RGBRGBRGBRGB + + - - + + - - + + - -	...	RGBRGBRGBRGB + + - - + + - - + + - -
	GPOL=1 RGBRGBRGBRGB - - + + - - + + - - + + - -	RGBRGBRGBRGB + + - - + + - - + + - -	...	RGBRGBRGBRGB + + - - + + - - + + - -
DC (n)	DC (4)	DC (5)	...	DC (n)

1. 一种控制数据电压极性的方法,包括:

计算将要通过源极驱动 IC 中彼此相邻的 I 个通道(I 是 3 到 18 之间的任意一个 3 的倍数)输出的数据所属的每个组的数据的直流电流 DC 值;

累加所述 DC 值;

将第 n 组(n 是正整数)的累加 DC 值的绝对值与预定阈值进行比较,其中所述第 n 组的累加 DC 值是通过将累加直至第 n-1 组所得的第 n-1 组的累加 DC 值与第 n 组的 DC 值相加而获得的;和

当所述第 n 组的累加 DC 值的绝对值超过所述阈值时,改变组极性数据,

所述 DC 值是通过将所述将要通过所述 I 个通道输出的数据所属的组内的高灰度级数据相加而获得的值,

所述组极性数据定义代表所述组的第一极性。

2. 根据权利要求 1 所述的方法,其中所述组极性数据被包含在其中包括属于一组内的数据的数据流中,并且所述组极性数据被传输给源极驱动 IC。

3. 根据权利要求 2 所述的方法,其中所述源极驱动 IC 响应于所述组极性数据,选择将要通过所述 I 个通道输出的每个数据电压的极性。

4. 根据权利要求 1 所述的方法,进一步包括设定行代表极性,所述行代表极性定义位于每行最左侧的第一子像素的极性;和

通过比较彼此相邻的组的 DC 值以及 DC 值的符号,使用通过反转或保持所述行代表极性而获得的值选择所述组极性数据,

当第 1 组的 DC 值为 DC(1),第 2 组的 DC 值为 DC(2),第 3 组的 DC 值为 DC(3),第 4 组的 DC 值为 DC(4) 时,

当 $|DC(1)| = |DC(2)|$ 且 DC(1) 的符号和 DC(2) 的符号相同时,所述第 2 组的组极性数据被选择为通过反转所述行代表极性而获得的值,所述第 1 组的组极性数据被选择为与所述行代表极性相同的极性,

当 $|DC(1)| = |DC(2)|$ 且 DC(1) 的符号和 DC(2) 的符号彼此不同时,所述第 2 组的组极性数据和所述第 1 组的组极性数据被选择为与所述行代表极性相同的极性,

当 $|DC(1)+DC(2)| = |DC(3)+DC(4)|$ 且 DC(1)+DC(2) 的符号和 DC(3)+DC(4) 的符号相同时,所述第 3 组的组极性数据被选择为通过反转所述行代表极性而获得的值,所述第 2 组的组极性数据被选择为与所述行代表极性相同的极性,以及

当 $|DC(1)+DC(2)| = |DC(3)+DC(4)|$ 且 DC(1)+DC(2) 的符号和 DC(3)+DC(4) 的符号彼此不同时,所述第 3 组的组极性数据和所述第 2 组的组极性数据被选择为与所述行代表极性相同的极性。

5. 一种液晶显示器,包括:

显示面板,其中数据线和栅极线彼此正交且以矩阵形式布置像素;

源极驱动 IC,所述源极驱动 IC 接收输入图像的数据以及定义所述数据的极性的组极性数据,以根据所述组极性数据选择每个数据电压的极性,并且所述源极驱动 IC 将所述数据电压输出到所述数据线;和

时序控制器,所述时序控制器计算将要通过所述源极驱动 IC 中彼此相邻的 I 个通道(I 是 3 到 18 之间的任意一个 3 的倍数)输出的数据所属的每个组的数据的直流电流 DC 值,累

加所述 DC 值,将第 n 组(n 为正整数)的累加 DC 值的绝对值与预定阈值进行比较,并且根据比较结果确定所述组极性数据,其中所述第 n 组的累加 DC 值是通过累加直至第 $n-1$ 组所得的第 $n-1$ 组的累加 DC 值与第 n 组的 DC 值相加而获得的,

当所述第 n 组的累加 DC 值的绝对值超过所述阈值时,所述时序控制器改变组极性数据,

所述 DC 值是通过将所述将要通过所述 I 个通道输出的数据所属的组内的高灰度级数据相加而获得的值,且

所述组极性数据定义代表所述组的第一极性。

6. 根据权利要求 5 所述的液晶显示器,其中所述时序控制器向所述源极驱动 IC 传输数据流,所述数据流是通过将所述组极性数据与属于一组内的数据相加而获得的。

7. 根据权利要求 6 所述的液晶显示器,其中所述源极驱动 IC 响应于所述组极性数据,选择将要通过所述 I 个通道输出的每个数据电压的极性。

8. 根据权利要求 5 所述的液晶显示器,其中所述时序控制器:

设定行代表极性,所述行代表极性定义位于每行最左侧的第一子像素的极性;且

通过比较彼此相邻的组的 DC 值以及 DC 值的符号,使用通过反转或保持所述行代表极性而获得的值选择所述组极性数据,

当第 1 组的 DC 值为 $DC(1)$,第 2 组的 DC 值为 $DC(2)$,第 3 组的 DC 值为 $DC(3)$,第 4 组的 DC 值为 $DC(4)$ 时,

当 $|DC(1)|=|DC(2)|$ 且 $DC(1)$ 的符号和 $DC(2)$ 的符号相同时,所述第 2 组的组极性数据被选择为通过反转所述行代表极性而获得的值,所述第 1 组的组极性数据被选择为与所述行代表极性相同的极性,

当 $|DC(1)|=|DC(2)|$ 且 $DC(1)$ 的符号和 $DC(2)$ 的符号彼此不同时,所述第 2 组的组极性数据和所述第 1 组的组极性数据被选择为与所述行代表极性相同的极性,

当 $|DC(1)+DC(2)|=|DC(3)+DC(4)|$ 且 $DC(1)+DC(2)$ 的符号和 $DC(3)+DC(4)$ 的符号相同时,所述第 3 组的组极性数据被选择为通过反转所述行代表极性而获得的值,所述第 2 组的组极性数据被选择为与所述行代表极性相同的极性,

当 $|DC(1)+DC(2)|=|DC(3)+DC(4)|$ 且 $DC(1)+DC(2)$ 的符号和 $DC(3)+DC(4)$ 的符号彼此不同时,所述第 3 组的组极性数据和所述第 2 组的组极性数据被选择为与所述行代表极性相同的极性。

控制数据电压极性的方法及使用其的液晶显示器

[0001] 本申请要求 2012 年 12 月 28 日提交的韩国专利申请 10-2012-0157536 的优先权，为了所有目的在此援引该专利申请的全部内容作为参考，如同在这里完全阐述一样。

技术领域

[0002] 本发明涉及一种控制数据电压极性的方法及使用该方法的液晶显示器。

背景技术

[0003] 有源矩阵驱动型液晶显示器使用薄膜晶体管(下称“TFT”)作为开关元件以显示运动画面。与阴极射线管(CRT)不同，可以以小尺寸制造液晶显示器，从而液晶显示器被应用于电视以及便携式信息装置、办公设备、计算机等的显示器，从而正快速取代 CRT。

[0004] 液晶显示器的液晶单元通过根据施加至像素电极的数据电压与施加至公共电极的公共电压之间的电位差改变透射率来显示图像。为了减少残像并防止液晶劣化，以反转驱动方法驱动液晶显示器，反转驱动方法周期性反转施加至液晶的数据电压的极性。

[0005] 一般来说，液晶显示器响应于极性控制信号 POL 控制写入到 1 行像素中的数据的极性，其中极性控制信号 POL 的极性通过 1 个水平周期单元反转。在液晶显示器中，液晶显示器的图像质量会根据输入图像的数据图案与数据电压的极性之间的相关性而劣化。作为一个例子，1 行像素中显示的正负数据不平衡，任意一个极性变强。当将要写入到 1 行像素中的数据的极性被偏置到任意一个极性时，公共电压 V_{com} 被偏移(shifted)。通过对该 1 行数据中的高灰度级数据的极性计数，根据累积的直流(DC)值确定极性的非均匀性。因为当公共电压 V_{com} 偏移时，液晶单元的参考电位被改变，所以用户可从液晶显示器上显示的图像感觉到诸如污点、泛绿或闪烁这样的现象。在触摸传感器以内置方式嵌入液晶显示面板中的情形中，如果公共电压 V_{com} 偏移，则由于改变触摸传感器信号的偏移值，导致触摸传感器的识别率降低。

发明内容

[0006] 根据本发明的一种控制数据电压极性的方法包括：计算将要通过源极驱动 IC 中彼此相邻的 I 个通道(I 是 3 到 18 之间的任意一个 3 的倍数)输出的数据所属的每个组的数据的直流电流 DC 值；累加所述 DC 值；将第 n 组(n 是正整数)的累加 DC 值的绝对值与预定阈值进行比较，其中所述第 n 组的累加 DC 值是通过将累加直至第 n-1 组所得的第 n-1 组的累加 DC 值与第 n 组的 DC 值相加而获得的；以及当第 n 组的累加 DC 值的绝对值超过所述阈值时，改变组极性(group polarity)数据。

[0007] 所述 DC 值是通过将将要通过所述 I 个通道输出的数据所属的组内的高灰度级数据相加而获得的值。

[0008] 所述组极性数据定义了代表所述组的第一极性。

[0009] 根据本发明的液晶显示器包括：显示面板，其中数据线和栅极线彼此正交且以矩阵形式布置像素；源极驱动 IC，所述源极驱动 IC 接收输入图像的数据以及定义所述数据的

极性的组极性数据,以根据所述组极性数据选择每个数据电压的极性,且所述源极驱动 IC 将所述数据电压输出到所述数据线;和时序控制器,所述时序控制器计算将通过所述源极驱动 IC 中彼此相邻的 I 个通道(I 是 3 到 18 之间的任意一个 3 的倍数)输出的数据所属的每个组的数据的直流电流(DC)值,累加所述 DC 值,将第 n 组(n 是正整数)的累加 DC 值的绝对值与预定阈值进行比较,并且根据比较结果确定所述组极性数据,其中所述第 n 组的累加 DC 值是通过累加直至第 n-1 组所得的第 n-1 组的累加 DC 值与第 n 组的 DC 值相加而获得的。

附图说明

[0010] 给本发明提供进一步理解并组成说明书一部分的附图图解了本发明的实施方式,并与说明书一起用于解释本发明的原理。在附图中:

[0011] 图 1 是显示根据本发明典型实施方式的液晶显示器的框图;

[0012] 图 2 到图 4 是显示显示面板的各个结构的示意图;

[0013] 图 5A 和 5B 是显示根据本发明典型实施方式的控制数据电压极性的方法的示意图;

[0014] 图 6 是显示根据本发明典型实施方式的控制数据电压极性的方法的一个例子的示意图;

[0015] 图 7 是比较根据现有技术的极性控制信号与根据本发明的组极性数据的示意图;

[0016] 图 8 是显示时序控制器中的产生组极性数据的部分的示意图;

[0017] 图 9 是显示在时序控制器与源极驱动集成电路(IC)之间通过 mini LVDS 接口标准传输的数据流的例子的示意图;

[0018] 图 10 是显示源极驱动 IC 的详细框图。

具体实施方式

[0019] 下文中,将参照附图详细描述本发明的优选实施方式。在整个说明书中相似的参考标记表示相似的部件。下文中,当确定与本发明相关的公知技术的详细描述会使本发明的主旨不清楚时,将省略其详细描述。

[0020] 参照图 1 到图 4,根据本发明典型实施方式的液晶显示器包括显示面板 100、时序控制器 TCON101、数据驱动单元 102 和栅极驱动单元 103。数据驱动单元 102 包括至少一个源极驱动集成电路 IC。栅极驱动单元 103 包括至少一个栅极驱动 IC。

[0021] 显示面板 100 包括形成在两个玻璃基板之间的液晶层。显示面板 100 包括通过数据线 DL 和栅极线 GL 彼此交叉的结构以矩阵形式布置的像素。如图 2 到图 4 中所示,像素可分为红色子像素 R、绿色子像素 G 和蓝色子像素 B。每个子像素包括液晶单元 Clc、薄膜晶体管 TFT 和存储电容器 Cst。

[0022] 在显示面板 100 中显示输入图像的像素阵列分为 TFT 阵列和滤色器阵列。如图 2 到 4 中所示,TFT 阵列形成在显示面板 100 的下玻璃基板上。TFT 阵列包括数据线 DL、与数据线 DL 交叉的栅极线 GL、与像素电极 1 连接的 TFT、存储电容器 Cst 等。液晶单元 Clc 与 TFT 连接并由像素电极 1 与公共电极 2 之间的电场驱动。包括黑矩阵、滤色器等滤色器阵列形成在显示面板 100 的上玻璃基板上。偏振器贴附到上玻璃基板和下玻璃基板的每一个,且在上玻璃基板和下玻璃基板的每一个上形成用于设定液晶的预倾角(pre-tilt angle)

的取向层(alignment layer)。触摸传感器可嵌入显示面板 100 中。

[0023] 在诸如扭曲向列(TN)模式或垂直取向(VA)模式这样的垂直电场驱动模式中,公共电极 2 形成在上玻璃基板上;在诸如共平面开关(IPS)模式或边缘场开关(fringe field switching)(FFS)模式这样的水平电场驱动模式中,公共电极 2 与像素电极一起形成在下玻璃基板上。

[0024] 本发明中可用的显示面板 100 也可以以任意液晶模式以及上述的 TN 模式、VA 模式、IPS 模式和 FFS 模式实现。根据本发明典型实施方式的液晶显示器可以以诸如透射型液晶显示器、透反(transflective)型液晶显示器、反射型液晶显示器等多种不同形式实现。透射型液晶显示器和反射型液晶显示器需要背光单元。背光单元可通过直下型背光单元或边缘型背光单元实现。

[0025] 时序控制器 101 将从主机系统 SYSTEM104 输入的输入图像的数字视频数据 RGB 传输给数据驱动单元 102。

[0026] 时序控制器 101 从主机系统 104 接收时序信号,如垂直同步信号 Vsync、水平同步信号 Hsync、数据使能信号 DE、时钟 CLK 等。时序控制器 101 根据从主机系统 104 输入的时序信号产生用于控制数据驱动单元 102 和栅极驱动单元 103 的操作时序的时序控制信号。时序控制信号包括栅极时序控制信号和数据时序控制信号,栅极时序控制信号用于控制栅极驱动单元 103 的操作时序,数据时序控制信号用于控制数据驱动单元 102 的操作时序和数据电压的垂直极性。

[0027] 栅极时序控制信号包括栅极起始脉冲 GSP、栅极移位时钟 GSC、栅极输出使能信号 GOE 等。栅极起始脉冲 GSP 被施加到栅极驱动 IC,以控制栅极驱动 IC 产生第一栅极脉冲。栅极移位时钟 GSC 是公共地输入到栅极驱动 IC 的时钟信号,用于移位栅极起始脉冲 GSP。栅极输出使能信号 GOE 控制栅极驱动 IC 的输出。时序控制器 101 通过单独的控制信号传输总线(bus transmission line)将栅极时序控制信号传输给栅极驱动 IC。

[0028] 数据时序控制信号包括组极性数据 GPOL、水平极性数据 GHINV、通道选择选项数据 GMODE1 和 GMODE2、源极输出使能信号 SOE 等。组极性数据 GPOL 定义第一极性,第一极性表示将要通过源极驱动 IC 中彼此相邻的 I 个通道(I 是 3 到 18 之间的任意一个 3 的倍数)同时输出的数据的极性图案。水平极性数据 GHINV 控制将要通过源极驱动 IC 的 I 个通道同时输出的数据的水平极性反转周期。通道选择选项数据 GMODE1 和 GMODE2 被输入到支持多通道的源极驱动 IC,选择源极驱动 IC 的通道号,并使未被选择的通道失效。源极输出使能信号 SOE 控制源极驱动 IC 的输出时序。

[0029] 时序控制器 101 通过数据传输总线向源极驱动 IC 传输数据流(见图 9),其中通过将诸如组极性数据 GPOL、水平极性数据 GHINV、通道选择选项数据 GMODE1 和 GMODE2 等这样的时序数据与隶属于第 1 组的输入图像的 RGB 数字视频数据相加而获得所述数据流。因此,在源极驱动 IC 中,没有用于接收组极性数据 GPOL、水平极性数据 GHINV、通道选择选项数据 GMODE1 和 GMODE2 的引脚。时序控制器 101 通过单独的控制信号传输总线向源极驱动 IC 传输源极输出使能信号 SOE。

[0030] 下文中,尽管为了方便起见,典型实施方式中描述了其中 I 为 6 的情形,但 I 可以是 3,9,12,15 和 18,且并不限于此。源极驱动 IC 的通道是指源极驱动 IC 的输出端子,该输出端子与数据线 1:1 连接。

[0031] 在向源极驱动 IC 传输数据之前,时序控制器 101 将 DC 值计算为预定长度的组。所述组是包括将要通过源极驱动 IC 中彼此相邻的 I 个通道同时输出的数据的数据组。DC 值是通过将第 1 组内的数据之中的高灰度级数据相加而获得的值,表示所述组的不均匀极性的长度。

[0032] 时序控制器 101 将第 n 组的累加 DC 值的绝对值与预定阈值进行比较,所述第 n 组的累加 DC 值是通过将累加直至第 n-1 组所得的第 n-1 组的累加 DC 值与第 n 组(n 是正整数)的 DC 值相加而获得的。此外,当第 n 组的累加 DC 值的绝对值超过阈值时,时序控制器 101 改变组极性数据 GPOL。

[0033] 主机系统 104 可由电视系统、家庭影院系统、机顶盒、导航系统、DVD 播放器、蓝光播放器、个人计算机(PC)和电话系统中的至少一个实现。主机系统 104 对输入图像的的数字视频数据 RGB 进行缩放,以符合液晶显示面板 100 的分辨率。主机系统 104 将时序信号 Vsync、Hsync、DE 和 MCLK 与输入图像的的数字视频数据 RGB 一起传输给时序控制器 101。

[0034] 数据驱动单元 102 包括至少一个源极驱动 IC。每个源极驱动 IC 包括移位寄存器、锁存器、数-模转换器、输出缓冲器等。源极驱动 IC 通过在时序控制器 101 的控制下采样数字视频数据 RGB 进行锁存。源极驱动 IC 将数字视频数据 RGB 转换为模拟正/负伽马补偿电压以产生数据电压,并响应于组极性图案(pattern)信号反转数据电压的极性。源极驱动 IC 响应于源极输出使能信号 SOE 将数据电压输出到数据线 DL。源极驱动 IC 从随数字视频数据 RGB 一起接收的数据包(data packet)中检测组极性数据 GPOL、水平极性数据 GHINV 以及通道选择选项数据 GMODE1 和 GMODE2。源极驱动 IC 解码组极性数据 GPOL,以产生组极性图案信号。

[0035] 栅极驱动单元 103 的栅极驱动 IC 包括移位寄存器和电平移位器。栅极驱动单元 103 响应于栅极时序控制信号向栅极线 GL 施加与数据电压同步的栅极脉冲。

[0036] 图 2 到图 4 是显示薄膜晶体管 TFT 阵列的各个例子的等价电路。图 2 到图 4 显示了 TFT 阵列的一部分。在图 2 到图 4 中,D1 到 D6 是指数据线,G1 到 G6 是指栅极线,LINE#1 到 LINE#6 是指显示面板 100 中的行数(line numbers)。

[0037] 图 2 中所示的 TFT 阵列是应用于大多数液晶显示器的 TFT 阵列。在该 TFT 阵列中,在列方向上布置红色子像素 R、绿色子像素 G 和蓝色子像素 B 中的每一个。每个 TFT 响应于来自栅极线 G1 到 G4 的栅极脉冲,向布置在数据线 D1 到 D6 左侧(或右侧)的液晶单元的像素电极施加来自数据线 D1 到 D6 的数据电压。在图 2 所示的 TFT 阵列中,单个像素包括在与列方向垂直的行方向(或线方向)上彼此相邻的红色子像素 R、绿色子像素 G 和蓝色子像素 B。在图 2 中,当 TFT 阵列的分辨率为 $M \times N$ 时(M 和 N 每个都为 2 或更大的正整数),则需要 $M \times 3$ 条数据线和 N 条栅极线。在 $M \times 3$ 中,3 是一个像素中包括的子像素的数量。

[0038] 与图 2 中所示的 TFT 阵列相比,图 3 中所示的 TFT 阵列具有在同一分辨率时所需的数据线数量减少一半的结构。图 3 中所示的 TFT 阵列的驱动频率是图 2 中所示的 TFT 阵列的两倍高。因此,具有图 3 中所示的 TFT 阵列的液晶显示面板可称为双倍速率驱动(DRD)面板。下文中,DRD 面板是指类似于图 3 的液晶显示面板。与图 2 中所示的 TFT 阵列相比,DRD 面板可将源极驱动 IC 的数量减少一半。在 DRD 面板的 TFT 阵列中,在列方向布置红色子像素 R、绿色子像素 G 和蓝色子像素 B 的每一个。在 DRD 面板的 TFT 阵列中,单个像素包括在与列方向垂直的行方向上彼此相邻的红色子像素 R、绿色子像素 G 和蓝色子像素 B。DRD

面板的 TFT 阵列中左右相邻的液晶单元共用同一条数据线,并连续加载(charge)通过该数据线以时分方式提供的数据电压。布置在数据线 D1 到 D4 的左侧的液晶单元和 TFT 分别称为第一液晶单元和第一 TFT T1,布置在数据线 D1 到 D4 的右侧的液晶单元和 TFT 分别称为第二液晶单元和第二 TFT T2。据此,TFT 阵列的结构如下所述。第一 TFT T1 响应于来自奇数栅极线 G1、G3、G5 和 G7 的栅极脉冲,向第一液晶单元的像素电极施加来自数据线 D1 到 D4 的数据电压。第一 TFT T1 的栅极电极各自与奇数栅极线 G1、G3、G5 和 G7 连接,第一 TFT T1 的漏极电极各自与数据线 D1 到 D4 连接。第一 TFT T1 的源极电极与第一液晶单元的像素电极连接。第二 TFT T2 响应于来自偶数栅极线 G2、G4、G6 和 G8 的栅极脉冲,向第二液晶单元的像素电极施加来自数据线 D1 到 D4 的数据电压。第二 TFT T2 的栅极电极各自与偶数栅极线 G2、G4、G6 和 G8 连接,第二 TFT T2 的漏极电极各自与数据线 D1 到 D4 连接。第二 TFT T2 的源极电极与第二液晶单元的像素电极连接。当 DRD 面板的 TFT 阵列的分辨率为 $M \times N$ 时,需要 $M \times 3/2$ 条数据线和 $2N$ 条栅极线。

[0039] 与图 2 中所示的 TFT 阵列相比,图 4 中所示的 TFT 阵列具有在同一分辨率时所需的数据线数量减少一半的结构。图 4 中所示的 TFT 阵列的驱动频率是图 2 中所示的 TFT 阵列的三倍高。因此,具有图 4 中所示的 TFT 阵列的液晶显示面板可称为三倍速率驱动(TRD)面板。下文中,TRD 面板是指类似于图 4 的液晶显示面板。在 TRD 面板的 TFT 阵列中,在行方向上布置红色子像素 R、绿色子像素 G 和蓝色子像素 B 的每一个。在 TRD 面板的 TFT 阵列中,单个像素包括在列方向上彼此相邻的红色子像素 R、绿色子像素 G 和蓝色子像素 B。在 TRD 面板的 TFT 阵列中,每个 TFT 响应于来自栅极线 G1 到 G6 的栅极脉冲,向布置在数据线 D1 到 D6 的左侧(或右侧)的液晶单元的像素电极施加来自数据线 D1 到 D6 的数据电压。当 TRD 面板的 TFT 阵列的分辨率为 $M \times N$ 时,需要 $M/3$ 条数据线和 $3N$ 条栅极线。

[0040] 根据本发明典型实施方式的显示面板结构不限于图 2 到图 4 中所示的面板结构中的至少一个。下文中,尽管使用图 3 中的 DRD 面板描述显示面板结构,但本发明并不限于此。

[0041] 图 5A 和 5B 是显示根据本发明典型实施方式的控制数据电压极性的方法的示图。

[0042] 参照图 5A 和 5B,DRD 面板通过一条数据线向与该数据线左右相邻的两个子像素施加数据电压。因此,当 I 为 6 时,DRD 面板中的 1 个组包括 12 个数据。

[0043] 在图 5A 和 5B 中,组极性数据 GPOL 定义代表极性值(representative polarity value),该代表极性值定义 1 个组内的 12 个数据的极性。例如,第 1 组极性数据(GPOL = 0)定义为正(+),即预定第一极性图案“++-+-+--+-”中的第一极性。第 2 组极性数据(GPOL = 1)定义为负(-),即极性图案“-+--+-+--+-”中的第一极性。源极驱动 IC 响应于通过第 n 组的数据包与 12 个数据一起接收的第 1 组极性数据(GPOL = 0),将隶属于第 n 组的 12 个数据的数据电压极性反转为“++-+-+--+-”的形式。源极驱动 IC 响应于通过第 n 组的数据包与 12 个数据一起被接收的第 2 组极性数据(GPOL = 1),将隶属于第 n 组的 12 个数据的数据电压极性反转为“-+--+-+--+-”的形式。

[0044] 时序控制器 101 将第 n 组的累加 DC 值($\sum DC(n)$)的绝对值与预定阈值进行比较,其中第 n 组的累加 DC 值($\sum DC(n)$)是通过将累加直至第 n-1 组所得的累加 DC 值($\sum DC(n-1)$)与第 n 组的 DC 值 $DC(n)$ 相加而获得的,并且当第 n 组的累加 DC 值($\sum DC(n)$)的绝对值超过阈值时,时序控制器 101 改变组极性数据 GPOL。在图 5A 和 5B 中, $N(n)$ 是指由时序控制器所选择的组极性数据 GPOL 定义的 1 个组的数据极性图案。同时,通过根据现

有技术的控制极性的方法,不管 DC 值和累加 DC 值如何,都将重复由极性控制信号 POL 定义的极性图案,如图 5A 和 5B 的上端处所示的“常规技术”的极性图案所示。

[0045] 图 6 是显示根据本发明典型实施方式的控制数据电压极性的方法的一个例子的示意图。

[0046] 参照图 6,时序控制器 101 映射(map)输入图像的数据和由第 1 组极性数据(GPOL = 0)定义的极性图案,并对高灰度级数据的极性计数。在图 6 中,CNT 是指极性计数值。可通过最高有效位(most significant bit)(MSB)确定高灰度级。例如,6 位数据中的高灰度级数据可以是最高有效位为 1 的“1XXXXX”数据(其中 X 为 0 或 1)。

[0047] 时序控制器 101 根据高灰度级数据的累加极性计数值计算每组的 DC 值和累加值,以将计算的值存储在寄存器中。在图 6 中,因为每组的正计数值比负计数值高 2,所以第 1 到第 5 组 GR1 到 GR5 的 DC 值为 +2。第 1 组 GR1 的累加 DC 值 $\Sigma DC(1)$ 为 $\Sigma DC(1) = 0 + DC(1) = +2$,第 2 组 GR2 的累加 DC 值 $\Sigma DC(2)$ 为 $\Sigma DC(2) = \Sigma DC(1) + DC(2) = +4$ 。第 3 组 GR3 的累加 DC 值 $\Sigma DC(3)$ 为 $\Sigma DC(3) = \Sigma DC(2) + DC(3) = +6$,第 4 组 GR4 的累加 DC 值表示为 $\Sigma DC(4)$ 为 $\Sigma DC(4) = \Sigma DC(3) + DC(4) = +8$ 。此外,第 5 组 GR5 的累加 DC 值 $\Sigma DC(5)$ 为 $\Sigma DC(5) = \Sigma DC(4) + DC(5) = +10$ 。

[0048] 时序控制器 101 通过比较当前的累加 DC 值的绝对值与预定阈值,确定是否改变组极性数据 GPOL。阈值可根据显示面板的结构及其驱动方法而改变。当阈值设为 8 时,因为第 4 组 GR4 的累加 DC 值 $\Sigma DC(4)$ 的绝对值为阈值或更小,所以时序控制器 101 通过 GPOL = 0 保持第 5 组 GR5 的组极性数据 GPOL。此外,根据第 5 组 GR5 的累加 DC 值 $\Sigma DC(5)$ 的绝对值与阈值的比较结果,因为第 5 组 GR5 的累加 DC 值 $\Sigma DC(5)$ 的绝对值超过了阈值,所以时序控制器 101 通过 GPOL = 1 改变第 6 组 GR6 的组极性数据 GPOL。结果,在图 6 中,第 6 组 GR6 的 DC 值被反转为 -2,第 6 组 GR6 的累加 DC 值 $\Sigma DC(6)$ 降为 $\Sigma DC(6) = \Sigma DC(5) + DC(6) = +8$ 。

[0049] 本发明通过保持当前的组极性数据直到当前累加 DC 值的绝对值超过阈值为止,防止了组极性数据的变化周期过短。在验证本发明效果的实验中,可以将公共电压波动控制在适当的水平,并改善像素的闪烁现象。

[0050] 尽管图 6 中阈值为“8”,但本发明并不限于此。阈值可设为通过将在 1 组内的数据中产生的最大 DC 值除以 N(N 为 2 或更大的正整数)得到的值。当阈值很小时,像素的闪烁现象在一些图像中是可见的。阈值可选自 8 到 48 之间的值。可以考虑像素的闪烁改善效果和公共电压的波动降低效果,适当地选择阈值。例如,当输入图像的数据为 6 位且隶属于 1 组的数据为 6 个数据时,最大 DC 值为 $64 + 64 + 64 = 192$ 。当 N 为 8 时,阈值为 $192/8 = 24$ 。在该情形中,当累加 DC 值为 24(即 DC 的最大产生量的 1/8)或更大时,时序控制器 101 可改变组极性数据 GPOL。

[0051] 图 7 是比较根据现有技术的极性控制信号 POL 与根据本发明的组极性数据 GPOL 的示意图。

[0052] 参照图 7,在点反转(dot inversion)中,极性控制信号 POL 以 1 个水平周期 1H 或 2 个水平周期 2H 进行反转。因此,根据现有技术的极性控制信号 POL 以显示面板 100 的 1 个或 2 个行周期反转数据电压的极性。相比而言,根据本发明典型实施方式的组极性数据 GPOL 控制比 1 行小得多的 1 组极性图案,从而组极性数据 GPOL 在 1 个水平周期内反转两次

或更多次。1 个水平周期内的组极性数据 GPOL 的反转次数根据阈值和累加直至当前的累加 DC 值而变化。

[0053] 图 8 是显示根据本发明典型实施方式的时序控制器 101 中产生组极性数据的部分的示意图。

[0054] 参照图 8, 时序控制器 101 包括 DC 计算部 11、DC 累加部 12、GPOL 选择部 13 和数据排列部 14。

[0055] DC 计算部 11 以组为单元计算输入图像数据的 DC 值, 以将计算的 DC 值提供给 DC 累加部 12 和 GPOL 选择部 13。DC 累加部 12 通过将从 DC 计算单元 11 输入的每组的 DC 值相加, 计算累加 DC 值。GPOL 选择部 13 计算第 n 组的累加 DC 值的绝对值以将该绝对值与阈值进行比较, 其中所述第 n 组的累加 DC 值是通过将从 DC 计算部 11 输入的第 n 组的 DC 值与从 DC 累加部 12 输入的第 n-1 组的累加 DC 值相加而获得的。此外, 当第 n 组的累加 DC 值的绝对值超过了阈值时, GPOL 选择部 13 改变组极性数据 GPOL。GPOL 选择部 13 比较彼此相邻的组极性数据 GPOL, 并如下面所述地, 根据比较结果改变下一行的行代表极性。行代表极性定义每行的第一子像素的极性。

[0056] 数据排列部 14 以如图 9 中所示的数据流形式, 将组极性数据 GPOL、水平极性数据 GHINV、通道选择选项数据 GMODE1 和 GMODE2 与输入图像数据一起排列, 并传输给数据驱动单元 102 的源极驱动 IC。

[0057] 在图 2 到图 4 中, 位于每行最左侧的第一子像素的极性是代表该行的行代表极性。根据行代表极性确定每行中的第 1 组的组极性数据 GPOL。例如, 当行代表极性为正极性时, 该行中的第 1 组的组极性数据 GPOL 为 $GPOL = 0$, 当行代表极性为负极性时, 该行中的第 1 组的组极性数据 GPOL 为 $GPOL = 1$ 。通过比较彼此相邻的组的 DC 值以及 DC 值的符号, 组极性数据 GPOL 可被选择为通过反转或保持行代表极性而获得的值。

[0058] 例如, 如图 6 中所示, 在其中第 1 组的 DC 值为 $DC(1)$, 第 2 组的 DC 值为 $DC(2)$, 第 3 组的 DC 值为 $DC(3)$, 第 4 组的 DC 值为 $DC(4)$ 的情形中,

[0059] 当 $|DC(1)| = |DC(2)|$ 且 $DC(1)$ 的符号和 $DC(2)$ 的符号相同时, 第 2 组的组极性数据 GPOL 被选择为通过反转行代表极性而获得的值。

[0060] 当 $|DC(1)| = |DC(2)|$ 且 $DC(1)$ 的符号和 $DC(2)$ 的符号彼此不同时, 第 2 组的组极性数据 GPOL 和第 1 组的组极性数据 GPOL 被选择为与行代表极性相同的极性。

[0061] 当 $|DC(1) + DC(2)| = |DC(3) + DC(4)|$ 且 $DC(1) + DC(2)$ 的符号和 $DC(3) + DC(4)$ 的符号相同时, 第 3 组的组极性数据 GPOL 被选择为通过反转行代表极性而获得的值, 第 2 组的组极性数据 GPOL 被选择为与行代表极性相同的极性。

[0062] 当 $|DC(1) + DC(2)| = |DC(3) + DC(4)|$ 且 $DC(1) + DC(2)$ 的符号和 $DC(3) + DC(4)$ 的符号彼此不同时, 第 3 组的组极性数据 GPOL 和第 2 组的组极性数据 GPOL 被选择为与行代表极性相同的极性。

[0063] 参照图 9, 以 mini LVDS 接口标准的差分信号对, 时序控制器 101 通过数据传输总线向源极驱动 IC 传输时钟信号 (CLK+)、输入图像的数字视频数据、组极性数据 GPOL、水平极性数据 GHINV 和通道选择选项数据 GMODE1 和 GMODE2。图 9 仅显示了差分信号对中的正极性数据。CLK+ 是传输正时钟信号的时钟传输总线, LV1+ 到 LV7+ 是传输正数据流的数据传输总线。当时序控制器 101 将输入图像的每个 RGB 数据输出为 10 位数据且同时输出奇

数像素数据和偶数像素数据时, D00 到 D29 中的每个为 10 位的奇数 RGB 数字视频数据, D30 到 D59 中的每个为 10 位的偶数 RGB 数字视频数据。

[0064] 图 10 是显示源极驱动 IC 的详细框图。

[0065] 参照图 10, 每个源极驱动 IC 通过 j 个通道 (j 为小于数据线数量的正整数, 数据线数量为 $i \times 2$ 或更大) 向 j 条数据线施加数据电压。每个源极驱动 IC 包括数据接收电路 201、控制逻辑电路 202、移位寄存器 203、锁存器 204、数-模转换器(下称“DAC”) 205 和输出电路 206。

[0066] 数据接收电路 201 通过提供差分信号对的数据传输总线 LV0+ 到 LV7-、CLK+ 和 CLK- 接收差分信号对, 差分信号对包括时钟信号、输入图像的数字视频数据、组极性数据 GPOL、水平极性数据 GHINV 和通道选择选项数据 GMODE1 和 GMODE2。数据接收电路 201 从差分信号对中采样和分离组极性数据 GPOL、水平极性数据 GHINV 和通道选择选项数据 GMODE1 和 GMODE2, 以将该数据提供给控制逻辑电路 202。此外, 数据接收电路 201 采样差分信号对中的 RGB 数字视频数据, 以将该数据传输给锁存器 204。输入到数据接收电路 201 的 SB 是用于改变数据排列顺序的选项信号。输入到数据接收电路 201 的 EI01 和 EI02 是移位寄存器 203 的起始脉冲。数据接收电路 201 响应于 EI01 和 EI02 而与移位寄存器 203 同步。

[0067] 控制逻辑电路 202 响应于组极性数据 GPOL 选择通过 I 个通道输出的每个数据电压的极性。在控制逻辑电路 202 中, 预先存储用于确定 1 组的极性的两个极性图案, 即“++--++--++--”和“--++--++--++”。在 GPOL = 0 的情形中, 控制逻辑电路 202 将将要通过 I 个通道输出的每个数据电压的极性选择为“++--++--++--”。另一方面, 在 GPOL = 1 的情形中, 控制逻辑电路 202 将将要通过 I 个通道输出的每个数据电压的极性选择为“--++--++--++”。

[0068] 移位寄存器 203 通过移位 EI01 和 EI02 而产生内部时钟信号, 以将内部时钟信号提供给锁存器 204。L/R 是用于改变移位寄存器 203 的移位方向的选项信号。锁存器 204 响应于从移位寄存器 203 顺序输入的内部时钟信号, 锁存来自数据接收电路 201 的 RGB 数字视频数据, 以响应于源极输出使能信号 SOE 而同时输出锁存的数据。

[0069] DAC205 将来自锁存器 204 的数据转换为正伽马基准电压 PGMA 和负伽马基准电压 NGMA, 并响应于极性控制信号而选择该数据中的任意一个, 以将该数据转换为正数据电压或负数据电压。输出电路 206 通过输出缓冲器将来自 DAC205 的正 / 负数据电压输出给数据线。

[0070] 如上所述, 本发明通过在最小化在预定序号的数据单元中计算的 DC 值与累加直至当前的 DC 值之和为最小的方向上改变数据极性图案, 使公共电压波动控制为最小。本发明将第 n 组的累加 DC 值的绝对值与预定阈值进行比较(所述第 n 组的累加 DC 值是通过将累加直至第 $n-1$ 组所得的第 $n-1$ 组的累加 DC 值与第 n 组的 DC 值相加而获得的), 且根据比较结果, 当第 n 组的累加 DC 值的绝对值超过阈值时, 改变组极性数据。结果, 本发明可以将公共电压波动控制在适当的水平, 由此可解决一些像素的闪烁现象以及当鼠标指针移动时产生的重影现象。

[0071] 尽管参照多个示例性的实施方式描述了本发明, 但应当理解, 本领域技术人员能设计出多个其他修改例和实施方式, 这落在本发明的原理的范围内。更具体地说, 在说明书、附图和所附权利要求的范围内, 在组成部件和 / 或主题组合构造的配置中可进行各种

变化和修改。除了组成部件和 / 或配置中的变化和修改之外,可选择的使用对于本领域技术人员来说也将是显而易见的。

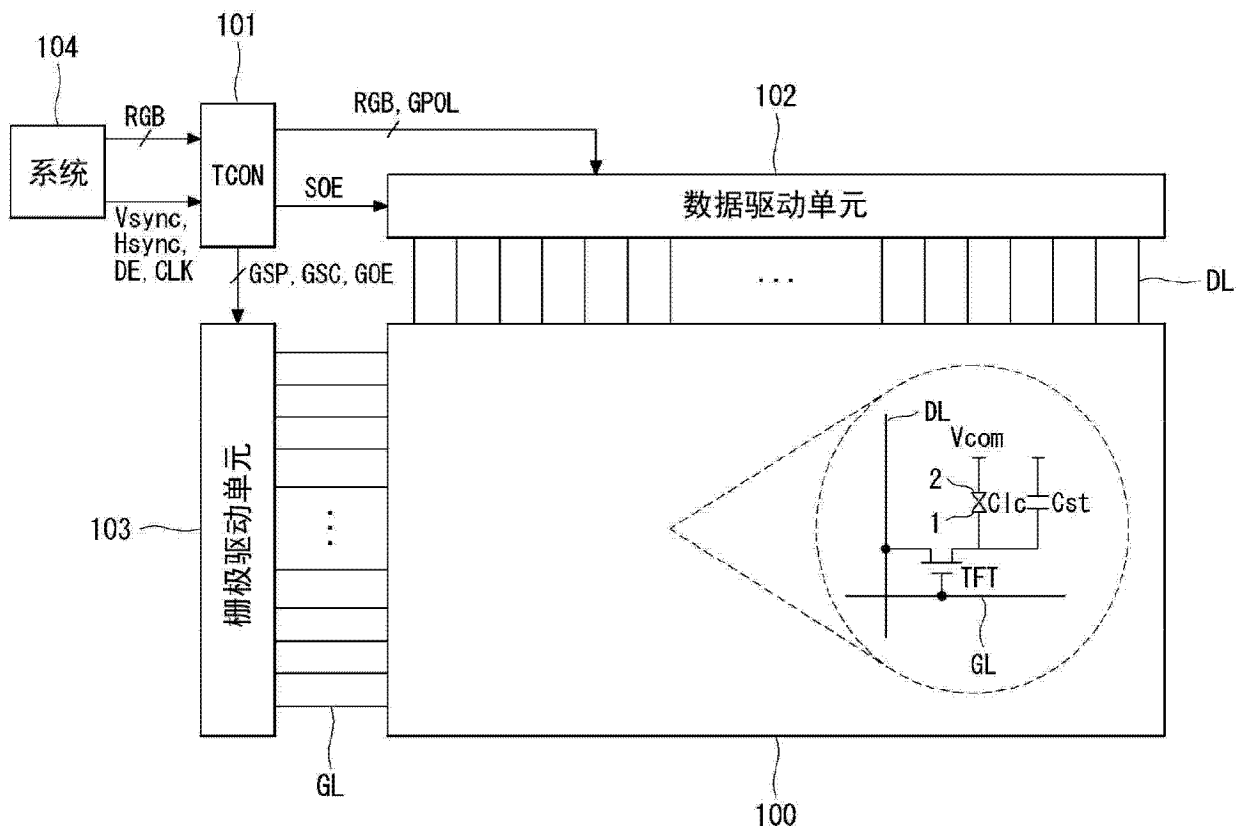


图 1

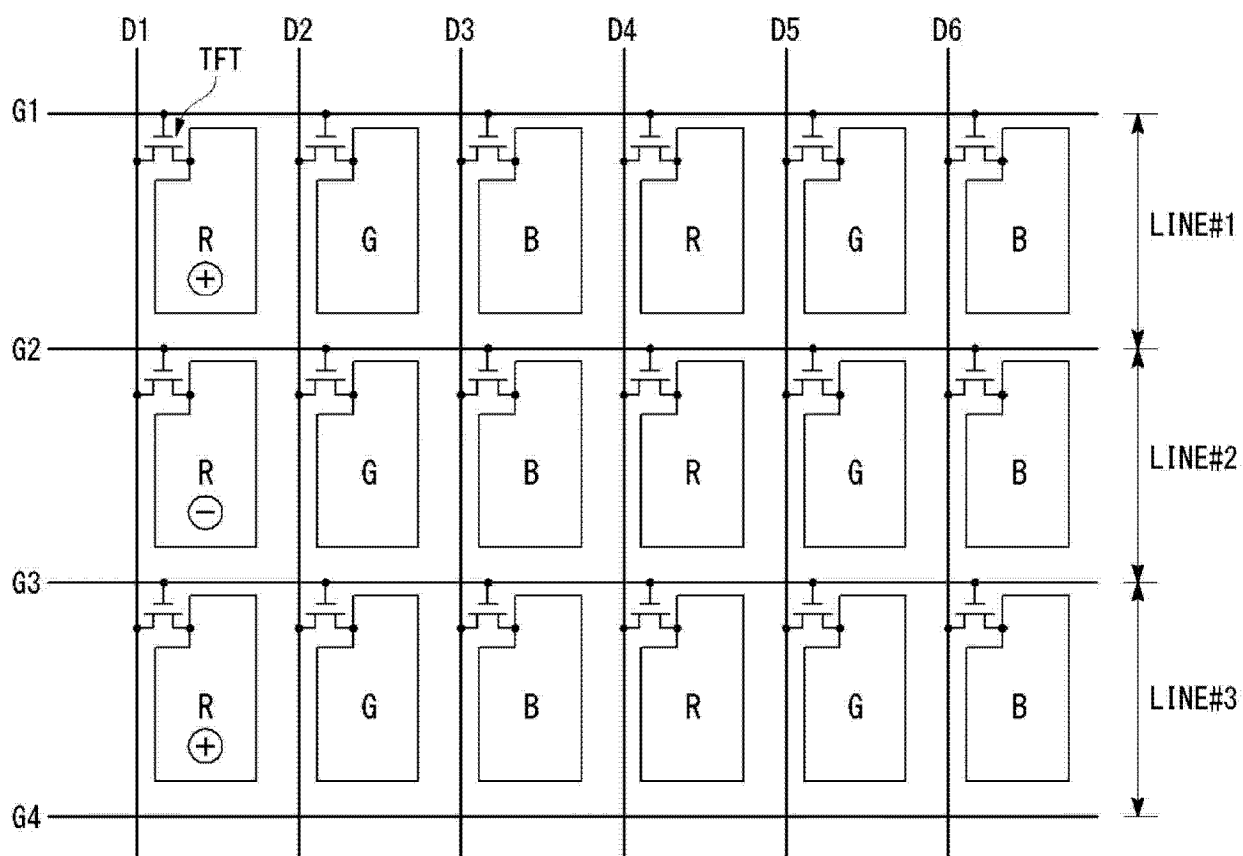


图 2

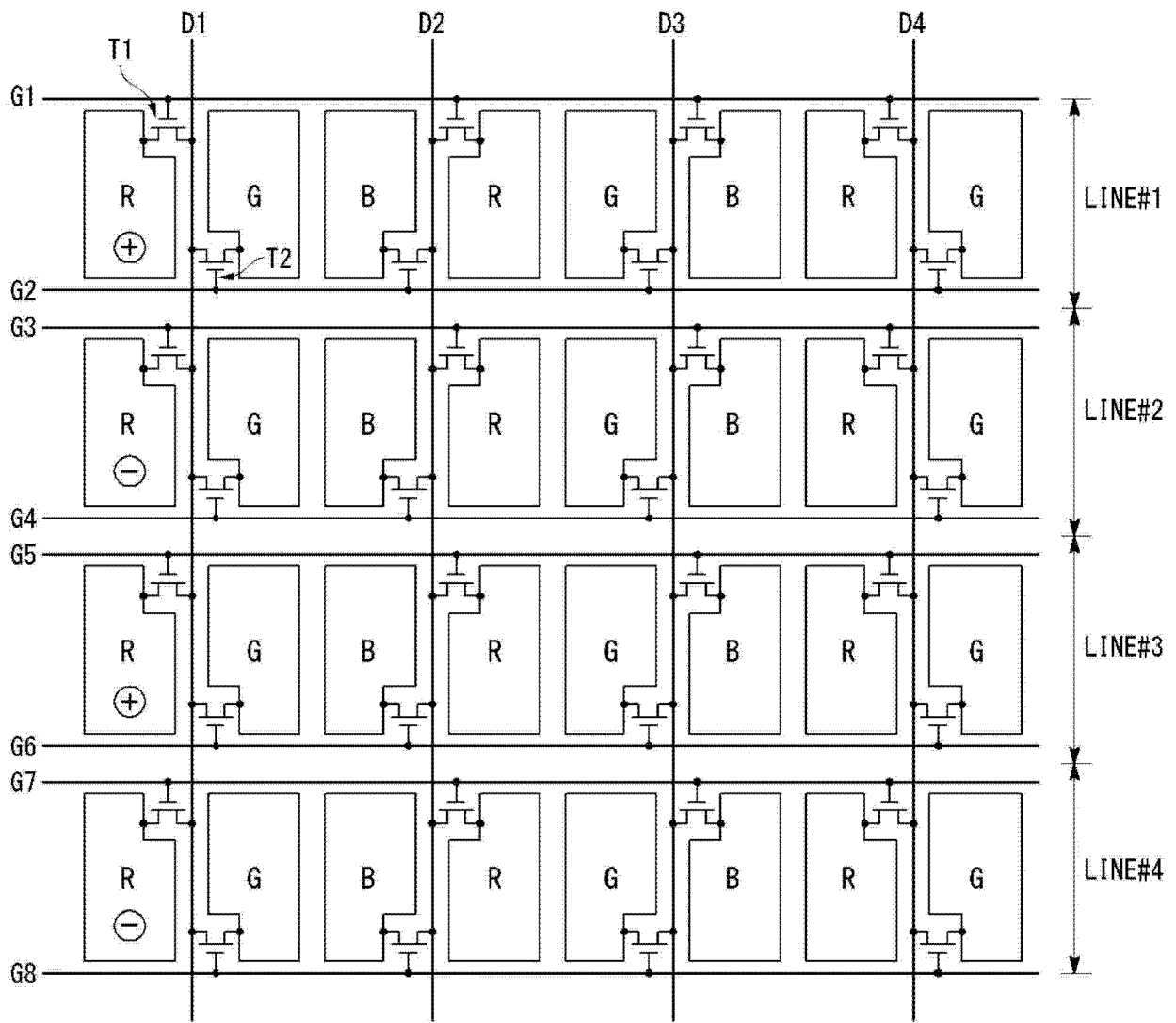


图 3

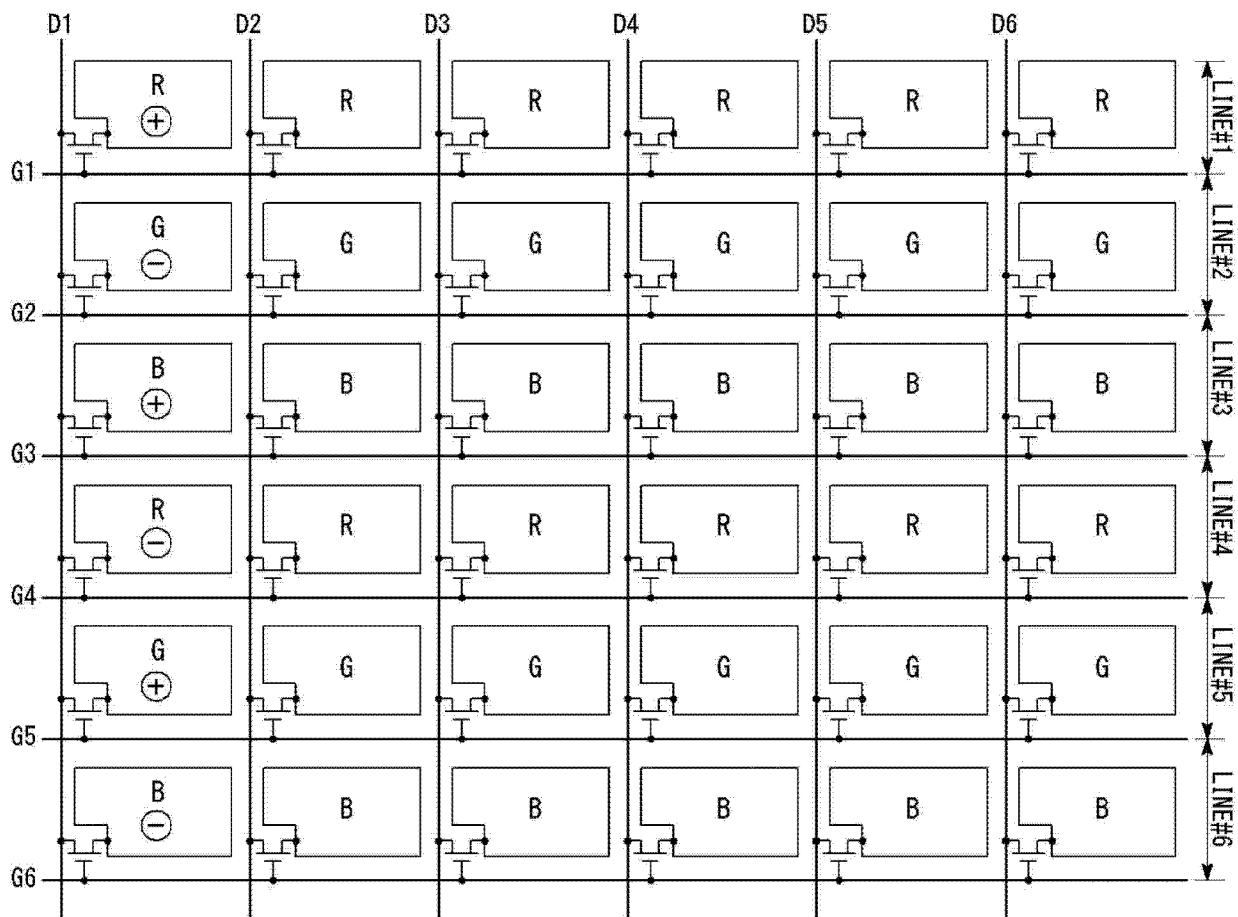


图 4

n (组编号)		1	2	3
常规技术		R G B R G B R G B R G B + + - - + + - - + + - -	R G B R G B R G B R G B + + - - + + - - + + - -	R G B R G B R G B R G B + + - - + + - - + + - -
N(n)			R G B R G B R G B R G B + + - - + + - - + + - -	R G B R G B R G B R G B + + - - + + - - + + - -
GPOL		0	0	1
G(n)	GPOL=0		R G B R G B R G B R G B + + - - + + - - + + - -	R G B R G B R G B R G B + + - - + + - - + + - -
	GPOL=1		R G B R G B R G B R G B - - + + - - + + - - + +	R G B R G B R G B R G B - - + + - - + + - - + +
DC(n)		DC(1)	DC(2)	DC(3)

图 5A

n(组编号)		4	5		n
常规技术		RGBRGBRGBRGB ++--++--++--	RGBRGBRGBRGB ++--++--++--	...	RGBRGBRGBRGB ++--++--++--
N(n)		RGBRGBRGBRGB ++--++--++--	RGBRGBRGBRGB ++--++--++--	...	RGBRGBRGBRGB ++--++--++--
GPOL		1	0		0
G(n)	GPOL=0	RGBRGBRGBRGB ++--++--++--	RGBRGBRGBRGB ++--++--++--	...	RGBRGBRGBRGB ++--++--++--
	GPOL=1	RGBRGBRGBRGB --++--++--++	RGBRGBRGBRGB --++--++--++	...	RGBRGBRGBRGB --++--++--++
DC(n)		DC(4)	DC(5)	...	DC(n)

图 5B

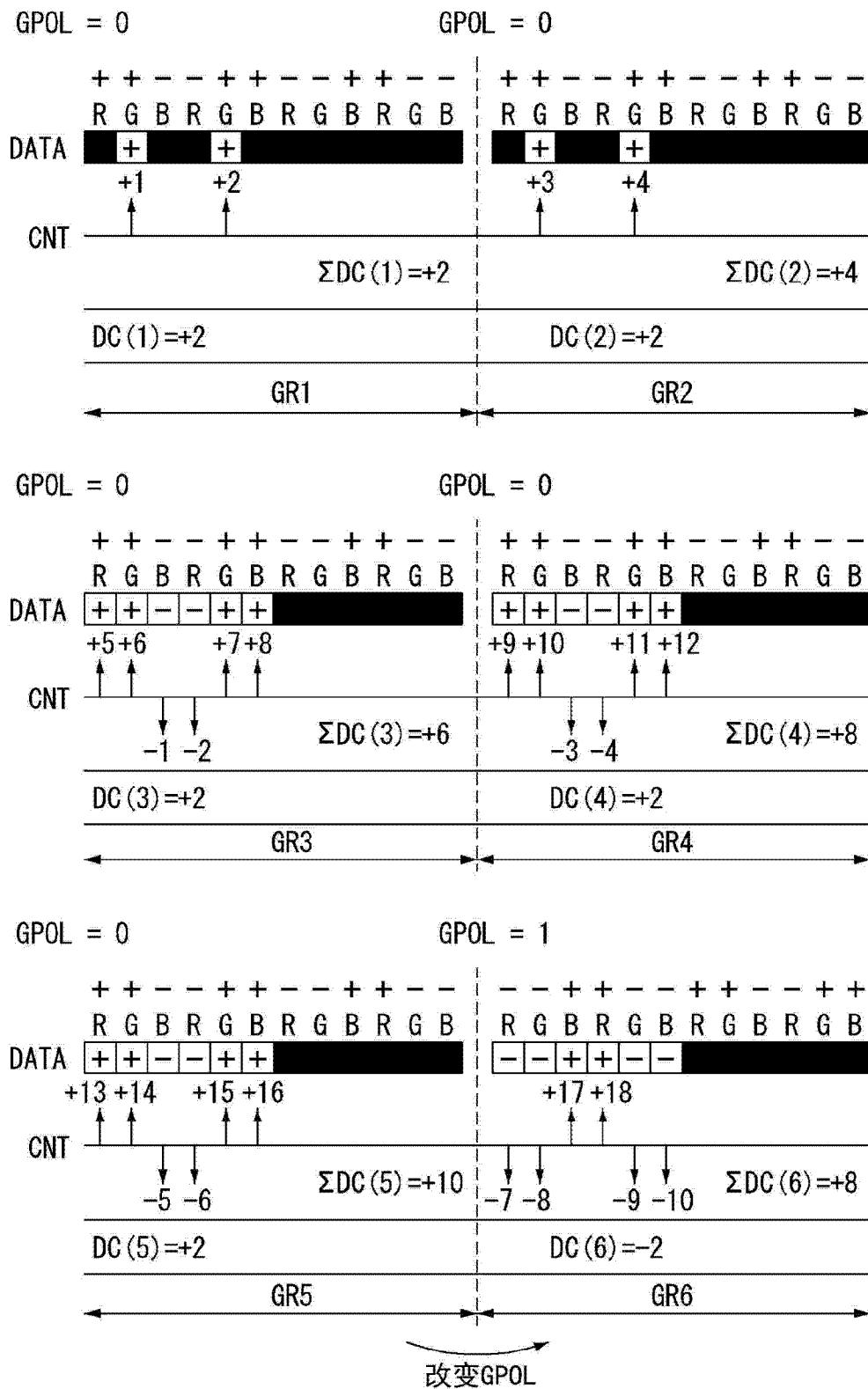


图 6

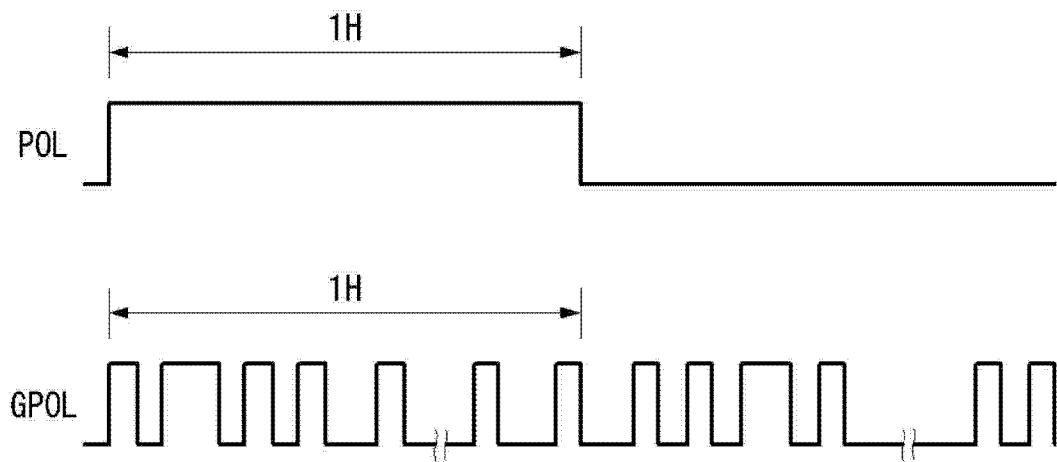


图 7

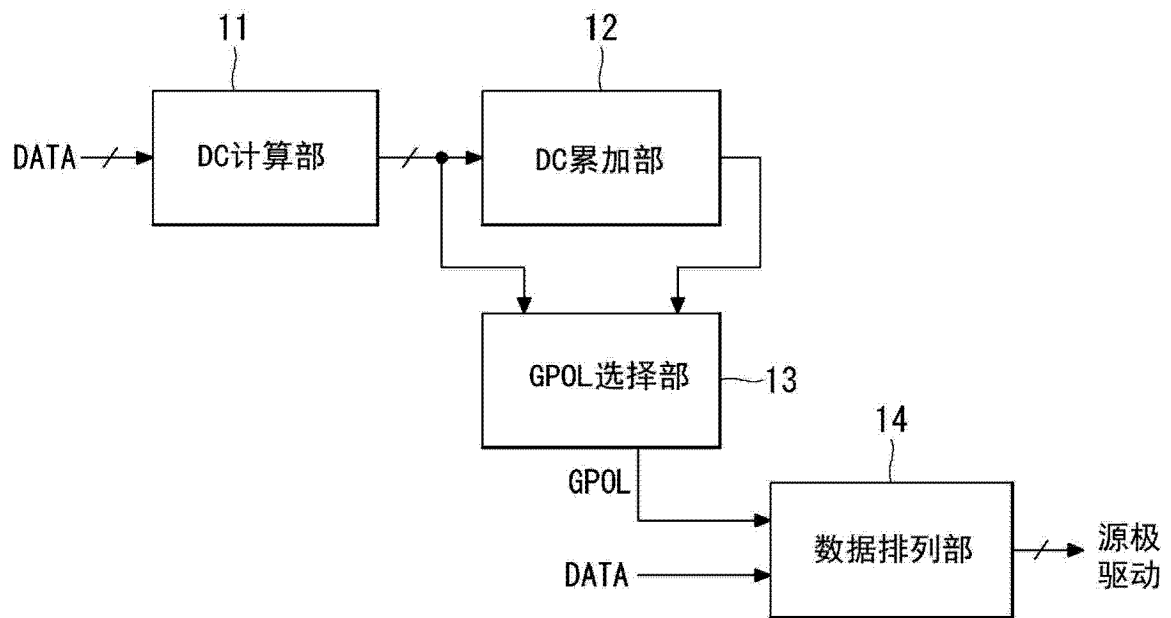


图 8

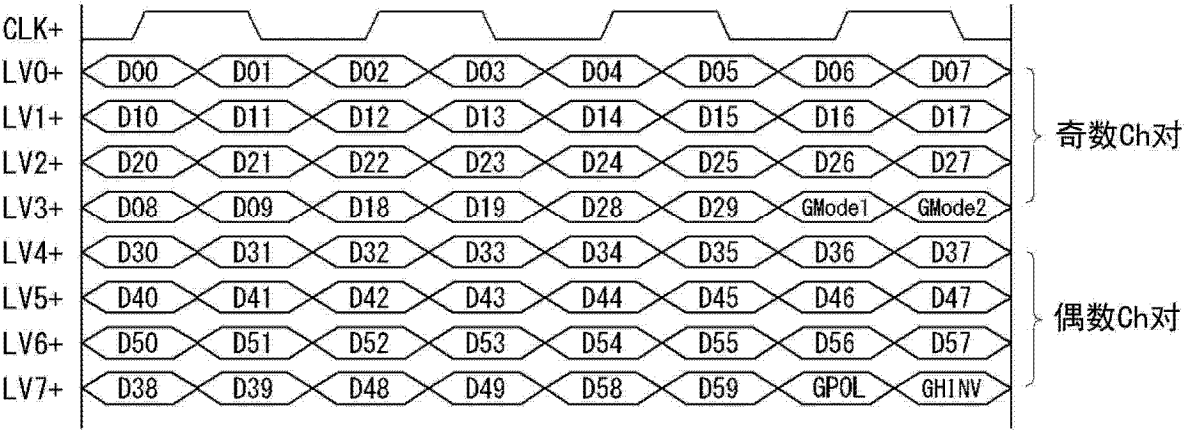


图 9

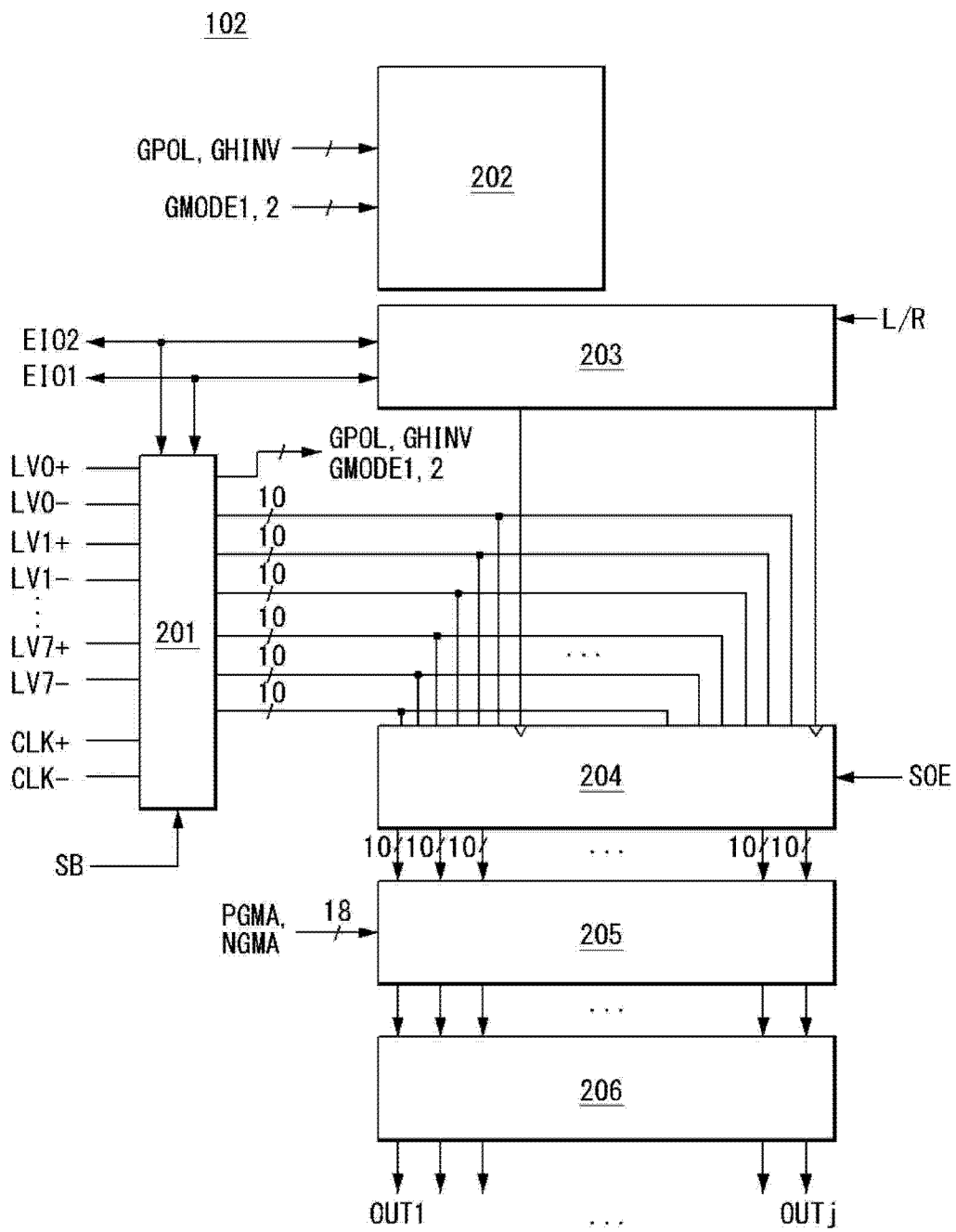


图 10

专利名称(译)	控制数据电压极性的方法及使用其的液晶显示器		
公开(公告)号	CN103915070A	公开(公告)日	2014-07-09
申请号	CN201310692949.8	申请日	2013-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	曹畅训		
发明人	曹畅训		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3696 G09G3/3614 G09G3/3648 G09G2320/0204		
代理人(译)	徐金国 赵静		
优先权	1020120157536 2012-12-28 KR		
其他公开文献	CN103915070B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种控制数据电压极性的方法及使用其的液晶显示器，所述方法包括：计算将要通过源极驱动IC中彼此相邻的I个通道输出的数据所属的每个组的数据的直流电流DC值；累加所述DC值；将第n组（n是正整数）的累加DC值的绝对值与预定阈值进行比较，所述第n组的累加DC值是通过累加直至第n-1组所得的第n-1组的累加DC值与第n组的DC值相加而获得的；和第n组的累加DC值的绝对值超过所述阈值时，改变组极性数据。

n(组编号)	4	5	...	n
常规技术	RGBRGBRGBRGB ++--++--++--	RGBRGBRGBRGB ++--++--++--	...	RGBRGBRGBRGB ++--++--++--
N(n)	RGBRGBRGBRGB ++--++--++--	RGBRGBRGBRGB ++--++--++--	...	RGBRGBRGBRGB ++--++--++--
GPOL	1	0	...	0
G(n)	GPOL=0 RGBRGBRGBRGB ++--++--++--	GPOL=0 RGBRGBRGBRGB ++--++--++--	...	GPOL=0 RGBRGBRGBRGB ++--++--++--
	GPOL=1 RGBRGBRGBRGB --++--++--++	GPOL=1 RGBRGBRGBRGB --++--++--++	...	GPOL=1 RGBRGBRGBRGB --++--++--++
DC(n)	DC(4)	DC(5)	...	DC(n)