



(12) 发明专利

(10) 授权公告号 CN 103295511 B

(45) 授权公告日 2015. 12. 02

(21) 申请号 201210352980. 2

US 2008/0036725 A1, 2008. 02. 14,

(22) 申请日 2012. 09. 19

US 2010/0231497 A1, 2010. 09. 16,

(73) 专利权人 上海中航光电子有限公司

审查员 刘占军

地址 上海市闵行区华宁路 3388 号

(72) 发明人 李峻 夏志强

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

(56) 对比文件

CN 1725287 A, 2006. 01. 25,

CN 1868003 A, 2006. 11. 22,

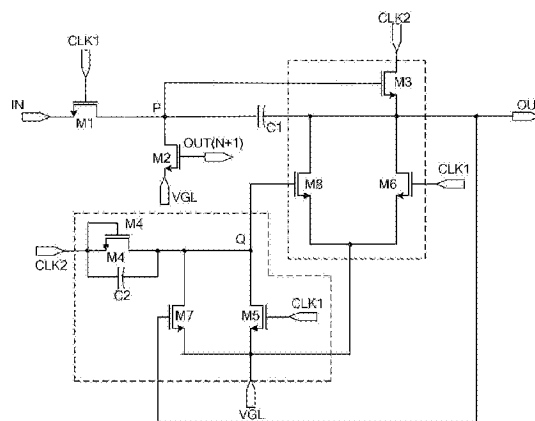
权利要求书2页 说明书6页 附图4页

(54) 发明名称

一种移位寄存器及薄膜晶体管液晶显示器

(57) 摘要

本发明提供一种移位寄存器及薄膜晶体管液晶显示器,所述移位寄存器包括多级由八个晶体管和两个电容组成的移位寄存电路,所述移位寄存电路包括信号输出模块的上拉晶体管、第一下拉晶体管和第二下拉晶体,开关晶体管,第一电容,复位晶体管,和辅助下拉模块的第一辅助下拉晶体管、第二辅助下拉晶体管和并联连接的第三辅助下拉晶体管和第二电容。第二电容作为缓冲器件,能够过滤输出信号中多余的毛刺信号,减少了信号串扰,同时由于第一下拉晶体管和第二下拉晶体管各自在半个下拉周期工作,也抑制了因晶体管宽长比过大的阈值电压的漂移,进而保证了电路的稳定性。通过设置辅助下拉模块,能够使第二节节点的输出波形更加稳定。



1. 一种移位寄存器,包括多级级联的移位寄存电路,每一级移位寄存电路,包括:
主输入端和主输出端;

信号输出模块,包括分别耦接于所述主输出端的上拉晶体管、第一下拉晶体管和第二下拉晶体管,所述上拉晶体管的栅极接第一节点,所述上拉晶体管用以在开启时产生高电平的输出信号至所述主输出端,所述第一下拉晶体管和所述第二下拉晶体管用以在开启时交替产生低电平的输出信号至所述主输出端,所述第二下拉晶体管的栅极接第二节点;

开关晶体管,耦接于所述主输入端和所述第一节点之间,用以根据主时钟信号和主输入端的输入信号控制所述上拉晶体管的开启;

第一电容,耦接于所述第一节点和所述主输出端之间,用以利用电容自举效应为所述上拉晶体管提供稳定电压;

复位晶体管,耦接于所述第一节点,用以控制所述上拉晶体管的关闭和所述主输出端输出的输出信号的重置;以及

辅助下拉模块,耦接于所述主输出端和所述第二节点,用以实现所述第一下拉晶体管和所述第二下拉晶体管交替产生低电平的输出信号,所述辅助下拉模块包括:

第一辅助下拉晶体管,用以根据主时钟信号快速释放所述第二节点的高电平;

第二辅助下拉晶体管,用以根据所述主输出端的输出信号为反馈控制所述第二节点的电平,进而稳定所述主输出端的电平;以及

并联连接的第三辅助下拉晶体管和所述第二电容,所述第二电容用以根据从时钟信号快速拉高所述第二节点的电平。

2. 如权利要求 1 所述的移位寄存器,其特征在于,在所述移位寄存器中,第一级移位寄存电路的开关晶体管接收初始信号,其后每级移位寄存电路的开关晶体管耦接于其前级移位寄存电路的主输出端;最后一级移位寄存电路的复位晶体管接收最终复位信号,其他每级移位寄存电路的复位晶体管耦接于其后级移位寄存电路的主输出端。

3. 如权利要求 2 所述的移位寄存器,其特征在于,所述上拉晶体管、第一下拉晶体管、第二下拉晶体管、开关晶体管、复位晶体管、第一辅助下拉晶体管、第二辅助下拉晶体管以及第三辅助下拉晶体管均为薄膜场效应晶体管。

4. 如权利要求 3 所述的移位寄存器,其特征在于,在每一移位寄存电路中:

在所述信号输出模块中:所述上拉晶体管的栅极接第一节点、源极接所述从时钟信号、漏极接所述主输出端,所述从时钟信号与所述主时钟信号反相;所述第一下拉晶体管的栅极接所述主时钟信号、源极接所述主输出端、漏极接低电平端;所述第二下拉晶体管的栅极接第二节点、源极接所述主输出端、漏极接低电平端;

所述开关晶体管的栅极接所述主时钟信号、源极接所述主输入端、漏极接所述第一节点;

所述复位晶体管的栅极接后一移位寄存电路的主输出端、源极接所述第一节点、漏极接低电平端;以及在所述辅助下拉模块中:

所述第一辅助下拉晶体管的栅极接所述主时钟信号、源极接所述第二节点、漏极接所述低电平端;

所述第二辅助下拉晶体管的栅极接所述主输出端、源极接所述第二节点、漏极接所述低电平端;

所述第三辅助下拉晶体管的栅极和漏极接所述从时钟信号、源极接所述第二节点。

5. 如权利要求 4 所述的移位寄存器,其特征在于,所述第三辅助下拉晶体管的宽长比大于所述第二辅助下拉晶体管的宽长比。

6. 如权利要求 5 所述的移位寄存器,其特征在于,所述第三辅助下拉晶体管的宽长比大于所述第二辅助下拉晶体管的宽长比的十倍。

7. 如权利要求 3 所述的移位寄存器,其特征在于,所述第一电容接所述第一节点和主输出端之间;所述第二电容接所述第三辅助下拉晶体管的源极和漏极之间。

8. 如权利要求 1 至 7 中任意一项所述的移位寄存器,其特征在于,所述第一下拉晶体管和所述第二下拉晶体管的工作时间分别为下拉周期的一半。

9. 如权利要求 1 至 7 中任意一项所述的移位寄存器,其特征在于,所述移位寄存器中移位寄存电路分为奇数级移位寄存电路和偶数级移位寄存电路,所述奇数级移位寄存电路接收的主时钟信号与所述偶数级移位寄存电路接收的主时钟信号反相。

10. 一种薄膜晶体管液晶显示器,其特征在于,包括显示阵列和栅极驱动电路,所述栅极驱动电路用以产生多个栅极信号来控制所述显示阵列,所述栅极驱动电路包括如权利要求 1 至 9 中任意一项所述的移位寄存器。

一种移位寄存器及薄膜晶体管液晶显示器

技术领域

[0001] 本发明涉及液晶平板显示技术,尤其涉及一种移位寄存器及薄膜晶体管液晶显示器。

背景技术

[0002] 以 TFT-LCD(Thin film transistor-Liquid crystal display,薄膜晶体管液晶显示器)为代表的 FPD(平板显示器件)技术自 20 世纪 90 年代开始迅速发展并逐步走向成熟。由于 TFT-LCD 具有高清晰、低功耗、轻薄、便于携带等优点,已被广泛应用于上述信息显示产品中,使 LCD 进入高画质、高彩色显示的新阶段,具有广阔的市场前景。目前几乎所有高档的 LCD 中都毫无例外地使用了 TFT 有源矩阵。TFT(Thin film transistor)有源矩阵主要包括 A-Si(amorphous silicon)TFT 有源矩阵和 P-Si(poly-silicon)TFT 有源矩阵两种。与 P-Si TFT 技术相比,A-Si TFT 技术发展比较成熟,均匀性好且成本较低,但其迁移率较低,一般在 $0.1 \sim 1.0 \text{cm}^2/\text{V} \cdot \text{s}$,P-Si TFT 的迁移率则可达 $50 \sim 200 \text{cm}^2/\text{V} \cdot \text{s}$ 。由于 A-Si TFT 迁移率比较低,致使其驱动电路速度较慢。

[0003] 中小尺寸 LCD 主要应用于便携式产品,因此在技术性能要求上与大尺寸 LCD 有所不同。中小尺寸产品更加强调显示器的轻、薄、器件的集成能力、更好的可靠性以及低成本。目前,市场对 LCD 的分辨率也提出了更高要求,为了使小型化 LCD 具有高分辨率,减少 TFT-LCD 驱动 IC 的数目是非常必要的。通常,当 LCD 的分辨率高于 QVGA($240 \times \text{RGB} \times 320$)时,TFT 面板需要超过 1000 条外部引线。当产品分辨率进一步增加时,在有限的空间内制作更多的外引线就变得非常困难。

[0004] 以上技术问题可以通过将驱动电路(gate driver circuits 或 source driver circuits)集成在有源矩阵 LCD 基板上来解决。这种技术可以使显示器成本更低、结构更紧凑、机械可靠性更高从而使其具有更大的市场竞争力。

[0005] 并且随着技术的发展,扫描电路趋向于电路集成化,越来越多的公司采用移位寄存器代替了扫描驱动 IC,从而减小了 LCD 的显示边框大小,同时由于电路集成在显示面板上,也降低了 IC 的使用数量,从而大大降低了显示面板的制作成本。

[0006] 随着高端产品越来越追求窄边框和轻型化,因此移位寄存电路的尺寸要求不断减小,同时移位寄存电路为作为驱动电路控制有源矩阵 LCD 基板的显示,故要求移位寄存电路能够提供稳定的电流。

[0007] 因此,提供一种晶体管数量少使整体尺寸小且工作提供的信号波形稳定的移位寄存器和由该种移位寄存器级联形成的薄膜晶体管液晶显示器成为业界广泛关注的问题。

发明内容

[0008] 本发明所要解决的技术问题是提供一种晶体管数量少、工作波形稳定的移位寄存器和由该种移位寄存器级联形成的薄膜晶体管液晶显示器。

[0009] 本发明还提供一种移位寄存器,包括多级级联的移位寄存电路,每一级移位寄存

电路,包括:

[0010] 主输入端和主输出端;

[0011] 信号输出模块,包括分别耦接于所述主输出端的上拉晶体管、第一下拉晶体管和第二下拉晶体管,所述上拉晶体管的输入端接第一节点,所述上拉晶体管用以在开启时产生高电平的输出信号至所述主输出端,所述第一下拉晶体管和所述第二下拉晶体管用以在开启时交替产生低电平的输出信号至所述主输出端,所述第二下拉晶体管的输入端接第二节点;

[0012] 开关晶体管,耦接于所述主输入端和所述第一节点之间,用以根据主时钟信号和主输入端的输入信号控制所述上拉晶体管的开启;

[0013] 第一电容,耦接于所述第一节点和所述主输出端之间,用以利用电容自举效应为所述上拉晶体管提供稳定电压;

[0014] 复位晶体管,耦接于所述第一节点,用以控制所述上拉晶体管的关闭和所述主输出端输出的输出信号的重置;以及

[0015] 辅助下拉模块,耦接于所述主输出端和所述第二节点,用以实现所述第一下拉晶体管和所述第二下拉晶体管交替产生低电平的输出信号,所述辅助下拉模块包括:第一辅助下拉晶体管,用以根据主时钟信号快速释放所述第二节点的高电平;第二辅助下拉晶体管,用以根据所述主输出端的输出信号为反馈控制所述第二节点的电平,进而稳定所述主输出端的电平;以及并联连接的第三辅助下拉晶体管和所述第二电容,所述第二电容用以根据从时钟信号快速拉高所述第二节点的电平。

[0016] 进一步的,在所述移位寄存器中,第一级移位寄存电路的开关晶体管接收初始信号,其后每级移位寄存电路的开关晶体管耦接于其前级移位寄存电路的主输出端;最后一级移位寄存电路的复位晶体管接收最终复位信号,其他每级移位寄存电路的复位晶体管耦接于其后级移位寄存电路的主输出端。

[0017] 进一步的,所述上拉晶体管、第一下拉晶体管、第二下拉晶体管、开关晶体管、复位晶体管、第一辅助下拉晶体管、第二辅助下拉晶体管以及第三辅助下拉晶体管均为薄膜场效应晶体管。

[0018] 进一步的,在每一移位寄存电路中:在所述信号输出模块中:所述上拉晶体管的栅极接第一节点、源极接所述从时钟信号、漏极接所述主输出端,所述从时钟信号与所述主时钟信号反相;所述第一下拉晶体管的栅极接所述主时钟信号、源极接所述主输出端、漏极接低电平端;所述第二下拉晶体管的栅极接第二节点、源极接所述主输出端、漏极接低电平端;所述开关晶体管的栅极接所述主时钟信号、源极接所述主输入端、漏极接所述第一节点;所述复位晶体管的栅极接后一移位寄存电路的主输出端、源极接所述第一节点、漏极接低电平端;以及在所述辅助下拉模块中:所述第一辅助下拉晶体管的栅极接所述主时钟信号、源极接所述第二节点、漏极接所述低电平端;所述第二辅助下拉晶体管的栅极接所述主输出端、源极接所述第二节点、漏极接所述低电平端;所述第三辅助下拉晶体管的栅极和漏极接所述从时钟信号、源极接所述第二节点。

[0019] 进一步的,所述第三辅助下拉晶体管的宽长比大于所述第二辅助下拉晶体管的宽长比。

[0020] 进一步的,所述第三辅助下拉晶体管的宽长比大于所述第二辅助下拉晶体管的宽

长比的十倍。

[0021] 进一步的,所述第一电容接所述第一节点和主输出端之间;所述第二电容接所述第三辅助下拉晶体管的源极和漏极之间。

[0022] 进一步的,所述第一下拉晶体管和所述第二下拉晶体管的工作时间分别为下拉周期的一半。

[0023] 进一步的,所述移位寄存器中移位寄存电路分为奇数级移位寄存电路和偶数级移位寄存电路,所述奇数级移位寄存电路接收的主时钟信号与所述偶数级移位寄存电路接收的主时钟信号反相。

[0024] 结合上述移位寄存器,本发明还提供一种薄膜晶体管液晶显示器,包括显示阵列和栅极驱动电路,所述用以产生多个栅极信号来控制所述显示阵列,所述栅极驱动电路包括前述的移位寄存器。

[0025] 本发明所述移位寄存器有多个级联的移位寄存电路,每一级移位寄存电路包括八个晶体管和两个电容,即 8T2C 的电路结构。所述移位寄存电路在工作的过程中,主输出端提供输出信号,该输出信号同时反馈第二辅助下拉晶体管,由于第二辅助下拉晶体管的宽长比远大于第三辅助下拉管的宽长比,所以第二辅助下拉晶体管的电流比第三辅助下拉管的电流更大,从而使得第二节点的电流更接近第二辅助下拉晶体管导通的低电平的电压,从而使得过滤掉了从时钟信号的一个高脉冲信号。

[0026] 同时,通过设置第二电容能够在从时钟信号发出一个高脉冲信号时,使第二节点的电压快速升高,以迅速的下拉主输出端的电平,从而可以作为缓冲器件,过滤输出信号中多余的毛刺信号,减少了信号串扰,进一步提高输出信号的稳定性。

[0027] 进一步的,第一辅助下拉晶体管的作用主要是释放掉第二节点的高电压,使得第二下拉晶体管能够工作在 50% 的周期中,加上第一下拉晶体管在主时钟脉冲信号输出高脉冲时主输出端的电平下拉,从而使所述移位寄存电路达到 100% 的下拉周期,从而没有浮空周期。同时由于第一下拉晶体管和所述第二下拉晶体管各自在半个下拉周期工作,也抑制了因晶体管宽长比过大的阈值电压的漂移,进而保证了电路的稳定性。通过设置辅助下拉模块,能够使第二节点的输出波形更加稳定。

[0028] 此外,所述移位寄存电路中辅助下拉模块均为并联电阻的结构,因此第二节点的输出波形能够更快达到高电平,进而使信号反应速度更快,使最终输出波形更加稳定。

[0029] 综上所述,本发明所述的移位寄存器的移位寄存电路利用输出信号作为反馈进一步控制信号稳定输出,从而达到电流稳定控制下拉电压的目的,同时采用双下拉晶体管对输出端进行下拉,且能够利用 100% 的下拉周期进行充分下拉,避免了浮空状态,进而使电路稳定。

附图说明

[0030] 图 1 为本发明一实施例中移位寄存器的结构示意图。

[0031] 图 2 为本发明一实施例中移位寄存电路的结构示意图。

[0032] 图 3 为本发明一实施例中移位寄存器工作过程中的信号时序图。

[0033] 图 4(a) 为现有技术中一移位寄存电路的工作过程的信号时序图。

[0034] 图 4(b) 为本发明一实施例中移位寄存器工作过程中的信号时序图。

具体实施方式

[0035] 为使本发明的内容更加清楚易懂,以下结合说明书附图,对本发明的内容作进一步说明。当然本发明并不局限于该具体实施例,本领域内的技术人员所熟知的一般替换也涵盖在本发明的保护范围内。

[0036] 其次,本发明利用示意图进行了详细的表述,在详述本发明实例时,为了便于说明,示意图不依照一般比例局部放大,不应以此作为对本发明的限定。

[0037] 图1为本发明一实施例中移位寄存器的结构示意图,如图1所示,所述移位寄存器的移位寄存电路依次产生栅极信号控制显示阵列进行图像显示。其中,在本实施例中,所述移位寄存器中移位寄存电路分为奇数级移位寄存电路和偶数级移位寄存电路,所述奇数级移位寄存电路接收的主时钟信号与所述偶数级移位寄存电路接收的主时钟信号反相,即奇数级移位寄存电路接收的主时钟信号 CK1 对应接收第一时钟信号 CLK,相应所述偶数级移位寄存电路接收的主时钟信号 CK2 对应接收第二时钟信号 CLKB,第一时钟信号 CLK 与第二时钟信号 CLKB 反相。并且第一级移位寄存电路的开关晶体管 M1 接收初始信号 STP,其后每级移位寄存电路的开关晶体管 M1 耦接于其前级移位寄存电路的主输出端 OUT,即第 N+1 级移位寄存电路的开关晶体管 M1 耦接于第 N 级移位寄存电路的主输出端 OUT,其中 N 为小于移位寄存电路总数的正整数;最后一级移位寄存电路的复位晶体管 M2 接收最终复位信号,其他每级移位寄存电路的复位晶体管 M2 耦接于其后级移位寄存电路的主输出端 OUT,从而实现每一移位寄存电路的输出信号控制其后一移位寄存电路的开启,每一移位寄存电路的输出信号控制其前一移位寄存电路的复位,使移位寄存器中的移位寄存电路依次输出输出信号。奇数级移位寄存电路接收的主时钟信号 CK1 对应接收第一时钟信号 CLK,相应所述偶数级移位寄存电路接收的主时钟信号 CK2 对应接收第二时钟信号 CLKB,第一时钟信号 CLK 与第二时钟信号 CLKB 反相。

[0038] 图2为本发明一实施例中移位寄存电路的结构示意图。结合图1和图2,本发明提供一种移位寄存器,包括多级级联的移位寄存电路10,每一移位寄存电路10,包括:主输入端 IN 和主输出端 OUT、信号输出模块100、开关晶体管 M1、第一电容 C1、复位晶体管 M2 和辅助下拉模块200。

[0039] 所述信号输出模块100包括分别耦接于所述主输出端 OUT 的上拉晶体管 M3、第一下拉晶体管 M6 和第二下拉晶体管 M8,所述上拉晶体管 M3 的输入端接第一节点 P,所述上拉晶体管 M3 用以在开启时产生高电平的输出信号至所述主输出端 OUT,所述第一下拉晶体管 M6 和第二下拉晶体管 M8 用以在开启时交替产生低电平的输出信号至所述主输出端 OUT,所述第二下拉晶体管 M8 的输入端接第二节点 Q;

[0040] 所述开关晶体管 M1 耦接于所述主输入端和所述第一节点 P 之间,用以根据主时钟信号 CK1 和主输入端 IN 的输入信号控制所述上拉晶体管 M3 的开启;

[0041] 所述第一电容 C1 耦接于所述第一节点 P 和所述主输出端 OUT 之间,用以利用电容自举效应为所述上拉晶体管 M3 提供稳定电压;

[0042] 所述复位晶体管 M2 耦接于所述第一节点 P,用以控制所述上拉晶体管 M3 的关闭和所述主输出端 IN 输出的输出信号的重置;以及

[0043] 所述辅助下拉模块200耦接于所述主输出端 IN 和所述第二节点 Q,用以实现所述

第一下拉晶体管 M6 和第二下拉晶体管 M8 交替产生低电平的输出信号,所述辅助下拉模块 200 包括:第一辅助下拉晶体管 M5,用以根据主时钟信号快速释放所述第二节点 Q 的高电平;第二辅助下拉晶体管 M7,用以根据所述主输出端 OUT 的输出信号为反馈控制所述第二节点 Q 的电平,进而稳定所述主输出端 OUT 的电平;以及并联连接的第三辅助下拉晶体管 M4 和第二电容 C2,所述第二电容 C2 用以根据从时钟信号 CK2 快速拉高所述第二节点 Q 的电平,所述从时钟信号与所述主时钟信号反相。利用输出信号作为反馈进一步控制信号稳定输出,从而达到电流稳定控制下拉电压的目的,同时采用双下拉晶体管对输出端进行下拉,使电路稳定。

[0044] 同时,所述移位寄存电路中辅助下拉模块 200 均为并联电阻的结构,因此第二节点 Q 的输出波形能够更快达到高电平,进而使信号反应速度更快,使最终输出波形更加稳定。

[0045] 本发明所述移位寄存器有多个级联的移位寄存电路,每一级移位寄存电路包括八个晶体管和两个电容,即 8T2C 的电路结构。其中, M1 是开关晶体管, M2 是复位晶体管, M3 是上拉晶体管, M6 是第一下拉晶体管, M8 是第二下拉晶体管, M5、M7 和 M4 分别为第一至第三辅助下拉晶体管。本发明所述的移位寄存电路所使用晶体管数目少,可以有效降低边框大小,减小面板的尺寸,并有效降低了面板的成本;同时,保证了移位寄存电路正常工作,电路稳定,并提高反应速度。在本实施例中,所述上拉晶体管 M3、第一下拉晶体管 M6、第二下拉晶体管 M8、开关晶体管 M1、复位晶体管 M2、第一辅助下拉晶体管 M5、第二辅助下拉晶体管 M6 以及第三辅助下拉晶体管 M4 均为薄膜场效应晶体管。

[0046] 在每一移位寄存电路中:在所述信号输出模块 100 中:所述上拉晶体管 M3 的栅极接第一节点 P、源极接所述从时钟信号 CK2、漏极接所述主输出端 OUT;所述第一下拉晶体管 M6 的栅极接所述主时钟信号 CK1、源极接所述主输出端、漏极接低电平端;所述第二下拉晶体管 M8 的栅极接第二节点 Q、源极接所述主输出端 OUT、漏极接低电平端 VGL;所述开关晶体管 M1 的栅极接所述主时钟信号 CK1、源极接所述主输入端 IN、漏极接所述第一节点 P;所述复位晶体管 M2 的栅极接后一移位寄存电路的主输出端 OUT、源极接所述第一节点 P、漏极接低电平端 VGL;以及在所述辅助下拉模块 200 中:所述第一辅助下拉晶体管 M5 的栅极接所述主时钟信号 CK1、源极接所述第二节点 Q、漏极接所述低电平端 VGL;所述第二辅助下拉晶体管 M7 的栅极接所述主输出端 OUT、源极接所述第二节点 Q、漏极接所述低电平端 VGL;所述第三辅助下拉晶体管 M4 的栅极和漏极接所述从时钟信号 CK2、源极接所述第二节点 Q。所述移位寄存电路中辅助下拉模块均为并联电阻的结构,因此 Q 点的输出波形能够更快达到高电平,进而使信号反应速度更快,使最终输出波形更加稳定。

[0047] 图 3 为本发明一实施例中移位寄存器工作过程中的信号时序图。结合图 2 和图 3,第一辅助下拉晶体管 M5 的作用主要是释放掉第二节点 Q 的高电压,使得第二下拉晶体管 M8 能够工作在 50% 的周期中,加上第一下拉晶体管 M6 在主时钟脉冲信号 CK1 输出高脉冲时主输出端 OUT 的电平下拉,从而使所述移位寄存电路达到 100% 的下拉周期,从而没有浮空周期,避免了浮空状态,进而使电路稳定。同时,由于下拉管 M6 和 M8 只有半个周期工作,也抑制了管子过大的阈值电压的漂移,保证了电路的稳定性。

[0048] 在较佳的实施例中,所述第三辅助下拉晶体管 M4 的宽长比大于所述第二辅助下拉晶体管 M7 的宽长比。在较佳的实施例中,所述第三辅助下拉晶体管 M4 的宽长比大于所

述第二辅助下拉晶体管 M7 的宽长比的十倍。所述移位寄存电路通过主输出端 OUT 提供输出信号,该输出信号反馈第二辅助下拉晶体管 M7,由于第二辅助下拉晶体管 M7 的宽长比远大于第三辅助下拉管 M4 的宽长比,所以第二辅助下拉晶体管 M7 的电流比第三辅助下拉管 M4 的电流更大,使得第二节点 Q 的电流更接近第二辅助下拉晶体管 M7 导通的低电平 VGL 的电压,形成如图 3 所示的波形,从而使得过滤掉了从时钟信号 CK2 的一个高脉冲信号。

[0049] 进一步的,所述第一电容 C1 接所述第一节点 P 和主输出端 OUT 之间;所述第二电容 C2 接所述第三辅助下拉晶体管 M4 的源极和漏极之间。第二电容 C2 的作用是当从时钟信号 CLK2 发出一个高脉冲信号时,使第二节点 Q 的电压快速升高,通过晶体管 M8 来迅速的下拉主输出端 OUT 的电平,同时第二电容 C2 可以作为缓冲器件,过滤输出信号中多余的毛刺信号,减少了信号串扰。图 4(a) 为现有技术中一移位寄存电路的工作过程的信号时序图,图 4(a) 对应的移位寄存电路中不具有第二电容 C2,图 4(b) 本实施例具有第二电容 C2 的移位寄存电路,由图 4(b) 中 300b 与图 4(a) 中 300a 的比较可知,增加第二电容 C2 后,Q 点电压的上拉时间速度明显提高,由图 4(b) 中 400b 与图 4(a) 中 400a 的比较可知,其 Q 点在下拉过程中,亦过滤掉了输出信号中多余的毛刺信号。

[0050] 进一步的,所述第一下拉晶体管 M6 和第二下拉晶体管 M8 的工作时间分别为下拉周期的一半。由于第一下拉晶体管 M6 和第二下拉晶体管 M8 各自在半个下拉周期工作,也抑制了因晶体管宽长比过大的阈值电压的漂移,进而保证了电路的稳定性。通过设置辅助下拉模块 200,能够使第二节点 Q 的输出波形更加稳定。

[0051] 综上所述,本发明所述的移位寄存器的移位寄存电路利用输出信号作为反馈进一步控制信号稳定输出,从而达到电流稳定控制下拉电压的目的,同时采用双下拉晶体管对输出端进行下拉,且能够利用 100% 的下拉周期进行充分下拉,避免了浮空状态,进而时电路稳定。

[0052] 本发明还提供一种由前述的移位寄存器组成的薄膜晶体管液晶显示器,所述薄膜晶体管液晶显示器包括显示阵列和栅极驱动电路,所述用以产生多个栅极信号来控制所述显示阵列,所述栅极驱动电路包括采用前述的移位寄存器。采用本发明所述的移位寄存器组成的薄膜晶体管液晶显示器的显示更加稳定,反应速度更快,且减小了面板尺寸,实现高端轻薄产品的顺利量产,进一步降低生产成本。

[0053] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视权利要求书所界定者为准。

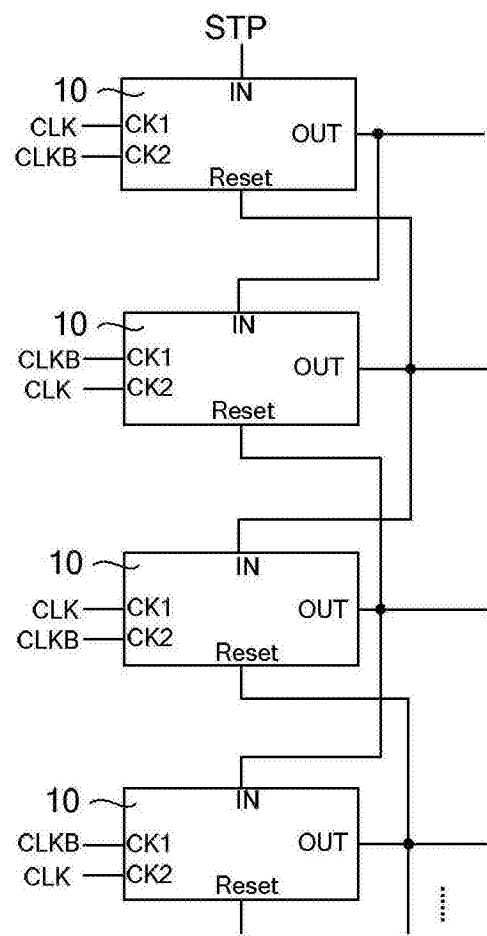


图 1

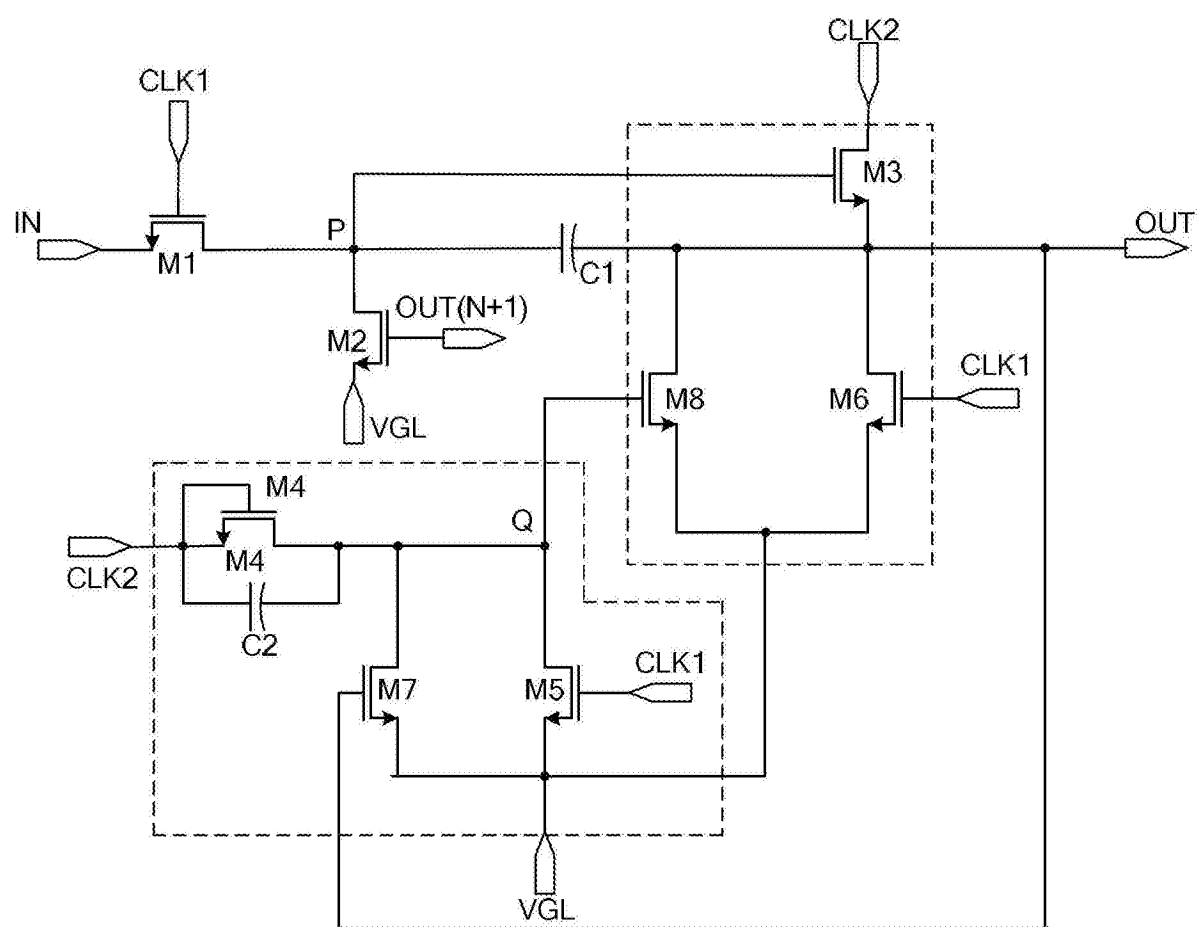


图 2

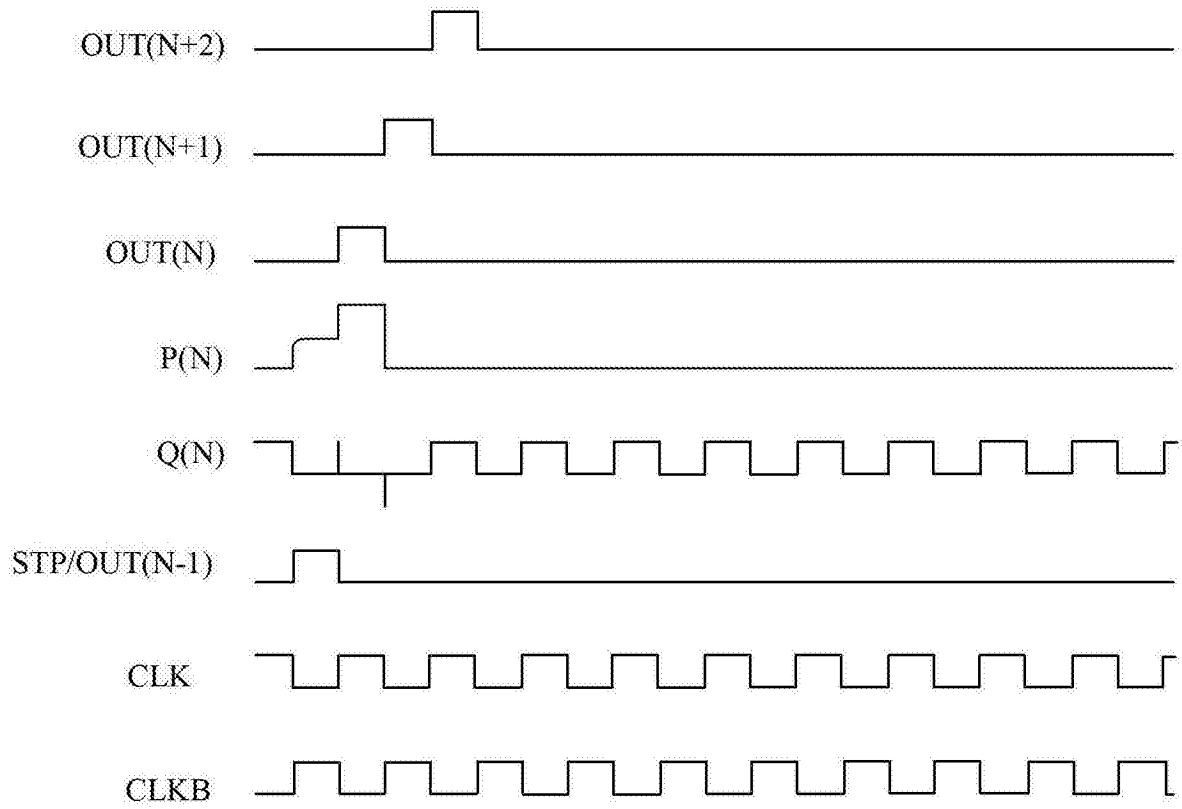


图 3

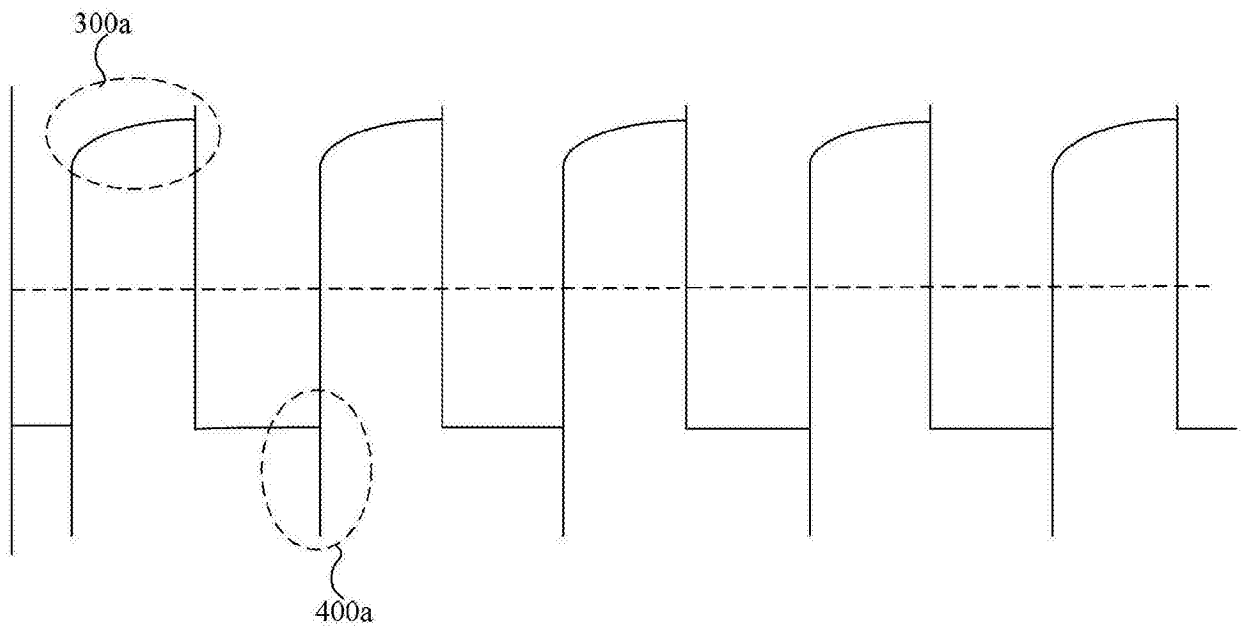


图 4a

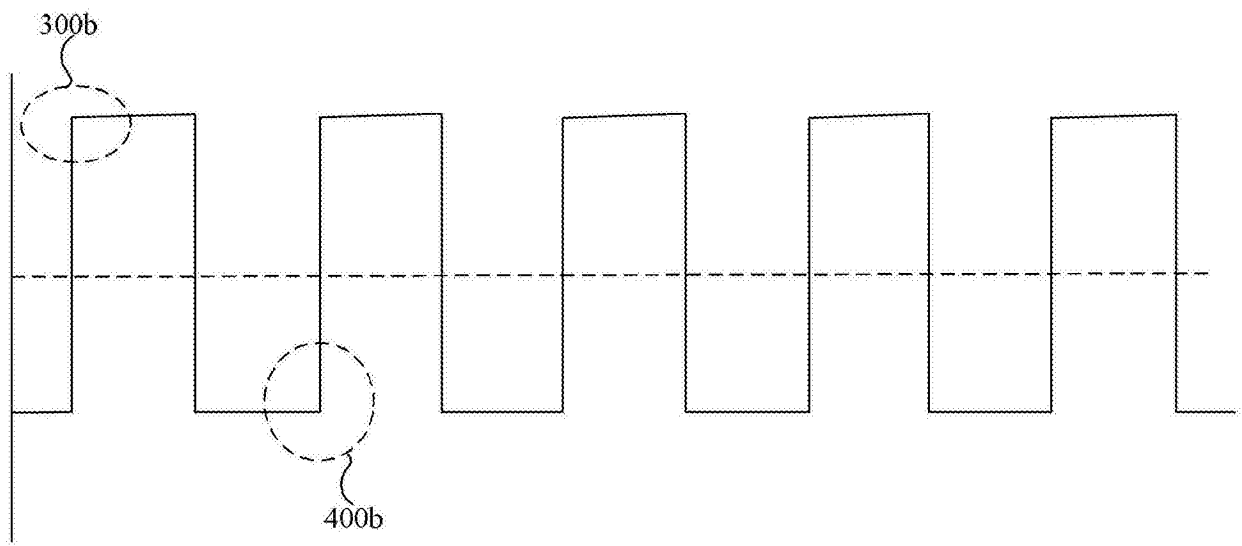


图 4b

