



(12)实用新型专利

(10)授权公告号 CN 207458551 U

(45)授权公告日 2018.06.05

(21)申请号 201721465372.7

(22)申请日 2017.11.06

(73)专利权人 小春立体科技有限公司

地址 518051 广东省深圳市南山区华信息
港综合楼501

专利权人 艾优优(深圳)技术有限公司

(72)发明人 刘帅辰 文鹏 郑宝荣

(74)专利代理机构 广州华进联合专利商标代理
有限公司 44224

代理人 吴平

(51)Int.Cl.

G09G 3/36(2006.01)

(ESM)同样的发明创造已同日申请发明专利

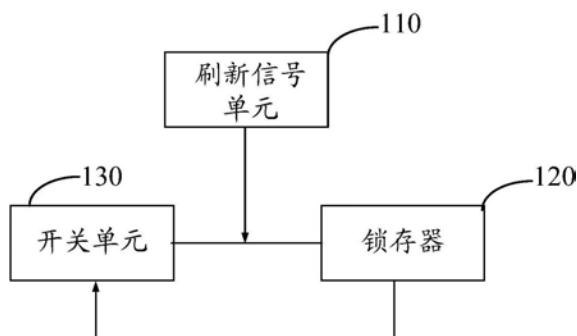
权利要求书1页 说明书5页 附图4页

(54)实用新型名称

硅基液晶像素电路及其显示装置

(57)摘要

本实用新型涉及一种硅基液晶像素电路,包括刷新信号单元、锁存器及开关单元;刷新信号单元,连接锁存器的输入端,用于根据设定的时序向锁存器输入刷新信号;锁存器,输入端分别连接刷新信号单元的输出端和开关单元的输出端,用于在开关单元导通时,接收开关单元传输的数据位并进行存储;开关单元,用于控制数据位的传输,进而控制锁存器的存储,并在锁存器输入刷新信号时导通以及在输入开关单元传输的数据位后关断。上述硅基液晶像素电路,刷新信号单元对锁存器置于一电位,使开关单元导通而后断开,锁存器进行存储,之后两端的电位发生转变,开关单元断开,再给开关单元输入电平时,开关单元无法导通,使得在调制期间不会有错误数据写入像素电路。



1. 一种硅基液晶像素电路,其特征在于,所述像素电路包括:刷新信号单元、锁存器及开关单元;

刷新信号单元,连接所述锁存器的输入端,用于根据设定的时序向所述锁存器输入刷新信号;

锁存器,输入端分别连接所述刷新信号单元的输出端和所述开关单元的输出端,用于在所述开关单元导通时,接收所述开关单元传输的数据位并进行存储;

开关单元,用于控制所述数据位的传输,进而控制所述锁存器的存储,并在所述锁存器输入刷新信号时导通以及在输入开关单元传输的数据位后关断。

2. 根据权利要求1所述的硅基液晶像素电路,其特征在于,所述开关单元包括第一晶体管;所述第一晶体管的输出端连接所述锁存器的输入端,所述第一晶体管的控制端连接所述锁存器的输出端,所述第一晶体管的输入端与外部的数据源相连。

3. 根据权利要求2所述的硅基液晶像素电路,其特征在于,所述第一晶体管包括NMOS管和PMOS管中的一种。

4. 根据权利要求1所述的硅基液晶像素电路,其特征在于,所述刷新信号单元包括第二晶体管,所述第二晶体管的输出端连接所述锁存器的输入端,所述第二晶体管的控制端连接外部置位信号,所述第二晶体管的输入端接地或接入高电平。

5. 根据权利要求1所述的硅基液晶像素电路,其特征在于,所述像素电路还包括第一反相器;所述第一反相器的输入端和输出端分别对应连接所述锁存器的输出端和所述开关单元的控制端;所述第一反相器用于对所述锁存器输出端的高电位进行反相,以使所述开关单元断开。

6. 根据权利要求1所述的硅基液晶像素电路,其特征在于,所述锁存器包括第二反相器和第三反相器;所述第二反相器与所述第三反相器并联且方向相反。

7. 根据权利要求1所述的硅基液晶像素电路,其特征在于,所述开关单元还包括二极管;所述二极管的输出端连接所述锁存器的输入端,所述二极管用于在所述锁存器存储数据之后截止。

8. 根据权利要求1所述的硅基液晶像素电路,其特征在于,所述像素电路还包括:输入单元,连接所述开关单元的输入端,用于向所述开关单元输入携带有数据的电平信号。

9. 根据权利要求8所述的硅基液晶像素电路,其特征在于,所述输入单元的输出端还连接所述开关单元的控制端,用于在所述开关单元导通后,将所述输入单元的电位反馈至所述开关单元,以使所述开关单元断开。

10. 一种显示装置,其特征在于,包括权利要求1-9中任一项权利要求所述的硅基液晶像素电路。

硅基液晶像素电路及其显示装置

技术领域

[0001] 本实用新型涉及液晶显示技术领域,特别是涉及一种硅基液晶像素电路及其显示装置。

背景技术

[0002] 硅基液晶(Liquid Crystal On Silicon,LCOS)是一种基于反射模式,尺寸非常小的矩阵液晶显示装置,并且具有光利用效率高、开口率高、制造成本低等特点。另外,硅基液晶的解析度也可以做得很高,在便携型投影设备的应用上是其他技术无法比拟的,因此硅基液晶深受生产商的青睐。近年来,硅基液晶主要采用脉冲宽度调制方式来控制液晶的发光时间长度,以达到调节反射光的目的。而具体脉冲宽度调制方法的选择决定了硅基液晶的显示效果及片上视频缓存的大小,真单脉冲调制方式可以使硅基液晶达到较好的显示效果,但相对于其他方式,所使用的视频缓存也是最多的。目前,研究人员开发出一种只使用一个视频缓存来完成真单脉冲调制,而且也不需要增加太多的用于等待新数据写入的空白时间,但是同时也存在一些问题是基于SRAM(Static Random Access Memory,静态随机存取存储器)的像素电路无法克服的。

实用新型内容

[0003] 基于此,有必要针对错误数据可写入像素电路的问题,提供一种硅基液晶像素电路及其显示装置。

[0004] 一种硅基液晶像素电路,所述像素电路包括:刷新信号单元、锁存器及开关单元;

[0005] 刷新信号单元,连接所述锁存器的输入端,用于根据设定的时序向所述锁存器输入刷新信号;

[0006] 锁存器,输入端分别连接所述刷新信号单元的输出端和所述开关单元的输出端,用于在所述开关单元导通时,接收所述开关单元传输的数据位并进行存储;

[0007] 开关单元,用于控制所述数据位的传输,进而控制所述锁存器的存储,并在所述锁存器输入刷新信号时导通以及在输入开关单元传输的数据位后关断。

[0008] 在其中一个实施例中,所述开关单元包括第一晶体管;所述第一晶体管的输出端连接所述锁存器的输入端,所述第一晶体管的控制端连接所述锁存器的输出端,所述第一晶体管的输入端与外部的数据源相连。

[0009] 在其中一个实施例中,所述第一晶体管包括NMOS管和PMOS管中的一种。

[0010] 在其中一个实施例中,所述刷新信号单元包括第二晶体管,所述第二晶体管的输出端连接所述锁存器的输入端,所述第二晶体管的控制端连接外部置位信号,所述第二晶体管的输入端接地或接入高电平。

[0011] 在其中一个实施例中,所述像素电路还包括第一反相器;所述第一反相器的输入端和输出端分别对应连接所述锁存器的输出端和所述开关单元的控制端;所述第一反相器用于对所述锁存器输出端的高电位进行反相,以使所述开关单元断开。

[0012] 在其中一个实施例中,所述锁存器包括第二反相器和第三反相器;所述第二反相器与所述第三反相器并联且方向相反。

[0013] 在其中一个实施例中,所述开关单元还包括二极管;所述二极管的输出端连接所述锁存器的输入端,所述二极管用于在所述锁存器存储数据之后截止。

[0014] 在其中一个实施例中,所述像素电路还包括:

[0015] 输入单元,连接所述开关单元的输入端,用于向所述开关单元输入携带有数据的电平信号。

[0016] 在其中一个实施例中,所述输入单元的输出端还连接所述开关单元的控制端,用于在所述开关单元导通后,将所述输入单元的电位反馈至所述开关单元,以使所述开关单元断开。

[0017] 一种显示装置,包括上述的硅基液晶像素电路。

[0018] 上述硅基液晶像素电路,先通过所述刷新信号单元对所述锁存器进行置位或复位,以使所述开关单元导通,且在导通后刷新信号单元自身断开;紧接着,在所述开关单元导通期间,所述锁存器对所述开关单元传输的数据进行存储,且所述锁存器两端的电位发生转变,使得所述开关单元断开,再给所述开关单元输入电平数据时,所述开关单元都无法导通,从而使得在调制期间不会有错误数据写入像素电路。

附图说明

[0019] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他实施例的附图。

[0020] 图1为一实施方式提供的硅基液晶像素电路的结构框图;

[0021] 图2为图1所示实施方式的硅基液晶像素电路的一个实施例的结构框图;

[0022] 图3为图2所示实施例的硅基液晶像素电路的其中一个实施例的电路图;

[0023] 图4为图1所示实施方式的硅基液晶像素电路的一个实施例的结构框图;

[0024] 图5为图4所示实施例的硅基液晶像素电路的其中一个实施例的电路图;

[0025] 图6为图4所示实施例的硅基液晶像素电路的其中一个实施例的电路图;

[0026] 图7为图1所示实施方式的硅基液晶像素电路的一个实施例的电路图;

[0027] 图8为图1所示实施方式的硅基液晶像素电路的一个实施例的电路图;

[0028] 图9为图1所示实施方式的硅基液晶像素电路的一个实施例的结构框图;

[0029] 图10为图1所示实施方式的硅基液晶像素电路的一个实施例的电路图;

[0030] 图11为图1所示实施方式的硅基液晶像素电路的一个实施例的电路图。

具体实施方式

[0031] 为了便于理解本实用新型,下面将参照相关附图对本实用新型进行更全面的描述。附图中给出了本实用新型的较佳实施例。但是,本实用新型可以以许多不同的形式来实现,并不限于本文所描述的实施例。相反地,提供这些实施例的目的是使对本实用新型的公开内容的理解更加透彻全面。

[0032] 除非另有定义,本文所使用的所有的技术和科学术语与属于实用新型的技术领域的技术人员通常理解的含义相同。本文中在实用新型的说明书中所使用的术语只是为了描述具体的实施例的目的,不是旨在限制本实用新型。本文所使用的术语“和/或”包括一个或多个相关的所列项目的任意的和所有的组合。

[0033] 请参考图1,一实施方式提供了一种硅基液晶像素电路,可在特定条件下阻止错误数据的写入。该硅基液晶像素电路包括刷新信号单元110、锁存器120及开关单元130。

[0034] 其中,刷新信号单元110,连接锁存器120的输入端a,用于根据设定的时序向锁存器120输入刷新信号。具体地,刷新信号单元110以一定周期的方式给锁存器120置于一个高电位或低电位,且在置位成功后断开。例如,刷新信号单元110的控制端接置位信号,刷新信号单元110的输入端接入高电平 V_{DD} ,刷新信号单元110的输出端连接锁存器120的输入端,当在一个新周期下,刷新信号单元110输出高电平,从而给锁存器120的输入端a置于一高电位,置位成功后,刷新信号单元110断开,等待下一周期再给锁存器120的输入端a置于一高电位。刷新信号单元110包括第二晶体管M3。

[0035] 锁存器120,输入端a分别连接刷新信号单元110的输出端和开关单元130 的输出端,用于在开关单元130导通时,接收开关单元130传输的数据并进行存储。具体地,锁存器120的输入端a分别连接开关单元130的输出端和刷新信号单元110的输出端。其中,锁存器120包括第二反相器和第三反相器。第二反相器与第三反相器并联且方向相反。锁存器120可对输入的数据进行存储且保持锁存器120输入端a和输出端b的电位相反。锁存器120首先接收刷新信号单元110输出的电位,从而在锁存器120的输入端置于一电位,该电位通过锁存器120后,在锁存器120的输出端b也置于一与锁存器120输入端a相反的电位,从而使该电位暂存在锁存器120中,然后在开关单元130导通时,使得锁存器120的输入端a和输出端b的电位发生转变,进而使原来导通的开关单元130断开,在该周期内,开关单元130再也无法导通,从而阻止了后续错误数据的写入。

[0036] 开关单元130,用于控制数据位的传输,进而控制锁存器120的存储,并在锁存器120输入刷新信号时导通以及在输入开关单元130传输的数据位后关断。具体地,开关单元130的输入端连接外部的数据源,开关单元130的输出端连接锁存器120的输入端a,在开关单元130导通时,使锁存器120两端的电位发生转变,同时使开关单元130由导通转为断开。开关单元130包括二极管和晶体管等具有导通或断开功能的电子元器件。在一实施例中,开关单元130包括第一晶体管M2。在另一实施例中,晶体管包括NMOS管和PMOS管中的一种。

[0037] 综上所述,上述实施方式提供的硅基液晶像素电路,刷新信号单元110先对锁存器120进行置位或复位,使得锁存器120的两端各暂存一相反电位后再断开,在开关单元130导通后,锁存器120对开关单元130传输的数据进行存储,同时锁存器120两端的电位发生转变,使得开关单元130断开,在该周期内,再给开关单元130输入电平数据时,开关单元130都无法导通,从而使得在调制期间不会有错误数据写入像素电路。

[0038] 在其中一个实施例中,请参考图2,像素电路还包括第一反相器140。其中,第一反相器140的输入端和输出端分别对应连接锁存器120的输出端b和开关单元130的控制端c。第一反相器140用于对锁存器120输出端b的高电位进行反相,以使开关单元130断开。具体地,请参考图3,当刷新信号单元110置于锁存器120输入端a一高电位,则锁存器120输出端b为低电位,在开关单元 130的输入端接收外部数据源输入的低电平,且第一反相器140将锁

存器120输出端b的低电位进行反相,从而使开关单元130的控制端c得到一高电位而导通,同时锁存器120输入端a的电位由高电位转为低电位,输出端b的电位由低电位转为高电位,此时,第一反相器140将锁存器120输出端b的高电位进行反相,并输出至开关单元130的控制端,从而使开关单元130的控制端c由原来的高电位转为低电位而断开。那么,外部数据源即使在开关单元130的输入端输入高电平,在该周期内都无法导通开关单元130,从而阻止了错误数据写入像素电路。另外,这里的第一反相器的功能主要是将锁存器120输出端b的电位进行反相,并输出至开关单元130的控制端c,以控制开关单元130导通或断开,在其他实施例中,也可以通过锁存器120的输出端b与开关单元130的控制端c通过非门连接,实现电位的反相,以控制开关单元130断开。

[0039] 在另一个实施例中,请参考图4,像素电路还包括第一反相器140。第一反相器140的输入端和输出端分别对应连接锁存器120的输入端a和开关单元130的控制端c。第一反相器140用于对锁存器120输入端a的高电位进行反相,以使开关单元130断开。具体地,请参考图5,当刷新信号单元110置于锁存器120输入端a一低电位,则锁存器120输出端b为高电位,在开关单元130的输入端接收外部数据源输入的高电平,且第一反相器140将锁存器120输入端a的低电位进行反相,从而使开关单元130的控制端c得到一高电位而导通,同时锁存器120输入端a的电位由低电位转为高电位,输出端b的电位由高电位转为低电位,此时,第一反相器140将锁存器120输入端a的高电位进行反相,并输出至开关单元130的控制端c,从而使开关单元130的控制端c由原来的高电位转为低电位而断开。那么,外部数据源即使在开关单元130的输入端输入低电平,在该周期内都无法导通开关单元130,从而阻止了错误数据写入像素电路。另外,这里的反相器的功能主要是将锁存器120输入端a的电位进行反相,并输出至开关单元130的控制端c,以控制开关单元130导通或断开,在其他实施例中,也可以通过锁存器120的输入端a与开关单元130的控制端c通过非门连接,实现电位的反相,以控制开关单元130断开。

[0040] 在其他实施例中,请参考图6,也可以将锁存器120输入端a的电位直接反馈至开关单元130的控制端c。例如当刷新信号单元110置于锁存器120输入端a一高电位,则锁存器120输出端b为低电位,刷新信号单元断开;在开关单元130的输入端接收外部输入的低电平,由于锁存器120的输入端连接开关单元130的控制端,使开关单元130的控制端得到一高电位而导通,同时锁存器120输入端a的电位由高电位转为低电位,输出端b的电位由低电位转为高电位,此时,开关单元130的控制端c为低电位,那么,外部数据源在开关单元130的输入端输入高电平时,从而在该周期内都无法导通开关单元130,进而阻止了错误数据写入像素电路。

[0041] 在其中一个实施例中,开关单元130还包括二极管D。二极管D的输出端连接锁存器120的输入端,二极管D用于在锁存器120存储数据之后截止。具体地,请参考图7,二极管D的正极与外部数据源的输入单元连接,二极管D的负极与锁存器120的输入端a连接。当刷新信号单元110置于锁存器120输入端a一低电位,则锁存器120输出端b为高电位,在二极管D的正极接收到外部数据源输入的高电平时,由于二极管D的负极处于低电位,二极管D导通,同时锁存器120输入端a的电位由低电位转为高电位,输出端b的电位由高电位转为低电位。那么,此时二极管D负极的电位为高电位,二极管D则进入截止状态,使得在二极管D的正极输入低电平时,在该周期内也无法导通二极管D,从而阻止了错误数据写入像素电路。

[0042] 在另一实施例中,请参考图8,二极管D的正极与锁存器120的输入端a 连接,二极管D的负极与外部的输入单元连接。当刷新信号单元110置于锁存器120输入端a一高电位,则锁存器120输出端b为低电位,在二极管D的负极接收到外部数据源输入的低电平时,由于二极管D的正极处于高电位,二极管D导通,同时锁存器120输入端a的电位由高电位转为低电位,输出端的电位由低电位转为高电位。那么,此时二极管D正极的电位为低电位,二极管D 则进入截止状态,使得在二极管D的负极输入高电平时,在该周期内也无法导通二极管D,从而阻止了错误数据写入像素电路。

[0043] 在其中一个实施例中,请参考图9,像素电路还包括输入单元150,连接所述开关单元130的输入端,用于向开关单元130输入携带有数据的电平信号。具体地,输入单元包括第三晶体管M3,同时作为字线WL端的是第三晶体管 M3的控制端,作为位线BL端的是第三晶体管M3的输入端,在保证第三晶体管M3可导通的情况下输入电平信号。

[0044] 在其中一个实施例中,输入单元150的输出端还连接开关单元130的控制端c,用于在开关单元130导通后,将输入单元150的电位反馈至开关单元130,以使开关单元130断开。具体地,请参考图10,当刷新信号单元110置于锁存器120输入端a一低电位,则锁存器120输出端b为高电位,刷新信号单元110 断开;在开关单元130的输入端接收外部输入的高电平,由于输入单元150的输出端连接开关单元130的控制端,使开关单元130的控制端得到一高电位而导通,同时锁存器120输入端a的电位由低电位转为高电位,输出端b的电位由高电位转为低电位,此时,开关单元130的输出端为高电位,那么,外部数据源在开关单元130的输入端输入低电平时,开关单元130的控制端c得到一低电位,从而在该周期内都无法导通开关单元130,进而阻止了错误数据写入像素电路。在另一实施例中,请参考图11,输入单元150的输出端连接开关单元 130的控制端c,且连接关系为非门,也就是说,输入单元150输出端的相位与开关单元130控制端c的相位正好相反。例如,当刷新信号单元110置于锁存器120输入端a一高电位,则锁存器120输出端b为低电位,刷新信号单元110断开;在开关单元130的输入端接收外部数据源输入的低电平,由于输入单元150 的输出端连接开关单元130的控制端c,使开关单元130的控制端c得到一高电位而导通,同时锁存器120输入端a的电位由高电位转为低电位,输出端b的电位由低电位转为高电位,此时,开关单元130的输出端为低电位,那么,外部数据源在开关单元130的输入端输入高电平时,开关单元130的控制端c得到一低电位,从而在该周期内都无法导通开关单元130,进而阻止了错误数据写入像素电路。

[0045] 一实施方式还提供了一种显示装置。该显示装置包括上述任一实施例的硅基液晶像素电路。

[0046] 以上所述实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0047] 以上所述实施例仅表达了本实用新型的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对实用新型专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本实用新型构思的前提下,还可以做出若干变形和改进,这些都属于本实用新型的保护范围。因此,本实用新型专利的保护范围应以所附权利要求为准。

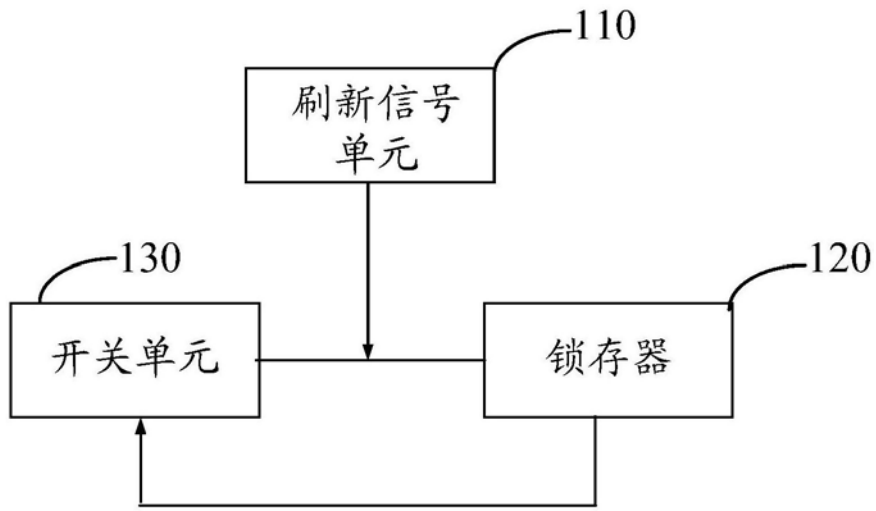


图1

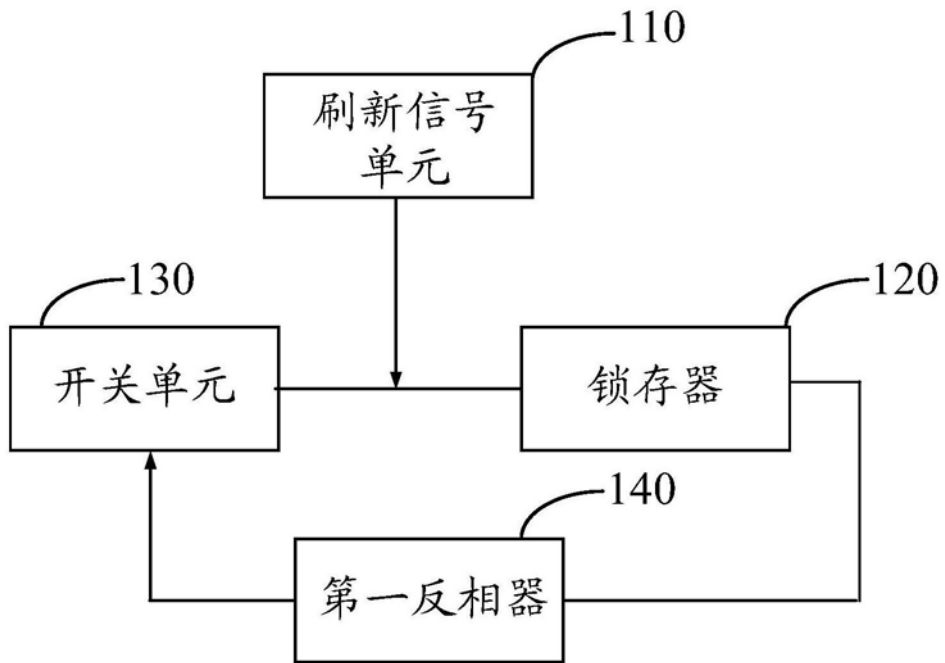


图2

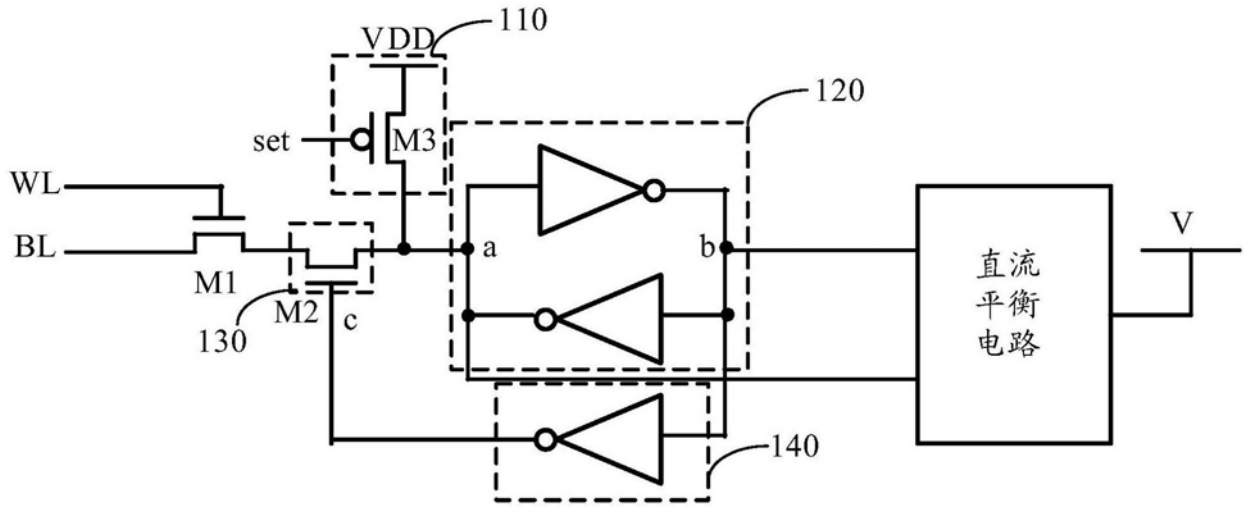


图3

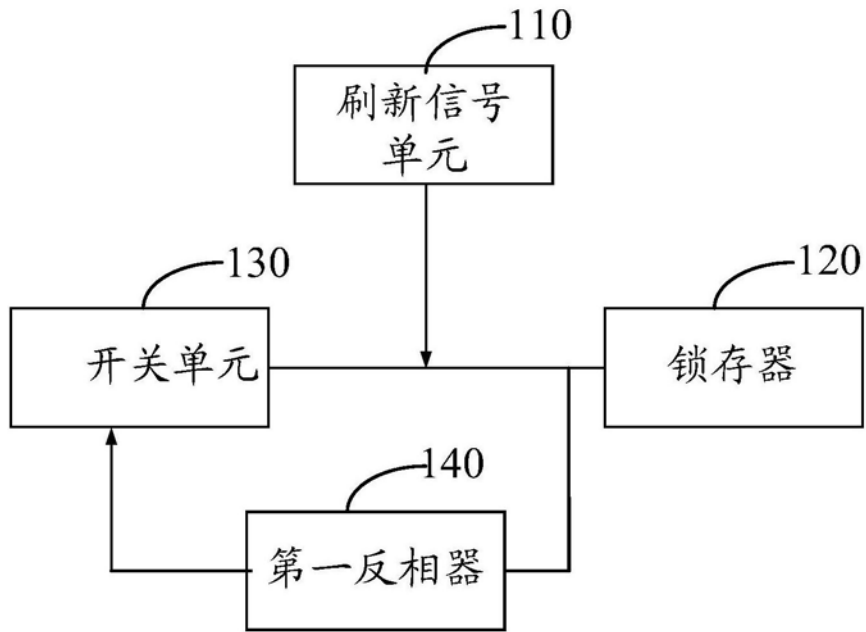


图4

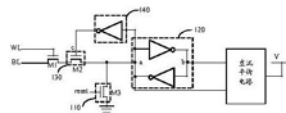


图5

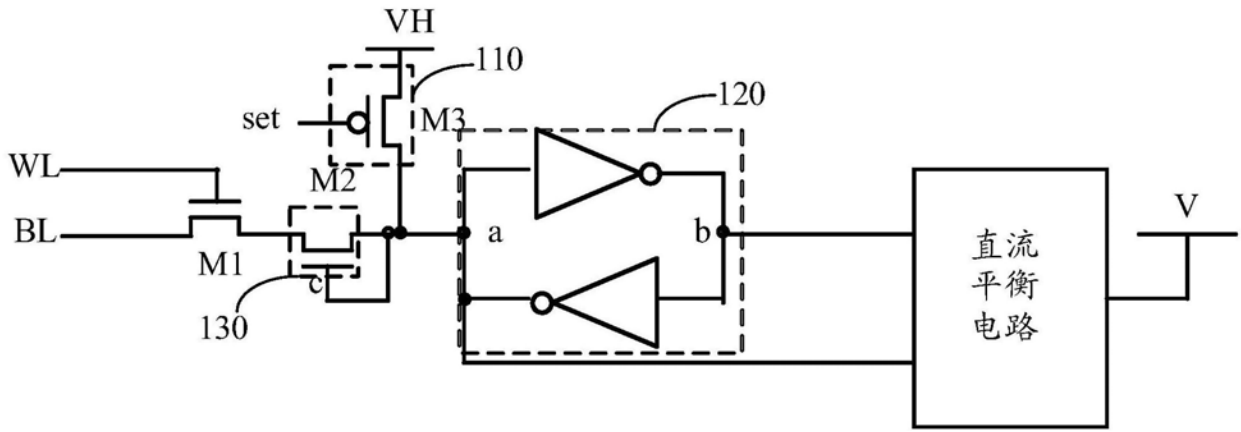


图6

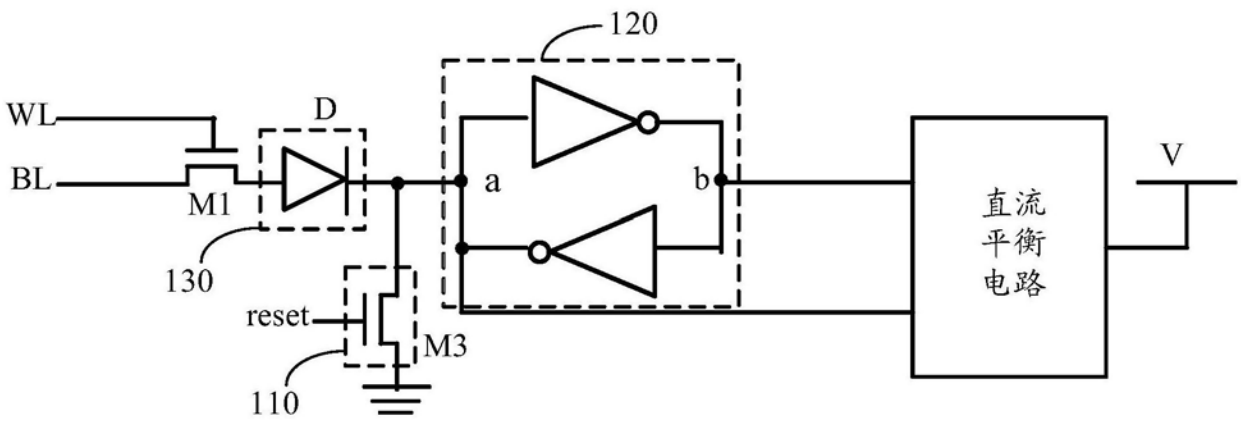


图7

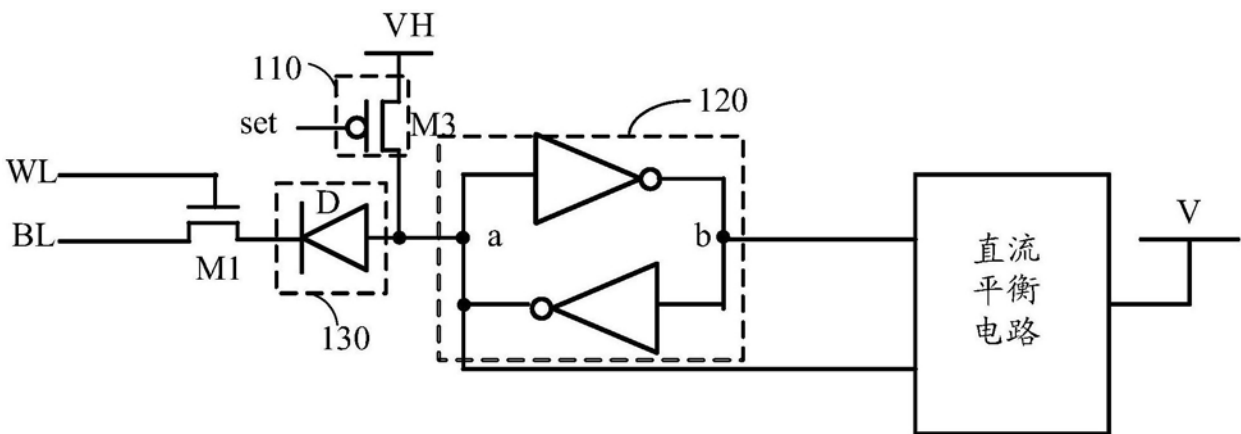


图8

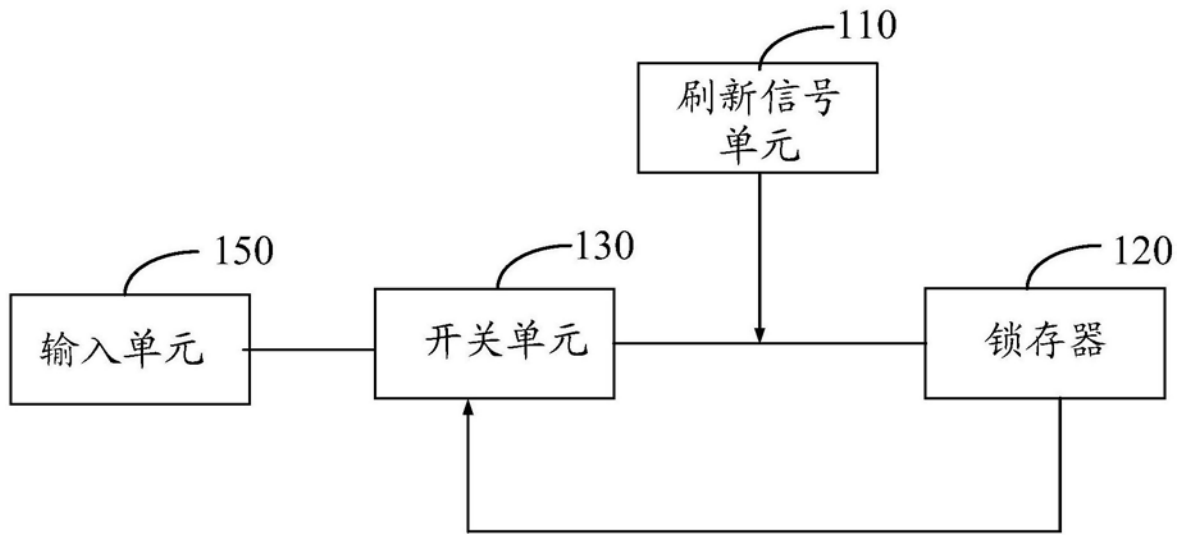


图9

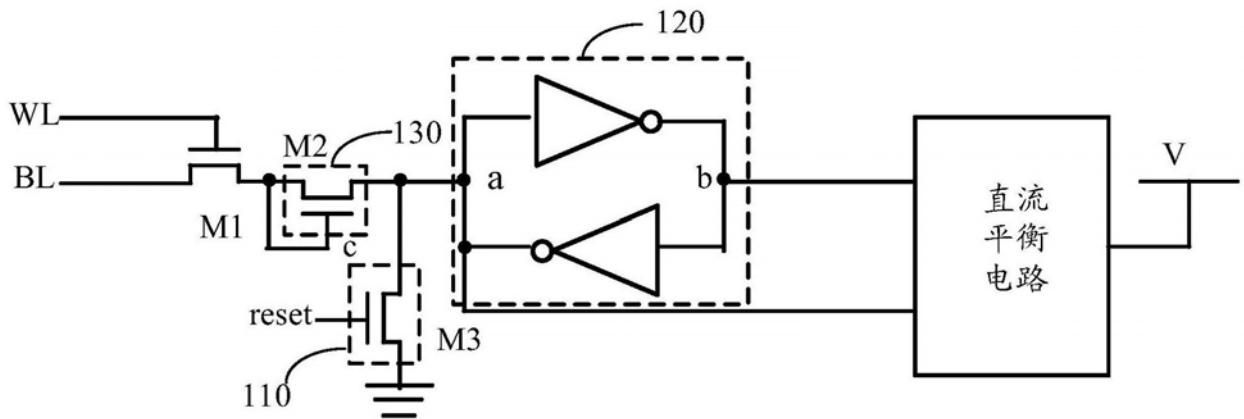


图10

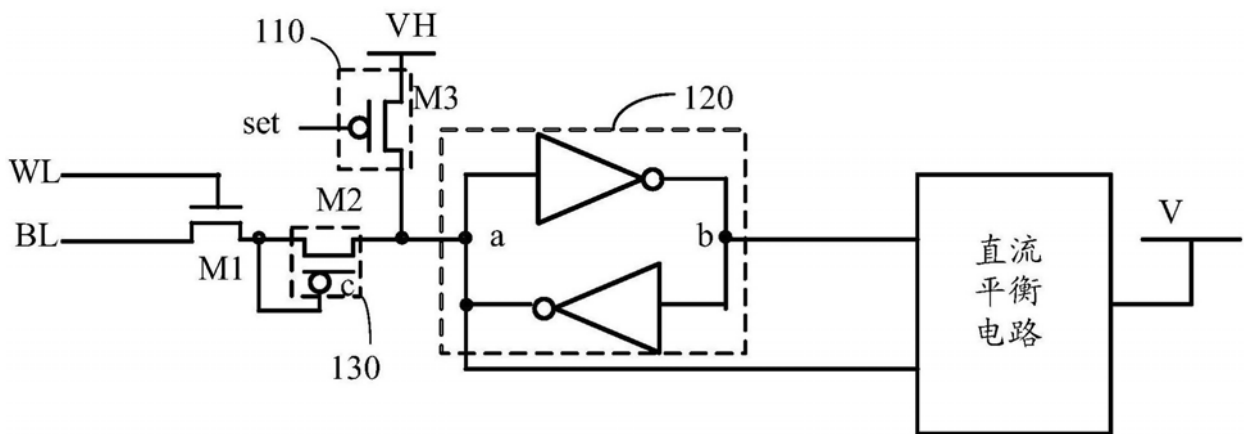


图11

专利名称(译)	硅基液晶像素电路及其显示装置		
公开(公告)号	CN207458551U	公开(公告)日	2018-06-05
申请号	CN201721465372.7	申请日	2017-11-06
[标]发明人	刘帅辰 文鹏 郑宝荣		
发明人	刘帅辰 文鹏 郑宝荣		
IPC分类号	G09G3/36		
代理人(译)	吴平		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型涉及一种硅基液晶像素电路，包括刷新信号单元、锁存器及开关单元；刷新信号单元，连接锁存器的输入端，用于根据设定的时序向锁存器输入刷新信号；锁存器，输入端分别连接刷新信号单元的输出端和开关单元的输出端，用于在开关单元导通时，接收开关单元传输的数据位并进行存储；开关单元，用于控制数据位的传输，进而控制锁存器的存储，并在锁存器输入刷新信号时导通以及在输入开关单元传输的数据位后关断。上述硅基液晶像素电路，刷新信号单元对锁存器置于一电位，使开关单元导通而后断开，锁存器进行存储，之后两端的电位发生转变，开关单元断开，再给开关单元输入电平，开关单元无法导通，使得在调制期间不会有错误数据写入像素电路。

