



(12)发明专利申请

(10)申请公布号 CN 108630166 A

(43)申请公布日 2018.10.09

(21)申请号 201810709207.4

(22)申请日 2018.07.02

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 合肥京东方光电科技有限公司

(72)发明人 古宏刚 邵贤杰 赵飞

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51)Int.Cl.

G09G 3/36(2006.01)

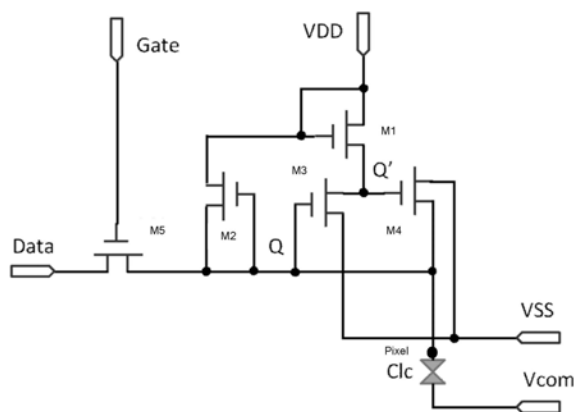
权利要求书1页 说明书6页 附图5页

(54)发明名称

像素记忆电路、液晶显示器和可穿戴设备

(57)摘要

本发明实施例提供一种像素记忆电路、液晶显示器和可穿戴设备,涉及显示技术领域,该像素记忆电路可以实现数据电压的锁存,且其制作技术难度和成本低。像素记忆电路包括仅由N型晶体管构成的锁存子电路和开关子电路。其中,开关子电路的第一端接收数据电压,开关子电路的控制端接收行扫描信号,开关子电路的第二端与锁存子电路的输入端连接以形成第一节点,开关子电路用于在行扫描信号的控制下,将数据电压输出至锁存子电路;锁存子电路还连接电源端、接地端,锁存子电路用于对数据电压进行锁存并生成第一锁存信号和第二锁存信号。



1. 一种像素记忆电路,其特征在于,包括锁存子电路和开关子电路,所述锁存子电路和所述开关子电路仅由N型晶体管构成;

所述开关子电路的第一端接收数据电压,所述开关子电路的控制端接收行扫描信号,所述开关子电路的第二端与所述锁存子电路的输入端连接以形成第一节点,所述开关子电路用于在所述行扫描信号的控制下,将所述数据电压输出至所述锁存子电路;

所述锁存子电路还连接电源端、接地端,所述锁存子电路用于对所述数据电压进行锁存并生成第一锁存信号和第二锁存信号。

2. 根据权利要求1所述的像素记忆电路,其特征在于,所述锁存子电路还用于将所述第一锁存信号或所述第二锁存信号施加给像素电极。

3. 根据权利要求1所述的像素记忆电路,其特征在于,所述像素记忆电路还包括选择子电路,所述选择子电路仅由N型晶体管构成;

所述选择子电路的第一控制端连接所述第一节点,所述选择子电路的第二控制端连接所述锁存子电路,所述选择子电路的第一接收端接收第一选择信号,所述选择子电路的第二接收端接收第二选择信号,所述选择子电路用于在所述第一锁存信号的控制下,将所述第一选择信号施加给像素电极;或者所述选择子电路用于在所述第二锁存信号的控制下,将所述第二选择信号施加给所述像素电极。

4. 根据权利要求1-3任一项所述的像素记忆电路,其特征在于,所述锁存子电路包括:

第一晶体管,所述第一晶体管的栅极和第一极均连接所述电源端;

第二晶体管,所述第二晶体管的栅极和第二极连接所述第一节点,所述第二晶体管的第二极连接所述电源端;

第三晶体管,所述第三晶体管的栅极连接所述第一节点,所述第三晶体管的第一极连接所述第一晶体管的第二极,并形成第二节点;所述第三晶体管的第二极连接所述接地端;

第四晶体管,所述第四晶体管的栅极连接所述第二节点,所述第四晶体管的第一极连接所述接地端,所述第四晶体管的第二极连接所述第一节点。

5. 根据权利要求4所述的像素记忆电路,其特征在于,所述锁存子电路还包括第一电容,所述第一电容的一极连接所述第一节点,所述第一电容的另一极连接所述接地端。

6. 根据权利要求1-3任一项所述的像素记忆电路,其特征在于,所述开关子电路包括第五晶体管,所述第五晶体管的栅极接收所述行扫描信号,所述第五晶体管的第一极接收所述数据电压,所述第五晶体管的第二极连接所述第一节点。

7. 根据权利要求3所述的像素记忆电路,其特征在于,所述选择子电路包括:

第六晶体管,所述第六晶体管的栅极连接所述第一节点,所述第六晶体管的第一极接收所述第一选择信号,所述第六晶体管的第二极连接所述像素电极;

第七晶体管,所述第七晶体管的栅极连接所述锁存子电路,所述第七晶体管的第一极接收所述第二选择信号,所述第七晶体管的第二极连接所述像素电极。

8. 一种液晶显示器,其特征在于,包括如权利要求1-7任一项所述的像素记忆电路。

9. 一种可穿戴设备,其特征在于,包括如权利要求8所述的液晶显示器。

像素记忆电路、液晶显示器和可穿戴设备

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素记忆电路、液晶显示器和可穿戴设备。

背景技术

[0002] 自LG发布第一款智能手表G Watch R以来,智能手表市场可谓劲头十足。近年来,不仅国际大厂发力智能手表领域,中国厂商也在该领域加大市场布局。在液晶技术提升方面,日本面板厂商(Japan Display)宣布推出一款采用MIP(memory-in-pixel,像素内存)技术的超低功耗反射型LCD(Liquid Crystal Display,液晶显示器)面板,其可以应用于可穿戴设备。该LCD面板不仅可做到64色彩色显示,而且耗电量具有优势,可以与Sharp LCD面板媲美。

[0003] 目前MIP技术使用SRAM(Static Random-Access Memory,静态随机存取存储器)/VLC(Visible Light Communication,可见光通信)来实现。图1为MIP电路的结构示意图,图2为一种传统的MIP电路的电路结构图。如图2所示,传统的MIP电路由NMOS与PMOS组成,NMOS与PMOS的有源层的设计不相同。对于目前a-Si面板厂商而言,导入PMOS工艺难度大,设备改造成本高,严重限制了其在穿戴设备市场的广泛应用。

发明内容

[0004] 本发明的实施例提供一种像素记忆电路、液晶显示器和可穿戴设备,该像素记忆电路不仅可以实现数据电压的锁存,且在制作时不用导入PMOS工艺,只运用一种有源层的设计可降低技术难度与成本。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 本发明的实施例的第一方面,提供一种像素记忆电路,包括锁存子电路和开关子电路,所述锁存子电路和所述开关子电路仅由N型晶体管构成;所述开关子电路的第一端接收数据电压,所述开关子电路的控制端接收行扫描信号,所述开关子电路的第二端与所述锁存子电路的输入端连接以形成第一节点,所述开关子电路用于在所述行扫描信号的控制下,将所述数据电压输出至所述锁存子电路;所述锁存子电路还连接电源端、接地端,所述锁存子电路用于对所述数据电压进行锁存并生成第一锁存信号和第二锁存信号。

[0007] 可选的,所述锁存子电路还用于将所述第一锁存信号或所述第二锁存信号施加给像素电极。

[0008] 可选的,所述像素记忆电路还包括选择子电路,所述选择子电路仅由N型晶体管构成;

[0009] 所述选择子电路的第一控制端连接所述第一节点,所述选择子电路的第二控制端连接所述锁存子电路,所述选择子电路的第一接收端接收第一选择信号,所述选择子电路的第二接收端接收第二选择信号,所述选择子电路用于在所述第一锁存信号的控制下,将所述第一选择信号施加给像素电极;或者所述选择子电路用于在所述第二锁存信号的控制

下,将所述第二选择信号施加给所述像素电极。

[0010] 可选的,所述锁存子电路包括:第一晶体管,所述第一晶体管的栅极和第一极均连接所述电源端;第二晶体管,所述第二晶体管的栅极和第二极连接所述第一节点,所述第二晶体管的第一极连接所述电源端;第三晶体管,所述第三晶体管的栅极连接所述第一节点,所述第三晶体管的第一极连接所述第一晶体管的第二极,并形成第二节点;所述第三晶体管的第二极连接所述接地端;第四晶体管,所述第四晶体管的栅极连接所述第二节点,所述第四晶体管的第一极连接所述接地端,所述第四晶体管的第二极连接所述第一节点。

[0011] 可选的,所述锁存子电路还包括第一电容,所述第一电容的一极连接所述第一节点,所述第一电容的另一极连接所述接地端。

[0012] 可选的,所述开关子电路包括第五晶体管,所述第五晶体管的栅极接收所述行扫描信号,所述第五晶体管的第一极接收所述数据电压,所述第五晶体管的第二极连接所述第一节点。

[0013] 可选的,所述选择子电路包括:第六晶体管,所述第六晶体管的栅极连接所述第一节点,所述第六晶体管的第一极接收所述第一选择信号,所述第六晶体管的第二极连接所述像素电极;第七晶体管,所述第七晶体管的栅极连接所述锁存子电路,所述第七晶体管的第一极接收所述第二选择信号,所述第七晶体管的第二极连接所述像素电极。

[0014] 本发明的实施例的第二方面,提供一种液晶显示器,包括如第一方面所述的像素记忆电路。

[0015] 本发明的实施例的第三方面,提供一种可穿戴设备,包括如第二方面所述的液晶显示器。

[0016] 本发明实施例提供一种像素记忆电路、液晶显示器和可穿戴设备,像素记忆电路包括仅由N型晶体管构成的锁存子电路和开关子电路。其中,开关子电路的第一端接收数据电压,开关子电路的控制端接收行扫描信号,开关子电路的第二端与锁存子电路的输入端连接以形成第一节点,开关子电路用于在行扫描信号的控制下,将数据电压输出至锁存子电路;锁存子电路还连接电源端、接地端,锁存子电路用于对数据电压进行锁存并生成第一锁存信号和第二锁存信号。

[0017] 基于此,本发明实施例提供的像素记忆电路包括锁存子电路和开关子电路。开关子电路可以在行扫描信号的控制下,将数据电压输出至锁存子电路,锁存子电路可以对上述数据电压进行锁存并生成第一锁存信号和第二锁存信号。综上所述,上述像素记忆电路可以实现对数据电压的锁存。同时由于该像素记忆电路仅由N型晶体管构成,在制作时无需导入PMOS工艺,只需运用一种有源层的设计,因此本发明实施例提供的像素记忆电路的技术难度和成本均大大降低。

附图说明

[0018] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0019] 图1为一种MIP电路的结构示意图;

- [0020] 图2为一种传统MIP电路的电路结构图；
- [0021] 图3为本发明实施例提供的一种像素记忆电路的方框图；
- [0022] 图4为本发明实施例提供的一种图3所示的像素记忆电路的电路结构图；
- [0023] 图5为本发明实施例提供的一种图4所示的像素记忆电路的时序控制图；
- [0024] 图6为本发明实施例提供的另一种像素记忆电路的方框图；
- [0025] 图7为本发明实施例提供的一种图3所示的像素记忆电路的电路结构图；
- [0026] 图8为本发明实施例提供的一种图7所示的像素记忆电路的时序控制图；
- [0027] 图9为本发明实施例提供的液晶显示器的方框图；
- [0028] 图10为本发明实施例提供的可穿戴设备的方框图。

具体实施方式

[0029] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0030] 液晶显示器的工作原理:液晶是一种介于固体和液体之间的特殊物质,它是一种有机化合物,常态下呈液态,但是它的分子排列却和固体晶体一样非常规则,因此取名液晶,它的另一个特殊性质在于,如果给液晶施加一个电场,会改变它的分子排列,这时如果给它配合偏振光片,它就具有阻止光线通过的作用(在不施加电场时,光线可以顺利透过)。穿戴技术中常用反射式的液晶显示器或者半透半反式的液晶显示器。为了降低液晶显示器的功耗,液晶显示器通常采用低频驱动,但是低频驱动会出现很严重的漏电现象。MIP(像素记忆)技术的使用实现了低频,甚至1Hz的实现。具体的,图1和图2所示的MIP电路可以实现对像素电极的持续充/放电,防止在低频驱动时发生漏电现象。图2所示的MIP电路由NMOS与PMOS组成,由于NMOS与PMOS的有源层的设计不相同,且导入PMOS工艺难度大,设备改造成本高,严重限制了其在穿戴设备市场的广泛应用。

[0031] 为了解决该问题,本发明实施例提供一种如图3所示的像素记忆电路,该像素记忆电路包括开关子电路20和锁存子电路10,开关子电路20和锁存子电路10仅由N型晶体管构成。

[0032] 其中,开关子电路20的第一端接收数据电压data,开关子电路20的控制端接收行扫描信号gate,开关子电路20的第二端与锁存子电路10的输入端连接以形成第一节点Q,开关子电路20用于在行扫描信号gate的控制下,将数据电压data输出至锁存子电路10。

[0033] 锁存子电路10还连接电源端VDD、接地端VSS,锁存子电路10用于对数据电压data进行锁存并生成第一锁存信号和第二锁存信号。

[0034] 需要说明的是,本发明实施例中,将用于驱动液晶偏转来实现亮态显示的锁存信号称为第一锁存信号,将用于驱动液晶偏转来实现暗态显示的锁存信号称为第二锁存信号。通常第一锁存信号为高电平,第二锁存信号为低电平。

[0035] 基于此,本发明实施例提供一种像素记忆电路,该像素记忆电路包括锁存子电路10和开关子电路20。开关子电路可以在行扫描信号gate的控制下,将数据电压data输出至锁存子电路10,锁存子电路10可以对上述数据电压data进行锁存并生成第一锁存信号和第

二锁存信号。综上所述,上述像素记忆电路可以实现对数据电压的锁存。同时由于该像素记忆电路仅由N型晶体管构成,在制作时无需导入PMOS工艺,只需运用一种有源层的设计,因此本发明实施例提供的像素记忆电路的技术难度和成本均大大降低。

[0036] 本领域技术人员已知,液晶显示器中液晶分子通常分布在像素电极和公共电极形成的电场内,通过改变像素电极和公共电极的施加电压,可以改变液晶分子的分子排列。通常公共电极的施加电平为恒定的低电平。

[0037] 本发明实施例可选的,如图4和图7所示,锁存子电路10包括第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4。开关子电路20包括第五晶体管M5。

[0038] 其中,第一晶体管M1的栅极和第一极均连接电源端VDD;第二晶体管M2的栅极和第二极连接第一节点Q,第二晶体管M2的第一极连接电源端VDD。第三晶体管M3的栅极连接第一节点Q,第三晶体管M3的第一极连接第一晶体管M1的第二极,并形成第二节点Q';第三晶体管M3的第二极连接接地端VSS。第四晶体管M4的栅极连接第二节点Q',第四晶体管M4的第一极连接接地端VSS,第四晶体管M4的第二极连接第一节点Q。

[0039] 第五晶体管M5的栅极接收行扫描信号gate,第五晶体管M5的第一极接收数据电压data,第五晶体管M5的第二极连接第一节点Q。

[0040] 可选的,如图4所示,锁存子电路10还包括第一电容C1,第一电容C1的一极连接第一节点Q,第一电容C1的另一极连接接地端VSS。在此情况下,第一电容C1可以用于维持第一节点Q的电平。

[0041] 在本发明的第一个实施例中,如图4所示,上述锁存子电路10还可以用于将上述第一锁存信号或第二锁存信号施加给像素电极,即可以将上述第一锁存信号或第二锁存信号作为像素电压施加给像素电极pixel。该实施例中,如图4所示,像素C1c的一端为像素电极pixel,第一节点Q的电压可以作为像素电压施加给像素电极pixel(即像素C1c);像素C1c的另一端为公共电极Vcom。

[0042] 以下结合图5对图4所示的像素记忆电路的工作过程进行详细的说明。图4所示的像素记忆电路在工作过程中,向电源端VDD输入恒定的高电平。

[0043] 一种情况下,当行扫描信号gate为高电平时,第五晶体管M5打开;当数据电压data为高电平时,数据电压data的高电平通过第五晶体管M5施加给像素电极pixel,从而实现亮态显示。此时第一节点Q为高电平,第一晶体管M1和第二晶体管M2打开,同时通过设置第一晶体管M1和第三晶体管M3的尺寸比以实现第二节点Q'为低电平;在第二节点Q'的控制下,第四晶体管M4关断。在此情况下,电源端VDD的高电平作持续通过第二晶体管M2输出至第一节点Q,从而在数据电压data为高电平时,保证第一节点Q为高电平,此时第一节点Q的高电平为上述第一锁存信号。

[0044] 另一种情况下,当行扫描信号gate为高电平时,第五晶体管M5打开;当数据电压data为低电平时,数据电压data的低电平通过第五晶体管M5施加给像素电极pixel,从而实现暗态显示。此时第一节点Q为低电平,第一晶体管M1和第二晶体管M2关断,在电源端VDD的控制下,第一晶体管M1打开,电源端VDD的高电平通过第一晶体管M1输出至第二节点Q',在第二节点Q'的控制下,第四晶体管M4打开,在此情况下,接地端VSS的低电平持续通过第四晶体管M4输出至第一节点Q,从而在数据电压data为低电平时,保证第一节点Q为低电平,此时第一节点Q的低电平为上述第二锁存信号。

[0045] 综上所述,图4所示的像素记忆电路可以实现对数据电压data的锁存。在此基础上,当第一节点Q的电压为第一锁存信号(高电平)时,可以一直给像素电极pixel充高电平,此时像素电极pixel的施加电平为高电平,此时像素电极pixel和公共电极Vcom之间存在压差,使得液晶旋转,从而实现亮态显示,并维持到下一帧信号到来。当第一节点Q的电压为第二锁存信号(低电平)时,可以一直给像素电极pixel充低电平,此时像素电极pixel的施加电平为低电平。由于公共电极Vcom的电平一般设置为低电平,因此像素电极pixel和公共电极Vcom之间无压差,使得液晶不旋转,从而实现暗态显示,并维持到下一帧信号到来。

[0046] 在此基础上,本发明实施例提供的图4所示的像素记忆电路相比于图2所示的像素记忆电路,所需的晶体管的个数少,同时可以实现低频显示,从而大大减小了像素记忆电路的功耗。

[0047] 在本发明的第二个实施例中,如图6所示,像素记忆电路还包括选择子电路30,选择子电路30仅由N型晶体管构成,其中,选择子电路30的第一控制端连接第一节点Q,选择子电路30的第二控制端连接锁存子电路30,选择子电路30的第一接收端接收第一选择信号FRP,选择子电路30的第二接收端接收第二选择信号XFRP,选择子电路30用于在第一锁存信号的控制下,将第一选择信号FRP施加给像素电极pixel;或者选择子电路30用于在第二锁存信号的控制下,将第二选择信号XFRP施加给像素电极pixel。该实施例中,如图7所示,像素C1c的一端为像素电极,第一节点Q的电压可以作为像素电压施加给像素电极pixel;像素C1c的另一端为公共电极Vcom。

[0048] 可选的,如图7所示,选择子电路30包括第六晶体管M6和第七晶体管M7。其中,第六晶体管M6的栅极连接第一节点Q,第六晶体管M6的第一极接收第一选择信号FRP,第六晶体管M6的第二极连接像素电极pixel。第七晶体管M7的栅极连接锁存子电路10,本实施例中具体的,第七晶体管M7的栅极连接第二节点Q',第七晶体管M7的第一极接收第二选择信号XFRP,第七晶体管M7的第二极连接像素电极pixel。

[0049] 需要说明的是,结合上述第一个实施例和图8所示的时序控制图,当行扫描信号gate为高电平,数据电压data为高电平时,数据电压data的高电平施加给像素电极pixel,从而实现亮态显示。此时第一节点Q为高电平,通过设置第一晶体管M1和第三晶体管M3的尺寸比以实现第二节点Q'为低电平;在第二节点Q'的控制下,第四晶体管M4关断。在此情况下,电源端VDD的高电平作持续通过第二晶体管M2输出至第一节点Q,从而在数据电压data为高电平时,保证第一节点Q为高电平,此时第一节点Q的高电平为上述第一锁存信号。当行扫描信号gate为高电平,数据电压data为低电平时,数据电压data的低电平施加给像素电极pixel,从而实现暗态显示。此时第一节点Q为低电平,在电源端VDD的控制下,电源端VDD的高电平输出至第二节点Q',在第二节点Q'的控制下,第四晶体管M4打开,在此情况下,接地端VSS的低电平持续输出至第一节点Q,从而在数据电压data为低电平时,保证第一节点Q为低电平,此时第一节点Q的低电平为上述第二锁存信号。

[0050] 综上所述,图7所示的像素记忆电路可以实现对数据电压data的锁存。在此基础上,当第一节点Q的电压为第一锁存信号(高电平)时,可以一直给像素电极pixel充高电平,此时像素电极pixel的施加电平为高电平,此时像素电极pixel和公共电极Vcom之间存在压差,使得液晶旋转,从而实现亮态显示,并维持到下一帧信号到来。当需要灰阶变化,例如由图8中的灰阶一变化为灰阶二或者灰阶三时,可以调节第一选择信号FRP的电压,并在第一

锁存信号的控制下,将改变后的第一选择信号FRP施加给像素电极pixel,从而实现可调节像素的灰阶。当第一节点Q的电压为第二锁存信号(低电平)时,可以一直给像素电极pixel充低电平,此时像素电极pixel的施加电平为低电平。由于公共电极Vcom的电平一般设置为低电平,因此像素电极pixel和公共电极Vcom之间无压差,使得液晶不旋转,从而实现暗态显示,并维持到下一帧信号到来。

[0051] 基于此,图7所示的像素记忆电路可以通过上述第二晶体管M2和第四晶体管M4实现对数据电压data的锁存,从而实现对像素电极pixel的持续充放电,同时可以实现可调节灰阶。相比于图2所示的像素记忆电路,图7所示的像素记忆电路所需的晶体管的个数少,同时可以实现低频显示,从而大大减小了像素记忆电路的功耗。

[0052] 图9为本发明实施例提供的液晶显示器的方框图,如图9所示,该液晶显示器200包括前述实施例提供的任一种像素记忆电路100。

[0053] 本发明实施例提供的液晶显示器,包括上述的像素记忆电路100,可以实现对数据电压的锁存。同时由于该像素记忆电路仅由N型晶体管构成,在制作时无需导入PMOS工艺,只需运用一种有源层的设计,因此本发明实施例提供的液晶显示器的技术难度和成本均大大降低。

[0054] 进一步的,本发明实施例提供了一种可穿戴设备,图10为该可穿戴设备的方框图。如图10所示,该可穿戴设备300包括前述实施例提供的任一种液晶显示器200。示例的,该可穿戴设备300可以为智能手表。

[0055] 本发明实施例提供的可穿戴设备300,包括上述的液晶显示器200,可以实现对数据电压的锁存。同时由于该像素记忆电路仅由N型晶体管构成,在制作时无需导入PMOS工艺,只需运用一种有源层的设计,因此本发明实施例提供的可穿戴设备300的技术难度和成本均大大降低。

[0056] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

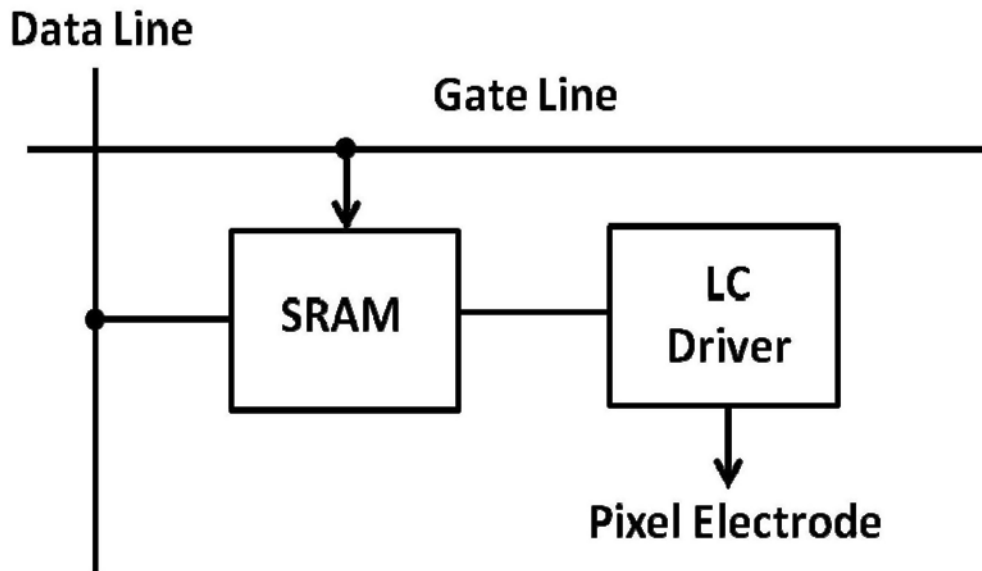


图1

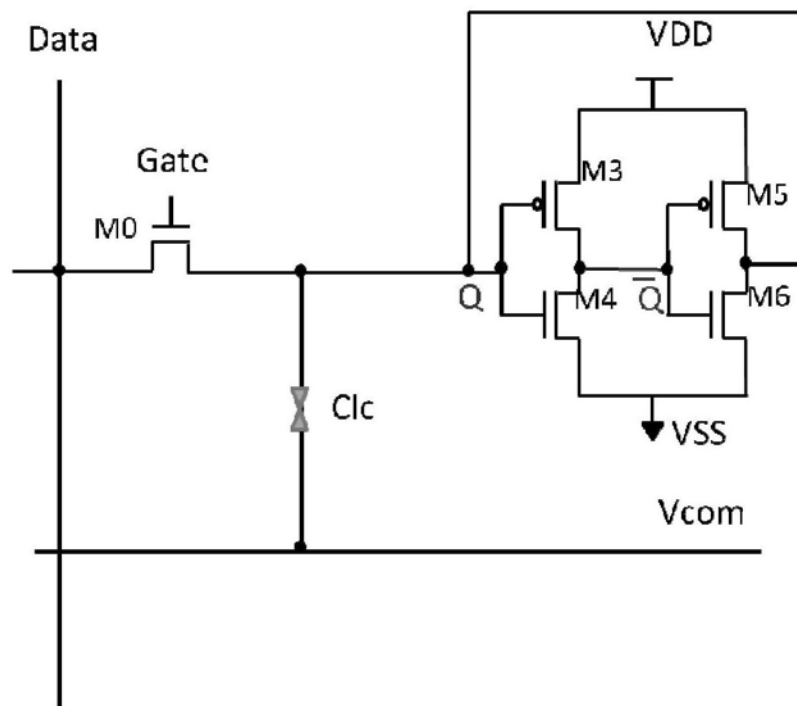


图2

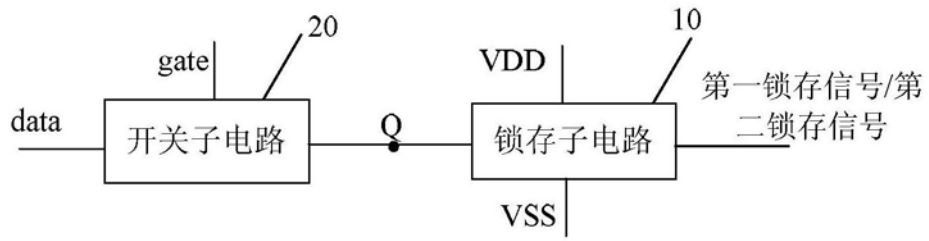


图3

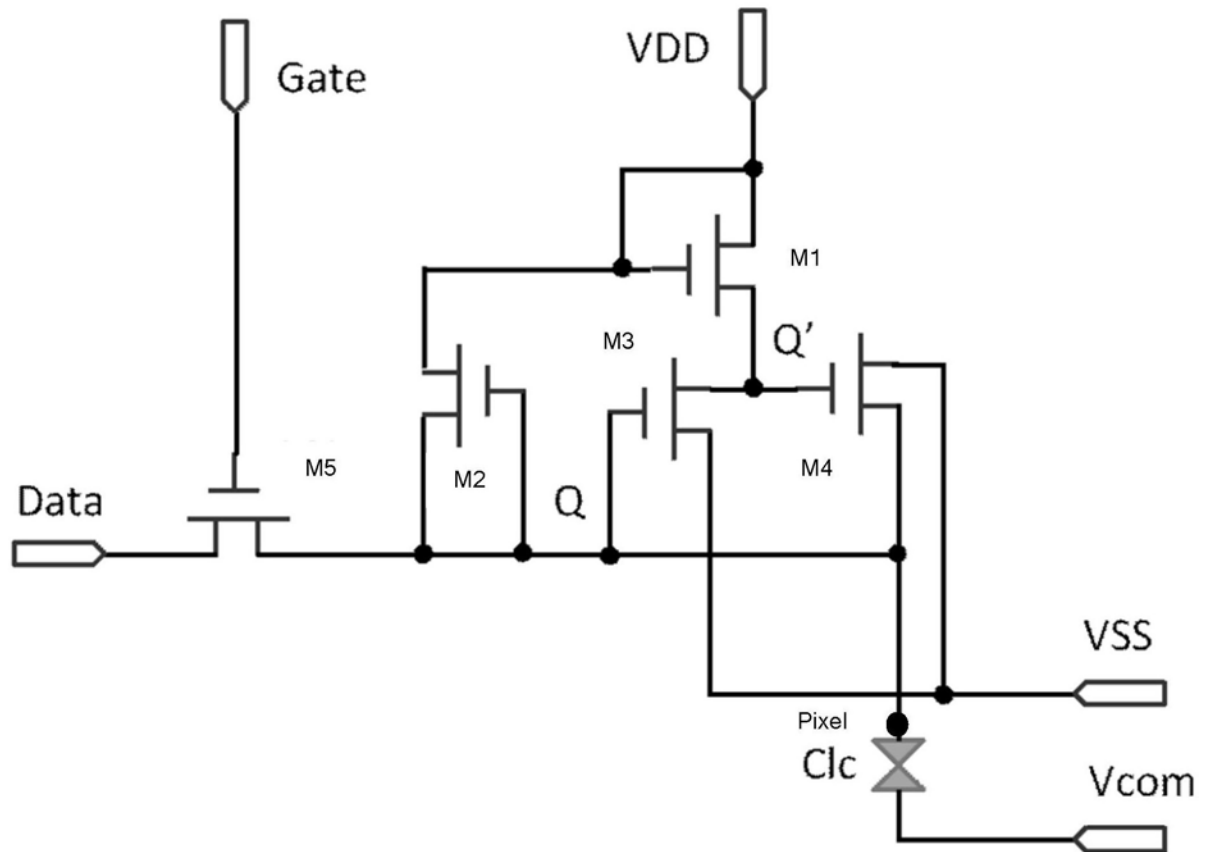


图4

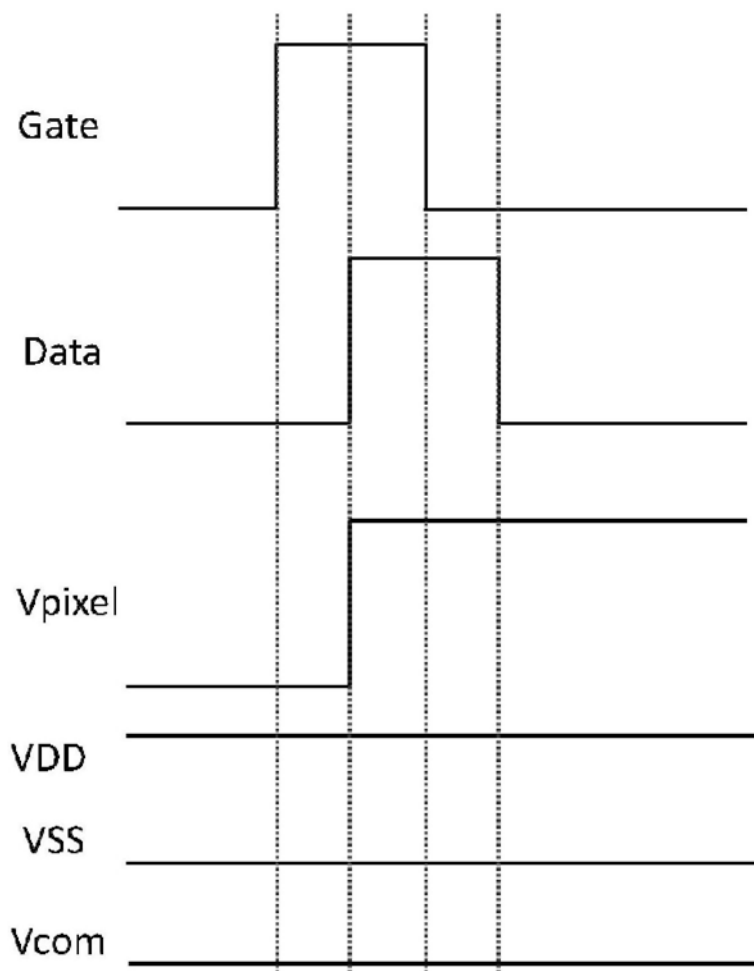


图5

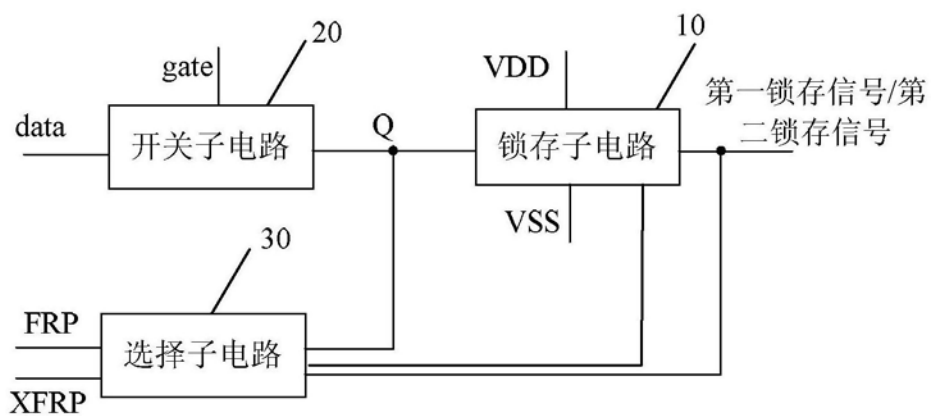


图6

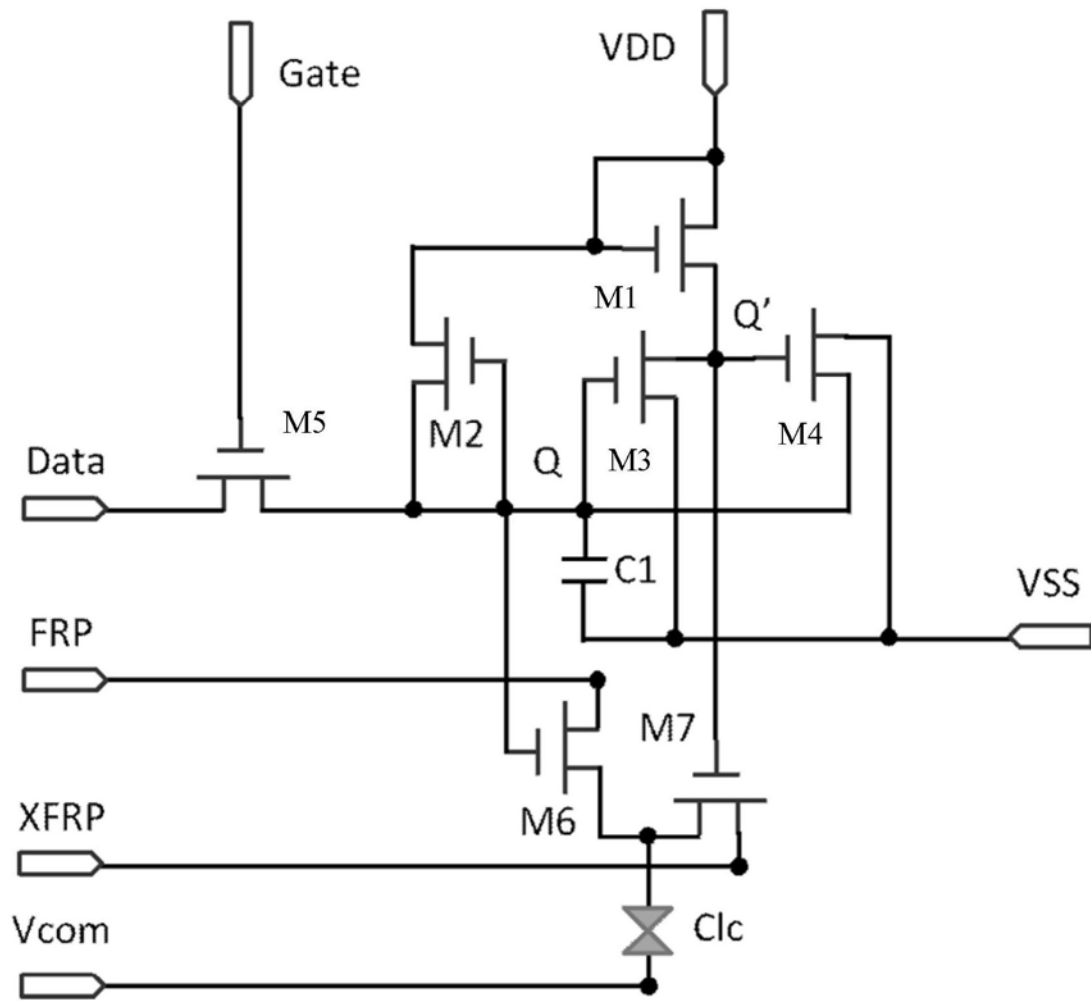


图7

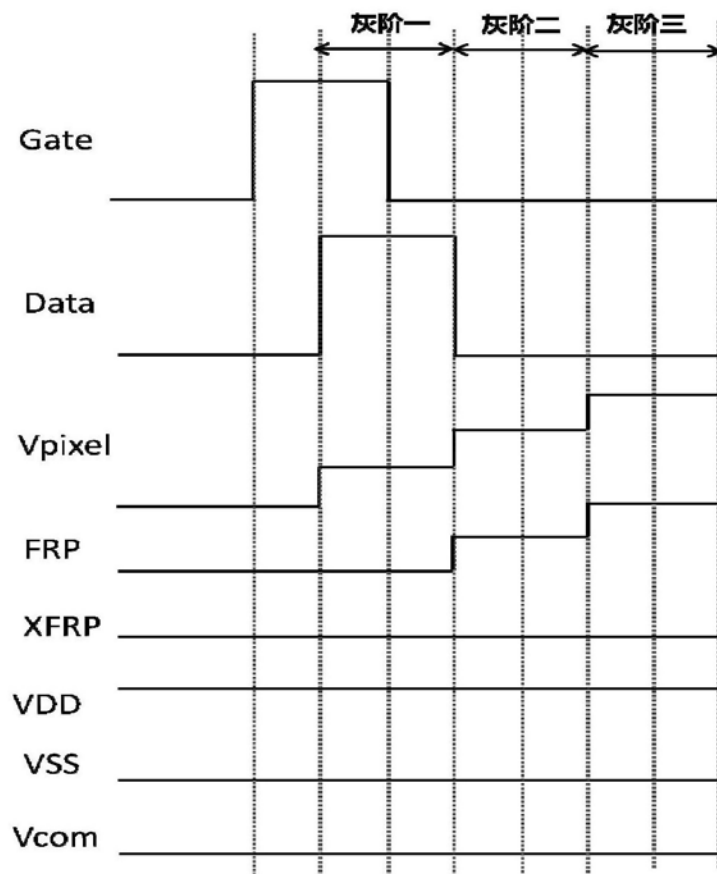


图8

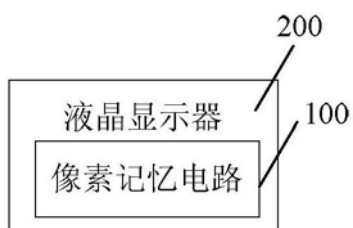


图9

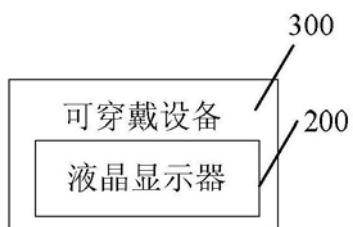


图10

专利名称(译)	像素记忆电路、液晶显示器和可穿戴设备		
公开(公告)号	CN108630166A	公开(公告)日	2018-10-09
申请号	CN201810709207.4	申请日	2018-07-02
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
[标]发明人	古宏刚 邵贤杰 赵飞		
发明人	古宏刚 邵贤杰 赵飞		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G02F1/1368 G09G3/3659 G09G2300/0857 G09G2330/021 G02F1/1365 G04G9/12 G09G3/3696		
代理人(译)	申健		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供一种像素记忆电路、液晶显示器和可穿戴设备，涉及显示技术领域，该像素记忆电路可以实现数据电压的锁存，且其制作技术难度和成本低。像素记忆电路包括仅由N型晶体管构成的锁存子电路和开关子电路。其中，开关子电路的第一端接收数据电压，开关子电路的控制端接收行扫描信号，开关子电路的第二端与锁存子电路的输入端连接以形成第一节点，开关子电路用于在行扫描信号的控制下，将数据电压输出至锁存子电路；锁存子电路还连接电源端、接地端，锁存子电路用于对数据电压进行锁存并生成第一锁存信号和第二锁存信号。

