



(12)发明专利

(10)授权公告号 CN 105047158 B

(45)授权公告日 2017. 11. 10

(21)申请号 201510520861.7

(51)Int.Cl.

(22)申请日 2015.08.21

G09G 3/36(2006.01)

(65)同一申请的已公布的文献号

审查员 冯晓卉

申请公布号 CN 105047158 A

(43)申请公布日 2015.11.11

(73)专利权人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区公明

办事处塘家社区观光路汇业科技园综

合楼1第一层B区

专利权人 武汉华星光电技术有限公司

(72)发明人 肖军城 赵莽

(74)专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

代理人 何青瓦

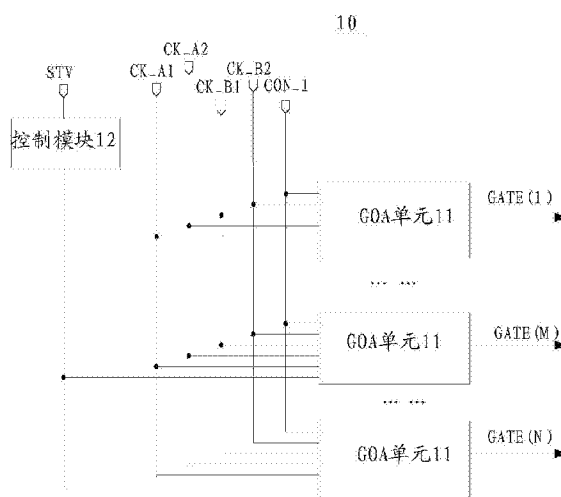
权利要求书3页 说明书7页 附图5页

(54)发明名称

一种GOA电路及液晶显示器

(57)摘要

本发明公开了一种GOA电路及液晶显示器。该GOA电路包括级联的多个GOA单元和控制模块，每一GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，控制模块用于在GOA电路对所有水平扫描线同时充电后，通过启动脉冲信号控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平，能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号，从而保证GOA电路正常工作。



1. 一种GOA电路,用于液晶显示器,其特征在于,所述GOA电路包括级联的多个GOA单元,每一所述GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电,所述第一级传时钟、第二级传时钟用于控制所述GOA单元的级传信号的输入以及栅极驱动信号的产生,所述第一控制时钟、第二控制时钟用于控制所述栅极驱动信号处于第一电平,其中,所述级传信号为启动脉冲信号或相邻的所述GOA单元的所述栅极驱动信号;

所述GOA电路进一步包括控制模块,所述控制模块用于在所述GOA电路对所有所述水平扫描线同时充电后,通过所述启动脉冲信号控制所述水平扫描线上除第一个所述栅极驱动信号之外的所述栅极驱动信号复位至所述第一电平,从而避免在第一个所述栅极驱动信号输出之前在所述水平扫描线上产生冗余的脉冲信号;

其中,所述GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元;

所述正反扫描单元用于控制所述GOA电路的正向驱动或反向驱动,并在所述第一控制时钟或第二控制时钟的控制下,控制公共信号点保持第二电平;

所述输入控制单元用于根据所述第一级传时钟控制所述级传信号的输入以完成对栅极信号点的充电;

所述上拉维持单元用于根据所述公共信号点控制所述栅极信号点在非作用期间保持所述第一电平;

所述输出控制单元用于根据所述第二级传时钟控制与所述栅极信号点对应的所述栅极驱动信号的输出;

所述GAS信号作用单元用于控制所述栅极驱动信号处于所述第二电平,以实现与所述GOA单元对应的所述水平扫描线的充电;

所述自举电容单元用于对所述栅极信号点的电压进行再次抬升。

2. 根据权利要求1所述的GOA电路,其特征在于,所述控制模块包括除第一个所述GOA单元外,与多个所述GOA单元一一对应的多个第一控制晶体管,多个所述第一控制晶体管的第一端、第二端连接后接收所述启动脉冲信号,多个所述第一控制晶体管的第三端与对应的所述GOA单元的所述公共信号点连接。

3. 根据权利要求2所述的GOA电路,其特征在于,所述第一控制晶体管为PMOS管,所述第一控制晶体管的所述第一端、第二端、第三端对应所述PMOS管的栅极、源极和漏极;其中,当所述启动脉冲信号开启时,所述启动脉冲信号控制除第一个所述GOA单元外每一所述GOA单元的所述公共信号点处于低电平以使所述水平扫描线上的所述栅极驱动信号复位至高电平。

4. 根据权利要求2所述的GOA电路,其特征在于,所述第一控制晶体管为NMOS管,所述第一控制晶体管的所述第一端、第二端、第三端对应所述NMOS管的栅极、源极和漏极;其中,当所述启动脉冲信号开启时,所述启动脉冲信号控制除第一个所述GOA单元外每一所述GOA单元的所述公共信号点处于高电平以使所述水平扫描线上的所述栅极驱动信号复位至低电平。

5. 根据权利要求1所述的GOA电路,其特征在于,所述控制模块包括第二控制晶体管,所述第二控制晶体管的第一端、第二端连接后接收所述启动脉冲信号,所述第二控制晶体管

的第三端分别与除第一个所述GOA单元外每一所述GOA单元的所述公共信号点连接。

6. 根据权利要求5所述的GOA电路,其特征在于,所述第二控制晶体管为PMOS管,所述第二控制晶体管的所述第一端、第二端、第三端对应所述PMOS管的栅极、源极和漏极;其中,当所述启动脉冲信号开启时,所述启动脉冲信号控制除第一个所述GOA单元外每一所述GOA单元的公共信号点处于低电平以使所述水平扫描线上的所述栅极驱动信号复位至高电平。

7. 根据权利要求5所述的GOA电路,其特征在于,所述第二控制晶体管为NMOS管,所述第二控制晶体管的所述第一端、第二端、第三端对应所述NMOS管的栅极、源极和漏极;其中,当所述启动脉冲信号开启时,所述启动脉冲信号控制除第一个所述GOA单元外每一所述GOA单元的公共信号点处于高电平以使所述水平扫描线上的所述栅极驱动信号复位至低电平。

8. 根据权利要求1所述的GOA电路,其特征在于,

所述正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管,所述第一晶体管的栅极接收第一扫描控制信号,所述第一晶体管的源极接收下一级所述GOA单元输出的所述栅极驱动信号,所述第二晶体管的栅极接收第二扫描控制信号,所述第二晶体管的源极接收上一级所述GOA单元输出的所述栅极驱动信号,所述第一晶体管和所述第二晶体管的漏极相互连接后与所述输入控制单元连接,所述第三晶体管的栅极接收所述第一扫描控制信号,所述第三晶体管的源极接收所述第一控制时钟,所述第四晶体管的栅极接收所述第二扫描控制信号,所述第四晶体管的源极接收所述第二控制时钟,所述第三晶体管和所述第四晶体管的漏极相互连接后与所述上拉维持单元连接;

所述输入控制单元包括第五晶体管,所述第五晶体管的栅极接收所述第一级连信号,所述第五晶体管的源极与所述第一晶体管、第二晶体管的漏极连接,所述第五晶体管的漏极与栅极信号点连接;

所述上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容,所述第六晶体管的栅极与公共信号点连接,所述第六晶体管的源极与所述第五晶体管的漏极连接,所述第六晶体管的漏极与第一恒压源连接,所述第七晶体管的栅极与所述第五晶体管的漏极连接,所述第七晶体管的源极与所述公共信号点连接,所述第七晶体管的漏极与所述第一恒压源连接,所述第九晶体管的栅极与所述第三晶体管、第四晶体管的漏极连接,所述第九晶体管的源极与第二恒压源连接,所述第九晶体管的漏极与所述公共信号点连接,所述第十晶体管的栅极与所述公共信号点连接,所述第十晶体管的源极与所述栅极驱动信号连接,所述第十晶体管的漏极与所述第一恒压源连接,所述第一电容的一端与所述第一恒压源连接,所述第一电容的另一端与所述公共信号点连接;

所述输出控制单元包括第十一晶体管和第一电容,所述第十一晶体管的栅极与所述栅极信号点连接,所述第十一晶体管的漏极与所述栅极驱动信号连接,所述第十一晶体管的源极接收所述第二级传时钟,所述第一电容的一端与所述栅极信号点连接,所述第一电容的另一端与所述栅极驱动信号连接;

所述GAS信号作用单元包括第十三晶体管和第十四晶体管,所述第十三晶体管的栅极、第十四晶体管的栅极和漏极接收GAS信号,所述第十三晶体管的漏极连接所述第一恒压源,所述第十三晶体管的源极连接所述公共信号点,所述第十三晶体管的源极连接所述栅极驱动信号;

所述自举电容单元包括自举电容,所述自举电容的一端与所述栅极驱动信号连接,所

述自举电容的另一端与地信号连接；

所述GOA单元进一步包括稳压单元和上拉辅助单元，所述稳压单元包括第八晶体管，所述第八晶体管串接于所述第五晶体管的源极与所述栅极信号点之间，所述第八晶体管的栅极与所述第二恒压源连接，所述第八晶体管的漏极与所述第五晶体管的漏极连接，所述第八晶体管的源极与所述栅极信号点连接；所述上拉辅助单元包括第十二晶体管，所述第十二晶体管的栅极与所述第一晶体管、第二晶体管的漏极连接，所述第十二晶体管的源极与所述公共信号点连接，所述第十二晶体管的漏极与正压恒压源连接。

9. 一种液晶显示器，其特征在于，包括权利要求1-8任一项所述的GOA电路。

一种GOA电路及液晶显示器

技术领域

[0001] 本发明涉及液晶领域,特别是涉及一种GOA电路及液晶显示器。

背景技术

[0002] 现有的GOA (Gate driver on array) 电路在搭配All Gate On功能时,由于自举电容的存在,GOA电路中的栅极驱动信号在All Gate On功能完成后,不会马上变为无效电平,从而存在产生冗余的栅极驱动信号、进而导致电路出现失效的可能。

[0003] 其中,All Gate On功能是指将GOA电路中的所有栅极驱动信号设置为有效电平以同时对所有水平扫描线进行充电,从而清除液晶显示器中每个像素点残存的电荷以解决开关机时出现残影的问题。

发明内容

[0004] 本发明主要解决的技术问题是提供一种GOA电路及液晶显示器,能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号,从而保证GOA电路的正常工作。

[0005] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种GOA电路,用于液晶显示器,其中,该GOA电路包括级联的多个GOA单元,每一GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电,第一级传时钟、第二级传时钟用于控制GOA单元的级传信号的输入以及栅极驱动信号的产生,第一控制时钟、第二控制时钟用于控制栅极驱动信号处于第一电平,其中,级传信号为启动脉冲信号或相邻的GOA单元的栅极驱动信号;GOA电路进一步包括控制模块,控制模块用于在GOA电路对所有水平扫描线同时充电后,通过启动脉冲信号控制水平扫描线上的除第一个所述栅极驱动信号之外的栅极驱动信号复位至第一电平,从而避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号。

[0006] 其中,GOA单元包括正反扫描单元、输入控制单元、上拉维持单元、输出控制单元、GAS信号作用单元和自举电容单元;正反扫描单元用于控制GOA电路的正向驱动或反向驱动,并在第一控制时钟或第二控制时钟的控制下,控制公共信号点保持第二电平;输入控制单元用于根据第一级传时钟控制级传信号的输入以完成对栅极信号点的充电;上拉维持单元用于根据公共信号点控制栅极信号点在非作用期间保持第一电平;输出控制单元用于根据第二级传时钟控制与栅极信号点对应的栅极驱动信号的输出;GAS信号作用单元用于控制栅极驱动信号处于第二电平,以实现与GOA单元对应的水平扫描线的充电;自举电容单元用于对栅极信号点的电压进行再次抬升。

[0007] 其中,控制模块包括除第一个GOA单元外,与多个GOA单元一一对应的多个第一控制晶体管,多个第一控制晶体管的第一端、第二端连接后接收启动脉冲信号,多个第一控制晶体管的第三端与对应的GOA单元的公共信号点连接。

[0008] 其中,第一控制晶体管为PMOS管,第一控制晶体管的第一端、第二端、第三端对应

PMOS管的栅极、源极和漏极；其中，当启动脉冲信号开启时启动脉冲信号控制除第一个GOA单元外每一GOA单元的公共信号点处于低电平以使水平扫描线上的栅极驱动信号复位至高电平。

[0009] 其中，第一控制晶体管为NMOS管，第一控制晶体管的第一端、第二端、第三端对应NMOS管的栅极、源极和漏极；其中，当启动脉冲信号开启时，启动脉冲信号控制除第一个GOA单元外每一GOA单元的公共信号点处于高电平以使水平扫描线上的栅极驱动信号复位至低电平。

[0010] 其中，控制模块包括第二控制晶体管，第二控制晶体管的第一端、第二端连接后接收启动脉冲信号，第二控制晶体管的第三端分别与除第一个GOA单元外每一GOA单元的公共信号点连接。

[0011] 其中，第二控制晶体管为PMOS管，第二控制晶体管的第一端、第二端、第三端对应PMOS管的栅极、源极和漏极；其中，当启动脉冲信号开启时，启动脉冲信号控制除第一个GOA单元外每一GOA单元的公共信号点处于低电平以使水平扫描线上的栅极驱动信号复位至高电平。

[0012] 其中，第二控制晶体管为NMOS管，第一控制晶体管的第一端、第二端、第三端对应NMOS管的栅极、源极和漏极；其中，当启动脉冲信号开启时，启动脉冲信号控制除第一个GOA单元外每一GOA单元的公共信号点处于高电平以使水平扫描线上的栅极驱动信号复位至低电平。

[0013] 其中，正反扫描单元包括第一晶体管、第二晶体管、第三晶体管和第四晶体管，第一晶体管的栅极接收第一扫描控制信号，第一晶体管的源极接收下一级GOA单元输出的栅极驱动信号，第二晶体管的栅极接收第二扫描控制信号，第二晶体管的源极接收上一级GOA单元输出的栅极驱动信号，第一晶体管和第二晶体管的漏极相互连接后与输入控制单元连接，第三晶体管的栅极接收第一扫描控制信号，第三晶体管的源极接收第一控制时钟，第四晶体管的栅极接收第二扫描控制信号，第四晶体管的源极接收第二控制时钟，第三晶体管和第四晶体管的漏极相互连接后与上拉维持单元连接；输入控制单元包括第五晶体管，第五晶体管的栅极接收第一级连信号，第五晶体管的源极与第一晶体管、第二晶体管的漏极连接，第五晶体管的漏极与栅极信号点连接；上拉维持单元包括第六晶体管、第七晶体管、第九晶体管、第十晶体管和第一电容，第六晶体管的栅极与公共信号点连接，第六晶体管的源极与第五晶体管的漏极连接，第六晶体管的漏极与第一恒压源连接，第七晶体管的栅极与五晶体管的漏极连接，第七晶体管的源极与公共信号点连接，第七晶体管的漏极与第一恒压源连接，第九晶体管的栅极与第三晶体管、第四晶体管的漏极连接，第九晶体管的源极与第二恒压源连接，第九晶体管的漏极与公共信号点连接，第十晶体管的栅极与公共信号点连接，第十晶体管的源极与栅极驱动信号连接，第十晶体管的漏极与第一恒压源连接，第一电容的一端与第一恒压源连接，第一电容的另一端与公共信号点连接；输出控制单元包括第十一晶体管和第一电容，第十一晶体管的栅极与栅极信号点连接，第十一晶体管的漏极与栅极驱动信号连接，第十一晶体管的源极接收第二级传时钟，第二电容的一端与栅极信号点连接，第二电容的另一端与栅极驱动信号连接；GAS信号作用单元包括第十三晶体管和第十四晶体管，第十三晶体管的栅极、第十四晶体管的栅极和漏极接收GAS信号，第十三晶体管的漏极连接第一恒压源，第十三晶体管的源极连接公共信号点，第十三晶体管的源

极连接栅极驱动信号；自举电容单元包括自举电容，自举电容的一端与栅极驱动信号连接，自举电容的另一端与地信号连接。

[0014] 其中，GOA单元进一步包括稳压单元和上拉辅助单元，稳压单元包括第八晶体管，第八晶体管串接于第五晶体管的源极与栅极信号点之间，第八晶体管的栅极与第二恒压源连接，第八晶体管的漏极与第五晶体管的漏极连接，第八晶体管的源极与栅极信号点连接；上拉辅助单元包括第十二晶体管，第十二晶体管的栅极与第一晶体管、第二晶体管的漏极连接，第十二晶体管的源极与公共信号点连接，十二晶体管的漏极与正压恒压源连接。

[0015] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种液晶显示器，包括了上述GOA电路。

[0016] 本发明的有益效果是：本发明的GOA电路及液晶显示器通过GOA电路对所有水平扫描线同时充电后，通过启动脉冲信号控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平，从而能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号，进而保证了GOA电路的正常工作。

附图说明

[0017] 图1是本发明第一实施例的GOA电路的结构示意图；

[0018] 图2是本发明第二实施例的GOA电路的结构示意图；

[0019] 图3是图2所示GOA电路中GOA单元的电路原理图；

[0020] 图4是本发明第二实施例的GOA电路的工作时序图；

[0021] 图5是本发明第三实施例的GOA电路的结构示意图。

具体实施方式

[0022] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[0023] 图1是本发明第一实施例的GOA电路的结构示意图。如图1所示，GOA电路10包括级联的多个GOA单元11和控制模块12。

[0024] 每一GOA单元11用于在第一级传时钟CK_A1、第二级传时钟CK_A2、第一控制时钟CK_B1、第二控制时钟CK_B2的驱动下对显示区域中对应的水平扫描线进行充电。其中，第一级传时钟CK_A1、第二级传时钟CK_A2用于控制GOA单元11的级传信号CON_1的输入以及栅极驱动信号GATE (N) (N为自然数) 的产生，第一控制时钟CK_B1、第二控制时钟CK_B2用于控制栅极驱动信号GATE (N) 处于第一电平也即无效电平，其中，级传信号CON_1为启动脉冲信号或相邻的GOA单元11的栅极驱动信号。

[0025] 控制模块12分别与启动脉冲信号STV和除第一个GOA单元11外的每个GOA单元11连接，用于在GOA电路10对水平扫描线同时充电也即完成All Gate on功能后，通过启动脉冲信号STV控制水平扫描线上的除第一级栅极驱动信号GATE (1) 外的其它栅极驱动信号Gate (N) 复位至第一电平也即无效电平，从而避免在第一个栅极驱动信号GATE (1) 输出之前在水平扫描线上产生冗余的脉冲信号。

[0026] 图2是本发明第二实施例的GOA电路的结构示意图。本发明第二实施例以奇数级GOA单元级联形成的GOA电路为例来说明,其中GOA电路为PMOS电路。如图2所示,GOA电路20包括级联的奇数级GOA单元21和控制模块22。

[0027] 其中,GOA电路20包括级联的奇数级GOA单元21是指GOA电路20由第一级、第三级、第五级、…第 $2N+1$ (N 为自然数)级GOA单元21级联形成。

[0028] 其中,GOA电路20接收第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4,其中,第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4在一个时钟周期依次分时有有效。

[0029] 请一并参考图3,图3是图2所示GOA电路中GOA单元的电路原理图。如图3所示,GOA单元21包括正反扫描单元100、输入控制单元200、上拉维持单元300、输出控制单元400、GAS信号作用单元500和自举电容单元600。

[0030] 第一正反扫描单元100用于控制GOA电路20的正向驱动或反向驱动,并在第一控制时钟CK_LB1或第二控制时钟CK_LB2的控制下,控制公共信号点P ($2N+1$) 保持第二电平。在本实施例中,第二电平为低电平。

[0031] 输入控制单元200用于根据第一级传时钟CK_LA1控制级传信号的输入以完成对栅极信号点Q ($2N+1$) (N 为自然数)的充电。

[0032] 上拉维持单元300用于根据公共信号点P ($2N+1$) 控制栅极信号点Q ($2N+1$) 在非作用期间保持第一电平。在本实施例中,第一电平为高电平。

[0033] 输出控制单元400用于根据第二级传时钟CK_LA2控制与栅极信号点Q ($2N+1$) 对应的栅极驱动信号G ($2N+1$) 的输出。

[0034] GAS信号作用单元500用于控制栅极驱动信号G ($2N+1$) 处于有效电平,以实现GOA单元21对应的水平扫描线的充电。在本实施例中,栅极驱动信号G ($2N+1$) 的有效电平为低电平。

[0035] 自举电容单元600用于对栅极信号点Q ($2N+1$) 的电压进行再次抬升。

[0036] 具体来说,正反扫描单元100包括第一晶体管PT0、第二晶体管PT1、第三晶体管PT2和第四晶体管PT3,第一晶体管PT0的栅极接收第一扫描控制信号也即反向扫描控制信号D2U,第一晶体管PT0的源极接收下一级GOA单元21输出的栅极驱动信号G ($2N+3$),第二晶体管PT1的栅极接收第二扫描控制信号也即正向扫描控制信号U2D,第二晶体管PT1的源极接收上一级GOA单元输出的栅极驱动信号G ($2N-1$),第一晶体管PT0和第二晶体管PT1的漏极相互连接后与输入控制单元200连接,第三晶体管PT2的栅极接收第一扫描控制信号也即反向扫描控制信号D2U,第三晶体管PT2的源极接收第一控制时钟CK_LB1,第四晶体管PT3的栅极接收第二扫描控制信号也即正向扫描控制信号U2D,第四晶体管PT3的源极接收第二控制时钟CK_LB2,第三晶体管PT2和第四晶体管PT3的漏极相互连接后与上拉维持单元300连接。

[0037] 其中,在第一级GOA单元中,第二晶体管PT1的源极接收启动脉冲信号STV。在最后一级GOA单元中,第一晶体管PT0的源极接收启动脉冲信号STV。

[0038] 输入控制单元200包括第五晶体管PT4,第五晶体管PT4的栅极接收第一级传时钟CK_LA1,第五晶体管PT4的源极与第一晶体管PT0、第二晶体管PT1的漏极连接,第五晶体管PT4的漏极与栅极信号点Q ($2N+1$) 连接。

[0039] 上拉维持单元300包括第六晶体管PT5、第七晶体管PT6、第九晶体管PT8、第十晶体

管PT9和第一电容C1,第六晶体管PT5的栅极与公共信号点P (2N+1) 连接,第六晶体管PT5的源极与第五晶体管PT4的漏极连接,第六晶体管PT5的漏极与第一恒压源也即正压恒压源VGH连接,第七晶体管PT6的栅极与第五晶体管PT4的漏极连接,第七晶体管PT6的源极与公共信号点P (2N+1) 连接,第七晶体管PT6的漏极与第一恒压源也即正压恒压源VGH连接,第九晶体管PT8的栅极与第三晶体管PT2、第四晶体管PT3的漏极连接,第九晶体管PT8的源极与第二恒压源也即负压恒压源VGL连接,第九晶体管PT8的漏极与公共信号点P (2N+1) 连接,第十晶体管PT9的栅极与公共信号点P (2N+1) 连接,第十晶体管PT9的源极与栅极驱动信号G (2N+1) 连接,第十晶体管PT9的漏极与第一恒压源也即正压恒压源VGH连接,第一电容C1的一端与第一恒压源也即正压恒压源VGH连接,第一电容C1的另一端与公共信号点 (2N+1) 连接。

[0040] 输出控制单元400包括第十一晶体管PT10和第二电容C2,第十一晶体管PT10的栅极与栅极信号点Q (2N+1) 连接,第十一晶体管PT10的漏极与栅极驱动信号Q (2N+1) 连接,第十一晶体管PT10的源极接收第二级传时钟CK_LA2,第二电容C2的一端与栅极信号点Q (2N+1) 连接,第二电容C2的另一端与栅极驱动信号G (2N+1) 连接;

[0041] GAS信号作用单元500包括第十三晶体管PT12和第十四晶体管PT13,第十三晶体管PT12的栅极、第十四晶体管PT13的栅极和漏极接收GAS信号GAS,第十三晶体管PT12的漏极连接第一恒压源也即正压恒压源VGH,第十三晶体管PT12的源极连接公共信号点P (2N+1) ,第十三晶体管PT12的源极连接栅极驱动信号G (2N+1) 。

[0042] 自举电容单元600包括自举电容Cload,自举电容Cload的一端与栅极驱动信号G (2N+1) 连接,自举电容Cload的另一端与地信号GND连接。

[0043] 优选地,GOA单元21进一步包括稳压单元700,稳压单元700用于实现栅极信号点Q (2N+1) 的稳压以及栅极信号点Q (2N+1) 的漏电防治。具体来说,稳压单元700包括第八晶体管PT7,第八晶体管PT7串接于第五晶体管PT4的源极与栅极信号点Q (2N+1) 之间,第八晶体管PT7的栅极与第二恒压源也即负压恒压源VGL连接,第八晶体管PT7的漏极与第五晶体管PT4的漏极连接,第八晶体管PT7的源极与栅极信号点Q (2N+1) 连接。

[0044] 优选地,GOA单元21进一步包括上拉辅助单元800,上拉辅助单元800用于防止第五晶体管PT4和第六晶体管PT5在对栅极信号点Q (2N+1) 进行充电的过程中出现漏电的问题。具体来说,上拉辅助单元800包括第十二晶体管PT11,第十二晶体管PT11的栅极与第一晶体管PT0、第二晶体管PT1的漏极连接,第十二晶体管PT11的源极与公共信号点P (2N+1) 连接,第十二晶体管PT11的漏极与第一恒压源也即正压恒压源VGH连接。

[0045] 在GOA电路20中,在第一级、第五级、...第4N+1 (N为自然数) 级GOA单元21中,第一级传时钟CK_LA1为第一时钟信号CK1,第二级传时钟CK_LA2为第三时钟信号CK3,第一控制时钟CK_LB1为第二时钟信号CK2,第二控制时钟CK_LB2为第四时钟信号CK4。在第三级、第七级、...第4N+3 (N为自然数) 级GOA单元21中,第二级传时钟CK_LA2为第三时钟信号CK3,第一级传时钟CK_LA1为第一时钟信号CK1,第二控制时钟CK_LB2为第四时钟信号CK4,第一控制时钟CK_LB2为第二时钟信号CK2。

[0046] 本领域的技术人员可以理解,当GOA电路为NMOS电路时,上述所有晶体管为NMOS晶体管,第一扫描控制信号对应正向扫描控制信号U2D,第二扫描控制信号对应反相扫描控制信号D2U,第一恒压源对应负压恒压源VGL,第二恒压源对应正压恒压源VGH。

[0047] 请继续参考图2,控制模块22包括除第一级GOA单元21外,与剩余的GOA单元21一一对应的第一控制晶体管T1,第一控制晶体管T1的第一端、第二端连接后接收启动脉冲信号STV,第一控制晶体管T1的第三端与对应的GOA单元21的公共信号点P(2N+1)连接。

[0048] 在本实施例中,第一控制晶体管T1为PMOS管,第一控制晶体管T1的第一端、第二端、第三端对应PMOS管的栅极、源极和漏极;其中,当启动脉冲信号STV开启时,启动脉冲信号STV控制除第一个GOA单元外的每一GOA单元的公共信号点P(2N+1)处于低电平以使水平扫描线上的栅极驱动信号G(2N+1)复位至高电平。

[0049] 在其它实施例中,当GOA电路为NMOS电路时,第一控制晶体管T1也可以为NMOS管,第一控制晶体管T1的第一端、第二端、第三端对应NMOS管的栅极、源极和漏极;其中,当启动脉冲信号STV开启时,启动脉冲信号STV控制除第一个GOA单元外的每一GOA单元的公共信号点P(2N+1)处于高电平以使水平扫描线上的栅极驱动信号G(2N+1)复位至低电平。

[0050] 图4是本发明第二实施例的GOA电路的工作时序图。本发明第二实施例以奇数级GOA单元级联形成的GOA电路为例来说明,其中GOA电路为PMOS电路。如图4所示,当GAS信号GAS有效也即为低电平信号时,GOA电路20实现All Gate On功能,与各奇数级水平扫描线对应的栅极驱动信号G(2N+1)输出低电平信号。当GOA电路20完成All Gate On功能后,由于自举电容Cload的存在,与各奇数级水平扫描线对应的栅极驱动信号G(2N+1)不会马上变为高电平,而会保持Cload holding的低电平信号。

[0051] 以GOA电路为正向驱动为例,如果与奇数级水平扫描线对应的栅极驱动信号在第三时钟信号CK3有效之前不能放电至高电平,则除第一级水平扫描线以外,其它奇数级水平扫描线上会产生冗余的脉冲信号。具体来说,第一级水平扫描线由第一级GOA单元驱动,由于第一级GOA单元的级传信号为启动脉冲信号STV,第一级GOA单元正常驱动,不会产生冗余的脉冲信号。第三级水平扫描线由第三级GOA单元驱动,而第三级GOA单元的级传信号为第一级GOA单元的栅极驱动信号G(1),当第一时钟信号CK1为低电平时,由于栅极驱动信号G(1)保持Cload holding的低电平信号,则栅极驱动信号G(1)的低电平信号会传递至第三级GOA单元的栅极信号点Q(3),使得第三级GOA单元21先于第一级GOA单元21工作,并使得第三级GOA单元21输出的栅极驱动信号G(3)产生一个冗余的脉冲,这个冗余的脉冲会继续影响下一级GOA单元21的栅极驱动信号。基于相同的理由,在第一时钟信号CK1有效时,第七级、第十一级、...第4N+3级GOA单元的栅极驱动信号均会产生冗余的脉冲。

[0052] 为了避免上述问题的产生,如图4所示,GOA电路20实现All Gate On功能后,在第一时钟信号CK1有效之前,设置启动脉冲信号STV为低电平并随着第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4依次有效后,启动脉冲信号STV由低电平变为高电平。其中,当启动脉冲信号STV为低电平时,由于第一控制晶体管T1导通,第三级、第五级、...,第2N+1级的GOA单元21的公共信号点P(2N+1)从高电平变为低电平,从而使得在第三时钟信号CK3有效之前栅极驱动信号G(2N+1)变为高电平信号,从而避免了冗余的脉冲信号的产生。随后,保持正常的第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3、第四时钟信号CK4的驱动顺序对GOA电路20进行驱动,即可实现对水平扫描线的正常充电。

[0053] 图5是本发明第三实施例的GOA电路的结构示意图。本发明第三实施例以奇数级GOA单元级联形成的GOA电路为例来说明,其中GOA电路为PMOS电路。图5所示的第三实施例与图2所示的第二实施例的区别在于:

[0054] 如图5所示,控制模块23包括第二控制晶体管T2,第二控制晶体管T2的第一端、第二端连接后接收启动脉冲信号STV,第二控制晶体管T3的第三端分别与除第一个GOA单元21外的多个GOA单元21的公共信号点P(2N+1)连接。

[0055] 在本实施例中,第二控制晶体管T2为PMOS管,第二控制晶体管T2的第一端、第二端、第三端对应PMOS管的栅极、源极和漏极;其中,当启动脉冲信号STV开启时,启动脉冲信号控制除第一个GOA单元外的每一GOA单元21的公共信号点P(2N+1)处于低电平以使水平扫描线上的栅极驱动信号G(2N+1)复位至高电平。

[0056] 在其它实施例中,当GOA电路为NMOS电路时,第二控制晶体管T2也可以为NMOS管,第二控制晶体管T2的第一端、第二端、第三端对应NMOS管的栅极、源极和漏极;其中,当启动脉冲信号STV开启时,启动脉冲信号控制每一GOA单元21的公共信号点P(2N+1)处于高电平以使水平扫描线上的栅极驱动信号G(2N+1)复位至低电平。

[0057] 另外,图5所示第三实施例的GOA电路的工作时序和图2所示第二实施例的GOA电路的工作时序相同,为简约起见,在此不再赘述。

[0058] 本领域的技术人员可以理解,液晶显示器包括奇数级的GOA单元级联形成的GOA电路和偶数级的GOA单元级联形成的GOA电路,由于偶数级的GOA单元级联形成的GOA电路与奇数级的GOA单元级联形成的GOA电路的处理方式类似,为简约起见,在此不再详述。

[0059] 本发明进一步提供一种液晶显示器,包括了上述GOA电路。

[0060] 本发明的有益效果是:本发明的GOA电路及液晶显示器通过GOA电路对所有水平扫描线同时充电后,通过启动脉冲信号控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平,从而能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号,进而保证了GOA电路的正常工作。

[0061] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

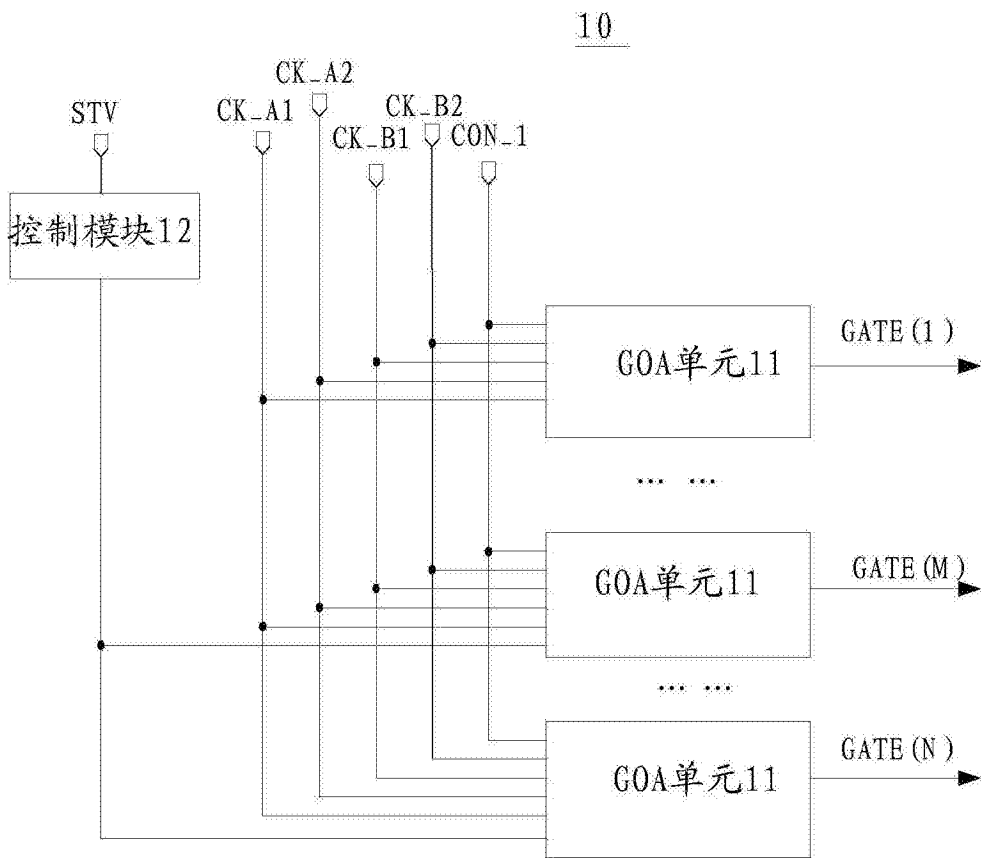


图1

20

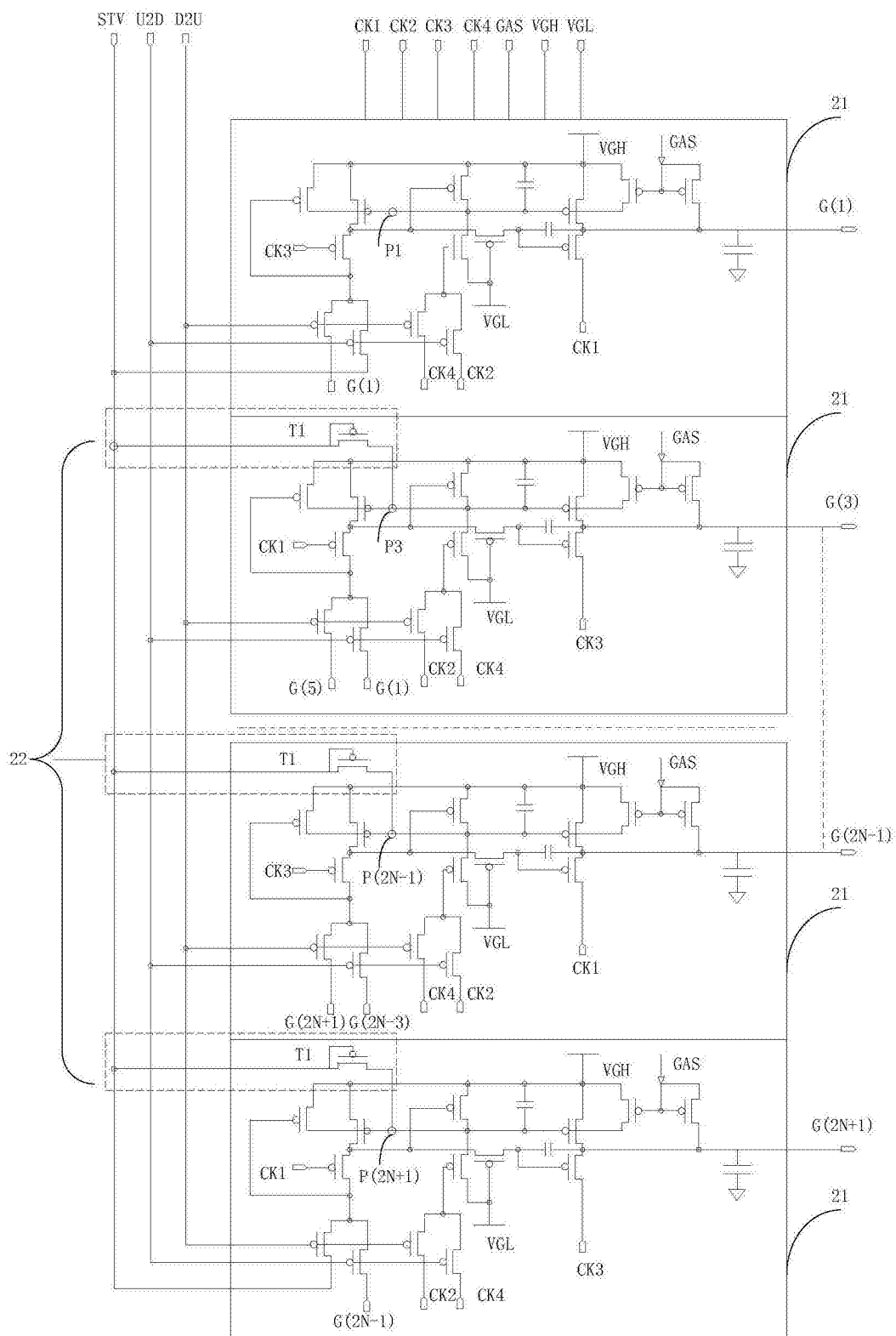


图2

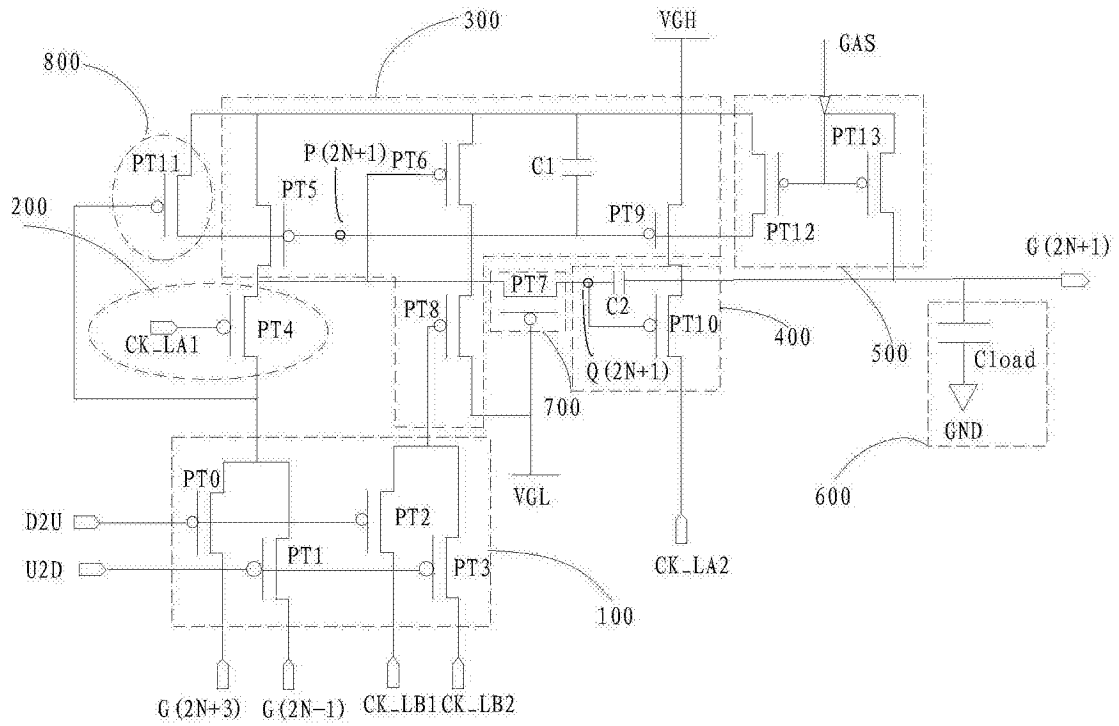


图3

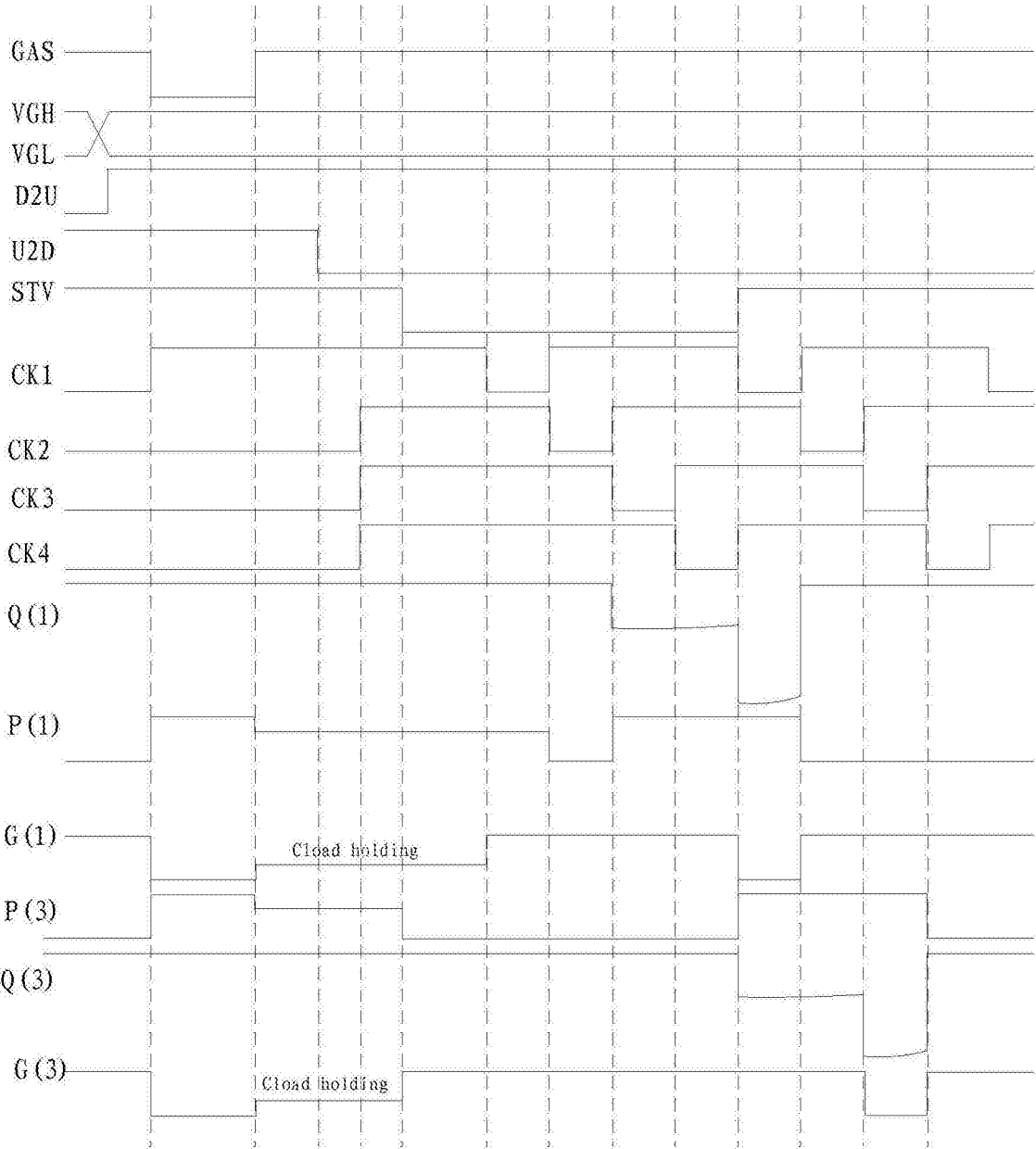


图4

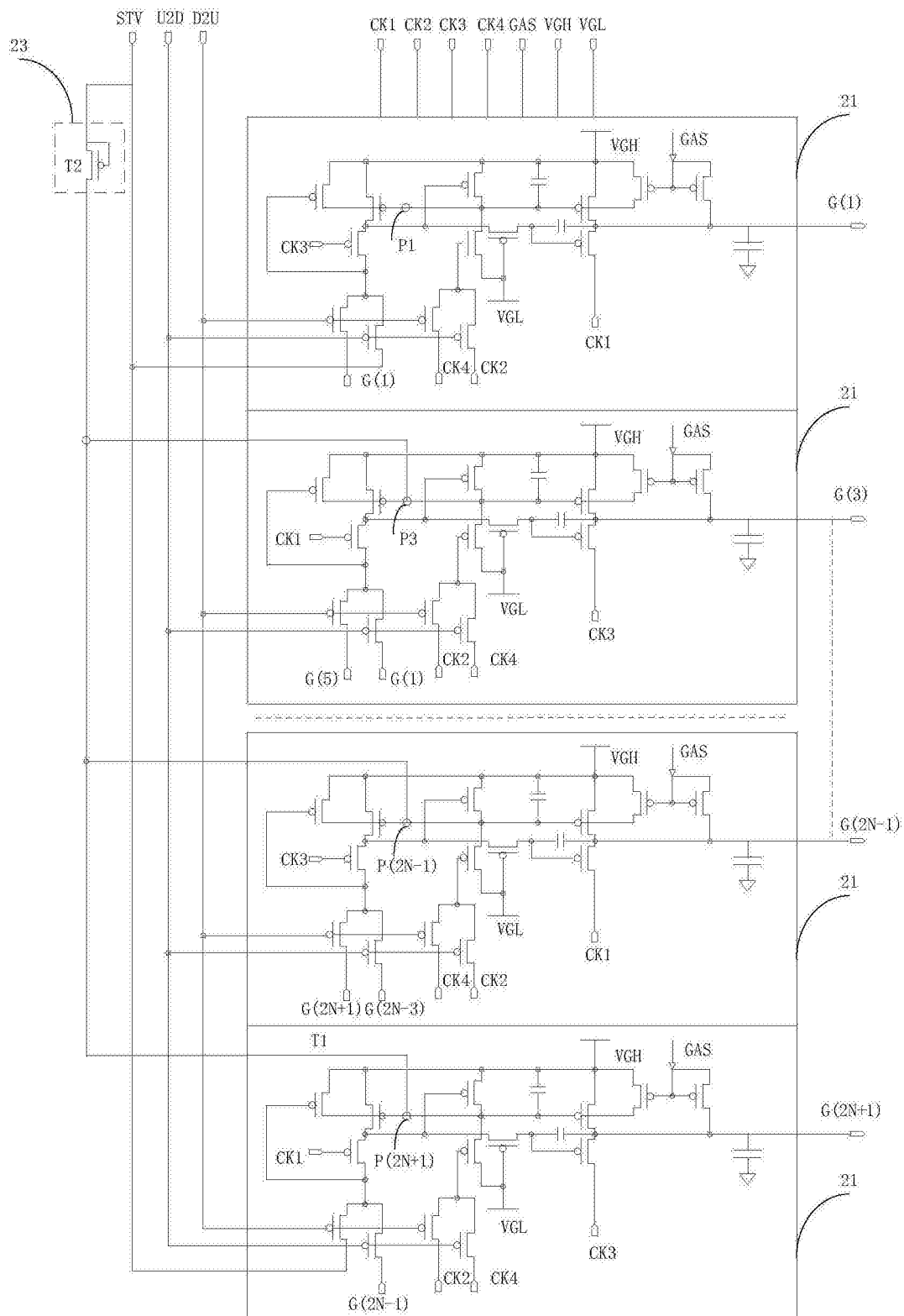


图5

专利名称(译)	一种GOA电路及液晶显示器		
公开(公告)号	CN105047158B	公开(公告)日	2017-11-10
申请号	CN201510520861.7	申请日	2015-08-21
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
[标]发明人	肖军城 赵莽		
发明人	肖军城 赵莽		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0809 G09G2310/0267 G09G2310/0286 G11C19/28		
审查员(译)	冯晓卉		
其他公开文献	CN105047158A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路及液晶显示器。该GOA电路包括级联的多个GOA单元和控制模块，每一GOA单元用于在第一级传时钟、第二级传时钟、第一控制时钟、第二控制时钟的驱动下对显示区域中对应的水平扫描线进行充电，控制模块用于在GOA电路对所有水平扫描线同时充电后，通过启动脉冲信号控制水平扫描线上的栅极驱动信号复位至第一电平也即无效电平，能够避免在第一个栅极驱动信号输出之前在水平扫描线上产生冗余的脉冲信号，从而保证GOA电路正常工作。

