



(12) 发明专利申请

(10) 申请公布号 CN 104766575 A

(43) 申请公布日 2015. 07. 08

(21) 申请号 201510160697. 3

(22) 申请日 2015. 04. 07

(71) 申请人 深圳市华星光电技术有限公司  
地址 518000 广东省深圳市光明新区公明办事处塘家社区观光路汇业科技园综合楼 1 第一层 B 区

(72) 发明人 肖军城

(74) 专利代理机构 深圳市威世博知识产权代理事务所(普通合伙) 44280  
代理人 何青瓦

(51) Int. Cl.  
G09G 3/36(2006. 01)

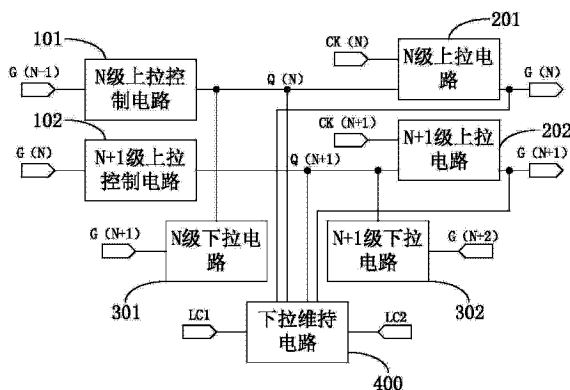
权利要求书3页 说明书7页 附图10页

(54) 发明名称

一种 GOA 电路及液晶显示器

(57) 摘要

本发明公开了一种 GOA 电路及液晶显示器, 该 GOA 电路包括多个 GOA 单元, 每个 GOA 单元依次对显示区域的第 N 级水平扫描线 G(N) 及第 N+1 级水平扫描线 G(N+1) 充电; GOA 单元包括 N 级上拉控制电路、N+1 级上拉控制电路、N 级上拉电路、N+1 级上拉电路、N 级下拉电路、N+1 级下拉电路及下拉维持电路; 下拉维持电路在第 N 级水平扫描线 G(N) 充电后维持第 N 级栅极信号点 Q(N) 及第 N 级水平扫描线 G(N) 的电位至最低电位, 在第 N+1 级水平扫描线 G(N+1) 充电后维持第 N+1 级栅极信号点 Q(N+1) 及第 N 级水平扫描线 G(N+1) 的电位至最低电位。通过上述方式, 本发明能够使两级 GOA 单元共用同一个下拉维持电路, 降低功耗。



1. 一种 GOA 电路,用于液晶显示,其特征在于,所述 GOA 电路包括多个 GOA 单元,每个所述 GOA 单元依次对显示区域的第 N 级水平扫描线 (G(N)) 及第 N+1 级水平扫描线 (G(N+1)) 充电,所述 GOA 单元包括 N 级上拉控制电路、N+1 级上拉控制电路、N 级上拉电路、N+1 级上拉电路、N 级下拉电路、N+1 级下拉电路及下拉维持电路;

其中,所述 N 级上拉电路及下拉维持电路分别与第 N 级栅极信号点 (Q(N)) 和所述第 N 级水平扫描线 (G(N)) 连接,所述 N 级上拉控制电路、N 级下拉电路与所述第 N 级栅极信号点 (Q(N)) 连接;

所述 N+1 级上拉电路及下拉维持电路分别与第 N+1 级栅极信号点 (Q(N+1)) 和所述第 N+1 级水平扫描线 (G(N+1)) 连接,所述 N+1 级上拉控制电路、N+1 级下拉电路与所述第 N+1 级栅极信号点 (Q(N+1)) 连接;

所述下拉维持电路在所述第 N 级水平扫描线 (G(N)) 充电后维持所述第 N 级栅极信号点 (Q(N)) 及所述第 N 级水平扫描线 (G(N)) 的电位至最低电位,在所述第 N+1 级水平扫描线 (G(N+1)) 充电后维持所述第 N+1 级栅极信号点 (Q(N+1)) 及所述第 N 级水平扫描线 (G(N+1)) 的电位至最低电位。

2. 根据权利要求 1 所述的 GOA 电路,其特征在于,所述下拉维持电路包括:

第一晶体管 (T1),其栅极和漏极连接第一时钟信号 (LC1);

第二晶体管 (T2),其栅极连接所述第一晶体管 (T1) 的源极,漏极连接所述第一时钟信号 (LC1),源极连接第一公共点 (K(N));

第三晶体管 (T3),其栅极连接第二时钟信号 (LC2),漏极连接所述第一时钟信号 (LC1),源极连接所述第一公共点 (K(N));

第四晶体管 (T4),其栅极和漏极连接所述第一公共点 (K(N));

第五晶体管 (T5),其栅极连接所述第 N 级栅极信号点 (Q(N)),漏极连接所述第一晶体管 (T1) 的源极和所述第四晶体管 (T4) 的源极,源极连接第一直流低电压 (VSS1);

第六晶体管 (T6),其栅极连接所述第 N+1 级栅极信号点 (Q(N+1)),漏极连接所述第一晶体管 (T1) 的源极,源极连接所述第一直流低电压 (VSS1);

第七晶体管 (T7),其栅极连接所述第一公共点 (K(N)),漏极连接所述第 N+1 级栅极信号点 (Q(N+1)),源极连接所述第一直流低电压 (VSS1);

第八晶体管 (T8),其栅极连接所述第一公共点 (K(N)),漏极连接所述第 N+1 级水平扫描线 (G(N+1)),源极连接所述第一直流低电压 (VSS1);

第九晶体管 (T9),其栅极连接第二公共点 (P(N)),漏极连接所述第 N+1 级栅极信号点 (Q(N+1)),源极连接所述第一直流低电压 (VSS1);

第十晶体管 (T10),其栅极连接所述第二公共点 (P(N)),漏极连接所述第 N+1 级水平扫描线 (G(N+1)),源极连接所述第一直流低电压 (VSS1);

第十一晶体管 (T11),其栅极和漏极连接所述第二时钟信号 (LC2);

第十二晶体管 (T12),其栅极连接所述第十一晶体管 (T11) 的源极,漏极连接所述第二时钟信号 (LC2),源极连接第二公共点 (P(N));

第十三晶体管 (T13),其栅极连接第一时钟信号 (LC1),漏极连接所述第二时钟信号 (LC2),源极连接所述第二公共点 (P(N));

第十四晶体管 (T14),其栅极和漏极连接所述第二公共点 (P(N));

第十五晶体管 (T15), 其栅极连接所述第 N 级栅极信号点 (Q(N)), 漏极连接所述第十一晶体管 (T11) 的源极和所述第十四晶体管 (T14) 的源极, 源极连接第一直流低电压 (VSS1);

第十六晶体管 (T16), 其栅极连接所述第 N+1 级栅极信号点 (Q(N+1)), 漏极连接所述第十一晶体管 (T11) 的源极, 源极连接所述第一直流低电压 (VSS1);

第十七晶体管 (T17), 其栅极连接所述第二公共点 (P(N)), 漏极连接所述第 N 级栅极信号点 (Q(N)), 源极连接所述第一直流低电压 (VSS1);

第十八晶体管 (T18), 其栅极连接所述第二公共点 (P(N)), 漏极连接所述第 N 级水平扫描线 (G(N)), 源极连接所述第一直流低电压 (VSS1);

第十九晶体管 (T19), 其栅极连接第一公共点 (K(N)), 漏极连接所述第 N 级栅极信号点 (Q(N)), 源极连接所述第一直流低电压 (VSS1);

第二十晶体管 (T20), 其栅极连接所述第一公共点 (K(N)), 漏极连接所述第 N 级水平扫描线 (G(N)), 源极连接所述第一直流低电压 (VSS1)。

3. 根据权利要求 2 所述的 GOA 电路, 其特征在于, 所述下拉维持电路还包括:

第二十二晶体管 (T22), 其栅极连接所述第 N+1 级栅极信号点 (Q(N+1)), 漏极和源极分别连接所述第一公共点 (K(N)) 和所述第二公共点 (P(N))。

4. 根据权利要求 3 所述的 GOA 电路, 其特征在于, 所述 GOA 单元还包括第 N 级下传电路及第 N+1 级下传电路;

所述第 N 级下传电路连接所述第 N 级栅极信号点 (Q(N)), 用于给所述第 N+1 级下传控制电路提供 N 级下传信号 (ST(N));

所述第 N+1 级下传电路连接所述第 N+1 级栅极信号点 (Q(N+1)), 用于给下级 GOA 单元的第 N+2 级下传控制电路提供 N+1 级下传信号 (ST(N+1))。

5. 根据权利要求 4 所述的 GOA 电路, 其特征在于, 所述下拉维持电路还包括:

第二十三晶体管 (T23), 其栅极连接所述第 N+1 级水平扫描线 (G(N+1)), 漏极连接所述第一公共点 (K(N)), 源极连接所述第一直流低电压 (VSS1);

第二十四晶体管 (T24), 其栅极连接所述第 N 级水平扫描线 (G(N)), 漏极连接所述第二公共点 (P(N)), 源极连接所述第一直流低电压 (VSS1)。

6. 根据权利要求 5 所述的 GOA 电路, 其特征在于,

所述第二十三晶体管 (T23) 的栅极连接所述 N+1 级下传信号 (ST(N+1));

所述第二十四晶体管 (T24) 的栅极连接所述 N 级下传信号 (ST(N))。

7. 根据权利要求 6 所述的 GOA 电路, 其特征在于,

所述第七晶体管 (T7) 的源极、第九晶体管 (T9) 的源极、第十七晶体管 (T17) 的源极及第十九晶体管 (T19) 的源极连接第二直流低电压 (VSS2)。

8. 根据权利要求 7 所述的移位寄存器, 其特征在于, 所述下拉维持电路还包括:

第二十五晶体管 (T25), 其栅极连接所述第一公共点 (K(N)), 漏极连接所述 N+1 级下传信号 (ST(N+1)), 源极连接所述第二直流低电压 (VSS2);

第二十六晶体管 (T26), 其栅极连接所述第二公共点 (P(N)), 漏极连接所述 N+1 级下传信号 (ST(N+1)), 源极连接所述第二直流低电压 (VSS2);

第二十七晶体管 (T27), 其栅极连接所述第二公共点 (P(N)), 漏极连接所述 N 级下传信

号 (ST(N)), 源极连接所述第二直流低电压 (VSS2);

第二十八晶体管 (T28), 其栅极连接所述第一公共点 (K(N)), 漏极连接所述 N 级下传信号 (ST(N)), 源极连接所述第二直流低电压 (VSS2)。

9. 根据权利要求 1 所述的 GOA 电路, 其特征在于, 所述 GOA 单元还包括重置电路;

所述重置电路连接所述第 N 级栅极信号点 (Q(N))、第 N+1 级栅极信号点 (Q(N+1)) 及第一直流低电压 (VSS1), 用于在接收到重置信号后下拉所述第 N 级栅极信号点 (Q(N)) 及第 N+1 级栅极信号点 (Q(N+1)) 的电位至低电位。

10. 一种液晶显示器, 其特征在于, 所述液晶显示器包括如权利要求 1-9 任一项所述的 GOA 电路。

## 一种 GOA 电路及液晶显示器

### 技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种 GOA 电路及液晶显示器。

### 背景技术

[0002] Gate Driver On Array,简称 GOA,也就是利用现有薄膜晶体管液晶显示器 Array 制程,将 Gate 行扫描驱动信号电路制作在 Array 基板上,实现对 Gate 逐行扫描的驱动方式的一项技术。

[0003] 现有的 GOA 电路主要由上拉电路 (Pull-up part),上拉控制电路 (Pull-up control part),下传电路 (Transfer Part,下拉电路 (Key Pull-down Part),下拉维持电路 (Pull-down Holding Part),以及负责电位抬升的电容 (Boost Part) 组成。上拉电路主要负责将输入的时钟讯号 (Clock) 输出至 Gate 端,作为显示装置的驱动讯号;上拉控制电路负责控制上拉电路的打开,一般是由上级 GOA 电路传递来的讯号作用;下拉电路负责在 Gate 输出完后的第一时间将 Gate 拉低为低电位,即关闭 Gate 讯号;下拉保持电路则负责将 Gate 输出讯号和上拉电路的 Gate 讯号(通常称为 Q 点)保持在关闭状态(即设定的负电位),通常有两个下拉维持电路交替作用;电容 (Boost Part) 则负责 Q 点电位的二次抬升,这样确保上拉电路的 G(N) 正常输出。

[0004] 但是这样的设计由于每级都包括一下拉维持电路,并由两部分交替作用,功耗较大,不利于环保。

### 发明内容

[0005] 本发明主要解决的技术问题是提供一种 GOA 电路及液晶显示器,能够降低液晶显示器中 GOA 电路的功耗。

[0006] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种 GOA 电路,GOA 电路包括多个 GOA 单元,每个 GOA 单元依次对显示区域的第 N 级水平扫描线 G(N) 及第 N+1 级水平扫描线 G(N+1) 充电,GOA 单元包括 N 级上拉控制电路、N+1 级上拉控制电路、N 级上拉电路、N+1 级上拉电路、N 级下拉电路、N+1 级下拉电路及下拉维持电路;其中,N 级上拉电路及下拉维持电路分别与第 N 级栅极信号点 Q(N) 和第 N 级水平扫描线 G(N) 连接,N 级上拉控制电路、N 级下拉电路与第 N 级栅极信号点 Q(N) 连接;N+1 级上拉电路及下拉维持电路分别与第 N+1 级栅极信号点 Q(N+1) 和第 N+1 级水平扫描线 G(N+1) 连接,N+1 级上拉控制电路、N+1 级下拉电路与第 N+1 级栅极信号点 Q(N+1) 连接;下拉维持电路在第 N 级水平扫描线 G(N) 充电后维持第 N 级栅极信号点 Q(N) 及第 N 级水平扫描线 G(N) 的电位至低电位,在第 N+1 级水平扫描线 G(N+1) 充电后维持第 N+1 级栅极信号点 Q(N+1) 及第 N 级水平扫描线 G(N+1) 的电位至低电位。

[0007] 其中,下拉维持电路包括:第一晶体管 T1,其栅极和漏极连接第一时钟信号 LC1;第二晶体管 T2,其栅极连接第一晶体管 T1 的源极,漏极连接第一时钟信号 LC1,源极连接第一公共点 K(N);第三晶体管 T3,其栅极连接第二时钟信号 LC2,漏极连接第一时钟信号

LC1, 源极连接第一公共点 K(N); 第四晶体管 T4, 其栅极和漏极连接第一公共点 K(N); 第五晶体管 T5, 其栅极连接第 N 级栅极信号点 Q(N), 漏极连接第一晶体管 T1 的源极和第四晶体管 T4 的源极, 源极连接第一直流低电压 VSS1; 第六晶体管 T6, 其栅极连接第 N+1 级栅极信号点 Q(N+1), 漏极连接第一晶体管 T1 的源极, 源极连接第一直流低电压 VSS1; 第七晶体管 T7, 其栅极连接第一公共点 K(N), 漏极连接第 N+1 级栅极信号点 Q(N+1), 源极连接第一直流低电压 VSS1; 第八晶体管 T8, 其栅极连接第一公共点 K(N), 漏极连接第 N+1 级水平扫描线 G(N+1), 源极连接第一直流低电压 VSS1; 第九晶体管 T9, 其栅极连接第二公共点 P(N), 漏极连接第 N+1 级栅极信号点 Q(N+1), 源极连接第一直流低电压 VSS1; 第十晶体管 T10, 其栅极连接第二公共点 P(N), 漏极连接第 N+1 级水平扫描线 G(N+1), 源极连接第一直流低电压 VSS1; 第十一晶体管 T11, 其栅极和漏极连接第二时钟信号 LC2; 第十二晶体管 T12, 其栅极连接第十一晶体管 T11 的源极, 漏极连接第二时钟信号 LC2, 源极连接第二公共点 P(N); 第十三晶体管 T13, 其栅极连接第一时钟信号 LC1, 漏极连接第二时钟信号 LC2, 源极连接第二公共点 P(N); 第十四晶体管 T14, 其栅极和漏极连接第二公共点 P(N); 第十五晶体管 T15, 其栅极连接第 N 级栅极信号点 Q(N), 漏极连接第十一晶体管 (T11) 的源极和第十四晶体管 T14 的源极, 源极连接第一直流低电压 VSS1; 第十六晶体管 T16, 其栅极连接第 N+1 级栅极信号点 Q(N+1), 漏极连接第十一晶体管 T11 的源极, 源极连接第一直流低电压 VSS1; 第十七晶体管 T17, 其栅极连接第二公共点 P(N), 漏极连接第 N 级栅极信号点 Q(N), 源极连接第一直流低电压 VSS1; 第十八晶体管 T18, 其栅极连接第二公共点 P(N), 漏极连接第 N 级水平扫描线 G(N), 源极连接第一直流低电压 VSS1; 第十九晶体管 T19, 其栅极连接第一公共点 (K(N)), 漏极连接第 N 级栅极信号点 Q(N), 源极连接第一直流低电压 VSS1; 第二十晶体管 T20, 其栅极连接第一公共点 K(N), 漏极连接第 N 级水平扫描线 G(N), 源极连接第一直流低电压 VSS1。

[0008] 其中, 下拉维持电路还包括: 第二十二晶体管 T22, 其栅极连接第 N+1 级栅极信号点 Q(N+1), 漏极和源极分别连接第一公共点 K(N) 和第二公共点 P(N)。

[0009] 其中, GOA 单元还包括第 N 级下传电路及第 N+1 级下传电路; 第 N 级下传电路连接第 N 级栅极信号点 Q(N), 用于给第 N+1 级下传控制电路提供 N 级下传信号 ST(N); 第 N+1 级下传电路连接第 N+1 级栅极信号点 Q(N+1), 用于给下级 GOA 单元的第 N+2 级下传控制电路提供 N+1 级下传信号 ST(N+1)。

[0010] 其中, 下拉维持电路还包括: 第二十三晶体管 T23, 其栅极连接第 N+1 级水平扫描线 G(N+1), 漏极连接第一公共点 K(N), 源极连接第一直流低电压 VSS1; 第二十四晶体管 T24, 其栅极连接第 N 级水平扫描线 G(N), 漏极连接第二公共点 P(N), 源极连接第一直流低电压 VSS1。

[0011] 其中, 第二十三晶体管 T23 的栅极连接 N+1 级下传信号 ST(N+1); 第二十四晶体管 T24 的栅极连接 N 级下传信号 ST(N)。

[0012] 其中, 第七晶体管 T7 的源极、第九晶体管 T9 的源极、第十七晶体管 T17 的源极及第十九晶体管 T19 的源极连接第二直流低电压 VSS2。

[0013] 其中, 下拉维持电路还包括: 第二十五晶体管 T25, 其栅极连接第一公共点 K(N), 漏极连接 N+1 级下传信号 ST(N+1), 源极连接第二直流低电压 VSS2; 第二十六晶体管 T26, 其栅极连接第二公共点 P(N), 漏极连接 N+1 级下传信号 ST(N+1), 源极连接第二直流低电压

VSS2 ;第二十七晶体管 T27,其栅极连接第二公共点 P(N),漏极连接 N 级下传信号 ST(N),源极连接第二直流低电压 VSS2 ;第二十八晶体管 T28,其栅极连接第一公共点 K(N),漏极连接 N 级下传信号 ST(N),源极连接第二直流低电压 VSS2。

[0014] 其中,GOA 单元还包括重置电路 ;重置电路连接第 N 级栅极信号点 Q(N)、第 N+1 级栅极信号点 Q(N+1) 及第一直流低电压 VSS1,用于在接收到重置信号后下拉第 N 级栅极信号点 Q(N) 及第 N+1 级栅极信号点 Q(N+1) 的电位至低电位。

[0015] 为解决上述技术问题,本发明采用的另一个技术方案是 :提供一种液晶显示器,该液晶显示器包括如上的 GOA 电路。

[0016] 本发明的有益效果是 :区别于现有技术的情况,本发明通过将相邻的两级 GOA 单元进行耦合,使两级 GOA 单元共用同一个下拉维持电路,该下拉维持电路在第一级 GOA 电路充电完后维持第一级 GOA 电路至低电位,在第二级 GOA 电路充电完后维持第二级 GOA 电路至低电位。采用这样的方式,能够减少整个显示器中一半的下拉维持电路的耗电量,从而降低能耗。

## 附图说明

[0017] 图 1 是本发明一种 GOA 电路第一实施方式中各个 GOA 单元连接的结构示意图 ;

[0018] 图 2 是本发明一种 GOA 电路第一实施方式中 GOA 单元的电路连接示意图 ;

[0019] 图 3 是本发明一种 GOA 电路第二实施方式中 GOA 单元的具体电路连接示意图 ;

[0020] 图 4 是本发明一种 GOA 电路第二实施方式中 GOA 单元的具体电路中各信号的波形示意图 ;

[0021] 图 5 是本发明一种 GOA 电路第三实施方式中 GOA 单元的具体电路连接示意图 ;

[0022] 图 6 是本发明一种 GOA 电路第四实施方式中 GOA 单元的具体电路连接示意图 ;

[0023] 图 7 是本发明一种 GOA 电路第五实施方式中 GOA 单元的具体电路连接示意图 ;

[0024] 图 8 是本发明一种 GOA 电路第六实施方式中 GOA 单元的具体电路连接示意图 ;

[0025] 图 9 是本发明一种 GOA 电路第七实施方式中 GOA 单元的具体电路连接示意图 ;

[0026] 图 10 是本发明一种 GOA 电路第七实施方式中 GOA 单元的具体电路中各信号的波形示意图。

## 具体实施方式

[0027] 参阅图 1,本发明一种 GOA 电路第一实施方式中各个 GOA 单元连接的结构示意图,该 GOA 电路包括多个 GOA 单元,每个 GOA 单元依次对显示区域的相邻两级水平扫描线充电。

[0028] 下面以给第 N 级水平扫描线 G(N) 及第 N+1 级水平扫描线 G(N+1) 充电的 GOA 单元为例 :

[0029] 参阅图 2,本发明一种 GOA 电路第一实施方式中一个 GOA 单元中的电路连接示意图,GOA 单元包括 N 级上拉控制电路 101、N+1 级上拉控制电路 102、N 级上拉电路 201、N+1 级上拉电路 202、N 级下拉电路 301、N+1 级下拉电路 302 及下拉维持电路 400。

[0030] 其中,N 级上拉电路 201 及下拉维持电路 400 分别与第 N 级栅极信号点 Q(N) 和第 N 级水平扫描线 G(N) 连接,N 级上拉控制电路 101、N 级下拉电路 301 与第 N 级栅极信号点 Q(N) 连接。

[0031] N+1 级上拉电路 202 及下拉维持 400 电路分别与第 N+1 级栅极信号点 Q(N+1) 和第 N+1 级水平扫描线 G(N+1) 连接, N+1 级上拉控制电路 102、N+1 级下拉电路 302 与第 N+1 级栅极信号点 Q(N+1) 连接。

[0032] 下拉维持电路 400 在第 N 级水平扫描线 G(N) 充电后维持第 N 级栅极信号点 Q(N) 及第 N 级水平扫描线 G(N) 的电位至最低电位, 在第 N+1 级水平扫描线 G(N+1) 充电后维持第 N+1 级栅极信号点 Q(N+1) 及第 N 级水平扫描线 G(N+1) 的电位至最低电位。

[0033] 具体地, N 级上拉控制电路 101 在接收上一级 GOA 单元的 G(N-1) 信号后抬高第 N 级栅极信号点 Q(N) 的电位至高电位并控制 N 级上拉电路 201 打开, 接收 N 级时钟信号 CK(N) 从而对第 N 级水平扫描线 G(N) 充电, 充电完成后, N 级下拉电路 301 下拉第 N 级栅极信号点 Q(N) 的电位至最低电位, 同时关闭 N 级上拉电路 201, 下拉维持电路 400 下拉并维持第 N 级栅极信号点 Q(N) 和第 N 级水平扫描线 G(N) 的电位至最低电位并维持低电位;

[0034] 第 N 级水平扫描线 G(N) 输出的扫描信号 G(N) 又作为 N+1 级电路中 N+1 级上拉控制电路的输入信号, N+1 级电路与 N 级电路的工作原理相同, 仅仅是上拉控制电路和下拉电路的控制信号不同, 在两级电路的工作期间, 下拉维持模块 400 在第一时钟信号 LC1 和第二时钟信号 LC2 的控制下同时下拉两级电路的电位至最低电位并维持低电位。

[0035] 区别于现有技术, 本实施方式通过将相邻的两级 GOA 单元进行耦合, 使两级 GOA 单元共用同一个下拉维持电路, 该下拉维持电路在第一级 GOA 电路充电完后维持第一级 GOA 电路至最低电位, 在第二级 GOA 电路充电完后维持第二级 GOA 电路至最低电位。采用这样的方式, 能够减少整个显示器中一半的下拉维持电路的耗电量, 从而降低能耗。

[0036] 参阅图 3, 本发明一种 GOA 电路第二实施方式中 GOA 单元的具体电路连接示意图, 该 GOA 单元包括 N 级上拉控制电路 101、N+1 级上拉控制电路 102、N 级上拉电路 201、N+1 级上拉电路 202、N 级下拉电路 301、N+1 级下拉电路 302 及下拉维持电路 400, 其中下拉维持电路 400 包括:

[0037] 第一晶体管 T1, 其栅极和漏极连接第一时钟信号 LC1;

[0038] 第二晶体管 T2, 其栅极连接第一晶体管 T1 的源极, 漏极连接第一时钟信号 LC1, 源极连接第一公共点 K(N);

[0039] 第三晶体管 T3, 其栅极连接第二时钟信号 LC2, 漏极连接第一时钟信号 LC1, 源极连接第一公共点 K(N);

[0040] 第四晶体管 T4, 其栅极和漏极连接第一公共点 K(N);

[0041] 第五晶体管 T5, 其栅极连接第 N 级栅极信号点 Q(N), 漏极连接第一晶体管 T1 的源极和第四晶体管 T4 的源极, 源极连接第一直流低电压 VSS1;

[0042] 第六晶体管 T6, 其栅极连接第 N+1 级栅极信号点 Q(N+1), 漏极连接第一晶体管 T1 的源极, 源极连接第一直流低电压 VSS1;

[0043] 第七晶体管 T7, 其栅极连接第一公共点 K(N), 漏极连接第 N+1 级栅极信号点 Q(N+1), 源极连接第一直流低电压 VSS1;

[0044] 第八晶体管 T8, 其栅极连接第一公共点 K(N), 漏极连接第 N+1 级水平扫描线 G(N+1), 源极连接第一直流低电压 VSS1;

[0045] 第九晶体管 T9, 其栅极连接第二公共点 P(N), 漏极连接第 N+1 级栅极信号点 Q(N+1), 源极连接第一直流低电压 VSS1;

[0046] 第十晶体管 T10,其栅极连接第二公共点 P(N),漏极连接第 N+1 级水平扫描线 G(N+1),源极连接第一直流低电压 VSS1;

[0047] 第十一晶体管 T11,其栅极和漏极连接第二时钟信号 LC2;

[0048] 第十二晶体管 T12,其栅极连接第十一晶体管 T11 的源极,漏极连接第二时钟信号 LC2,源极连接第二公共点 P(N);

[0049] 第十三晶体管 T13,其栅极连接第一时钟信号 LC1,漏极连接第二时钟信号 LC2,源极连接第二公共点 P(N);

[0050] 第十四晶体管 T14,其栅极和漏极连接第二公共点 P(N);

[0051] 第十五晶体管 T15,其栅极连接第 N 级栅极信号点 Q(N),漏极连接第十一晶体管 T11 的源极和第十四晶体管 T14 的源极,源极连接第一直流低电压 VSS1;

[0052] 第十六晶体管 T16,其栅极连接第 N+1 级栅极信号点 Q(N+1),漏极连接第十一晶体管 T11 的源极,源极连接第一直流低电压 VSS1;

[0053] 第十七晶体管 T17,其栅极连接第二公共点 P(N),漏极连接第 N 级栅极信号点 Q(N),源极连接第一直流低电压 VSS1;

[0054] 第十八晶体管 T18,其栅极连接第二公共点 (P(N)),漏极连接第 N 级水平扫描线 G(N),源极连接第一直流低电压 VSS1;

[0055] 第十九晶体管 T19,其栅极连接第一公共点 K(N),漏极连接第 N 级栅极信号点 Q(N),源极连接第一直流低电压 VSS1;

[0056] 第二十晶体管 T20,其栅极连接第一公共点 K(N),漏极连接第 N 级水平扫描线 G(N),源极连接第一直流低电压 VSS1。

[0057] 同时参阅图 4,本发明一种 GOA 电路第二实施方式中 GOA 单元的具体电路中各信号的波形示意图。

[0058] 图 4 中用虚线将波形图划分为 1-8 个工作区间:

[0059] 第 1 作用区间:G(N-1) 为低电平, N 级上拉控制电路 101 关闭, Q(N) 点为低电平, N 级上拉电路 201 关闭,由于 LC1 和 LC2 的作用, P(N) 点为高电平, T12 导通,维持 G(N) 为低电平,则 N+1 级上拉控制电路 102 关闭, Q(N+1) 点为低电平, N+1 级上拉电路 202 关闭,由于 LC1 和 LC2 的作用, P(N) 点为高电平, T10 导通, G(N+1) 输出低电平;

[0060] 第 2 作用区间:G(N-1) 为高电平, N 级上拉控制电路 101 开启, Q(N) 点为高电平, N 级上拉电路 102 开启,但由于 CK(N) 仍为低电平,因此 G(N) 仍然输出低电平,另外,由于 Q(N) 为高电平,导致 T21、T5 及 T15 导通,即 P(N) 和 K(N) 同时为低电平, G(N+1) 继续保持低电平;

[0061] 第 3 作用区间:G(N-1) 为低电平, N 级上拉控制电路 101 关闭, Q(N) 点略微降低,其他关键点大致不变;

[0062] 第 4 作用区间:由于 N 级上拉电路 201 中第一电容 Cb1 的自举作用,将 Q(N) 点的电位抬升到更高, N 级上拉电路 201 依然开启,此时, N 级时钟信号 CK(N) 变为高电位, G(N) 充电;

[0063] 由于 G(N) 变高, N+1 级上拉控制电路 102 开启, Q(N+1) 变为高电位, N+1 级上拉电路 202 打开,但此时 N+1 级时钟信号为低, G(N+1) 仍然为低;

[0064] 第 5 作用区间: N 级时钟信号 CK(N) 变为低电位, G(N) 充电完毕,导致 N+1 级上拉

控制电路 102 关闭,其他关键点大致不变;

[0065] 第 6 作用区间:由于 N+1 级上拉电路 202 中第二电容 Cb2 的自举作用,将 Q(N+1) 点的电位抬升到更高,N+1 级上拉电路 202 依然开启,此时,N+1 级时钟信号 CK(N+1) 变为高电位,G(N+1) 充电;

[0066] G(N+1) 变为高电位,第一下拉电路 301 开启,下拉 Q(N) 的电压,T21、T5 及 T15 关闭,但由于 Q(N+1) 作用,及 LC1 和 LC2 的变化,导致 P(N) 及 K(N) 仍然为低。

[0067] 第 7 作用区间:N+1 级时钟信号 CK(N+1) 变为低电位,G(N+1) 充电完毕,其他关键点大致不变。

[0068] 参阅图 5,本发明一种 GOA 电路第三实施方式中 GOA 单元的具体电路连接示意图;

[0069] 该 GOA 单元与上述第二实施方式的区别在于:

[0070] 下拉维持电路 400 还包括:第二十二晶体管 T22,其栅极连接第 N+1 级栅极信号点 Q(N+1),漏极和源极分别连接第一公共点 K(N) 和第二公共点 P(N)。

[0071] 由于下拉维持电路 400 要同时下拉并维持两级电路,采用 T22 与 T21 共同作用保证两级电路的正常输出,使电路更加保险,更加稳定。

[0072] 参阅图 6,本发明一种 GOA 电路第四实施方式中 GOA 单元的具体电路连接示意图;

[0073] 该 GOA 单元与上述第三实施方式的区别在于:

[0074] GOA 单元还包括第 N 级下传电路 501 及第 N+1 级下传电路 502;第 N 级下传电路 501 连接第 N 级栅极信号点 Q(N),用于给第 N+1 级下传控制电路提供 N 级下传信号 ST(N);第 N+1 级下传电路 502 连接第 N+1 级栅极信号点 Q(N+1),用于给下级 GOA 单元的第 N+2 级下传控制电路提供 N+1 级下传信号 ST(N+1)。

[0075] 在该实施方式中,将 N 级上拉控制电路 101 和 N+1 级上拉控制电路 102 的控制信号分别更换为 ST(N-1) 及 ST(N),即 N 级上拉控制电路 101 和 N+1 级上拉控制电路 102 中的 TFT 晶体管的栅极分别连接 ST(N-1) 及 ST(N)。

[0076] 本实施方式中,将下传信号独立开来,不与上拉电路共存,有利于优化电路性能,降低电路的损坏可能性。

[0077] 参阅图 7,本发明一种 GOA 电路第五实施方式中 GOA 单元的具体电路连接示意图;

[0078] 该 GOA 单元与上述第四实施方式的区别在于:

[0079] 下拉维持电路还包括:第二十三晶体管 T23,其栅极连接第 N+1 级水平扫描线 G(N+1),漏极连接第一公共点 K(N),源极连接第一直流低电压 VSS1;第二十四晶体管 T24,其栅极连接第 N 级水平扫描线 G(N),漏极连接第二公共点 P(N),源极连接第一直流低电压 VSS1。

[0080] 本实施方式中新增加两个 TFT 晶体管,主要是为了增强在作用期间的对 P(N) 和 K(N) 的强化下拉,因为输出期间的下拉很重要,如果下拉不好,将会直接导致显示异常。

[0081] 另外,可以将 N 级下拉电路的栅极信号改为 ST(N+1),N+1 级下拉电路的栅极信号改为 ST(N+2),T23 的栅极信号改为 ST(N+1),T24 的栅极信号改为 ST(N),这样防止晶体管的漏电。

[0082] 参阅图 8,本发明一种 GOA 电路第六实施方式中 GOA 单元的具体电路连接示意图;

[0083] 该 GOA 单元与上述第五实施方式的区别在于:

[0084] 第七晶体管 T7 的源极、第九晶体管 T9 的源极、第十七晶体管 T17 的源极及第十九

晶体管 T19 的源极连接第二直流低电压 VSS2。

[0085] 本实施方式另外引入了一条低电平信号 VSS2, 将 Q(N) 点拉至 VSS2, 这样可以将 N 级上拉电路 201 和 N+1 级上拉电路 202 在非作用期间关闭得更好, 防止输出异常导致显示异常。

[0086] 参阅图 9, 本发明一种 GOA 电路第七实施方式中 GOA 单元的具体电路连接示意图;

[0087] 该 GOA 单元与上述第六实施方式的区别在于:

[0088] 下拉维持电路还包括:

[0089] 第二十五晶体管 T25, 其栅极连接第一公共点 K(N), 漏极连接 N+1 级下传信号 ST(N+1), 源极连接第二直流低电压 VSS2;

[0090] 第二十六晶体管 T26, 其栅极连接第二公共点 P(N), 漏极连接 N+1 级下传信号 ST(N+1), 源极连接第二直流低电压 VSS2;

[0091] 第二十七晶体管 T27, 其栅极连接第二公共点 P(N), 漏极连接 N 级下传信号 ST(N), 源极连接第二直流低电压 VSS2;

[0092] 第二十八晶体管 T28, 其栅极连接第一公共点 K(N), 漏极连接 N 级下传信号 ST(N), 源极连接第二直流低电压 VSS2。

[0093] 本实施方式中新增的 4 个 TFT 是对 ST(N) 及 ST(N+1) 的电位下拉, 以改善栅极连接该两个信号时的漏电情况。

[0094] 另外, 可以将 N 级下拉电路的栅极信号改为 ST(N+2), N+1 级下拉电路的栅极信号改为 ST(N+3), 有利于 Q(N) 点形成较好的凸字波形。

[0095] 同时参阅图 10, 本发明一种 GOA 电路第七实施方式中 GOA 单元的具体电路中各信号的波形示意图。

[0096] 该波形图与图 4 类似, 区别在于 Q(N) 和 Q(N+1) 的凸字波形更加的完整。

[0097] 以上各个实施方式中的 TFT 均以 NTFT 为例, 在实际操作中也可以替换为 PTFT, 其栅极的控制电位高低互换, 电位的时序不发生改变。

[0098] 以上所述仅为本发明的实施方式, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换, 或直接或间接运用在其他相关的技术领域, 均同理包括在本发明的专利保护范围内。

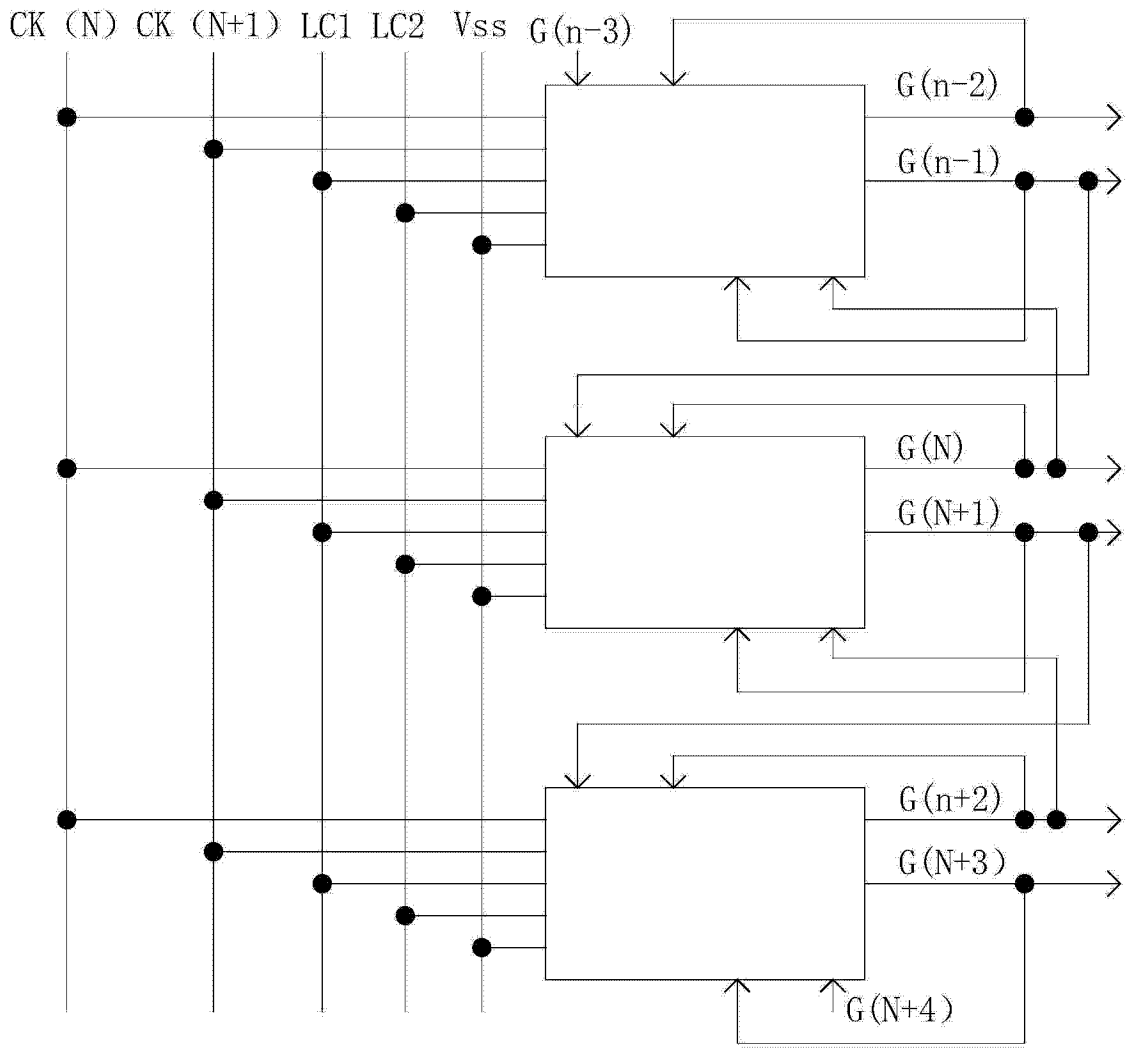


图 1

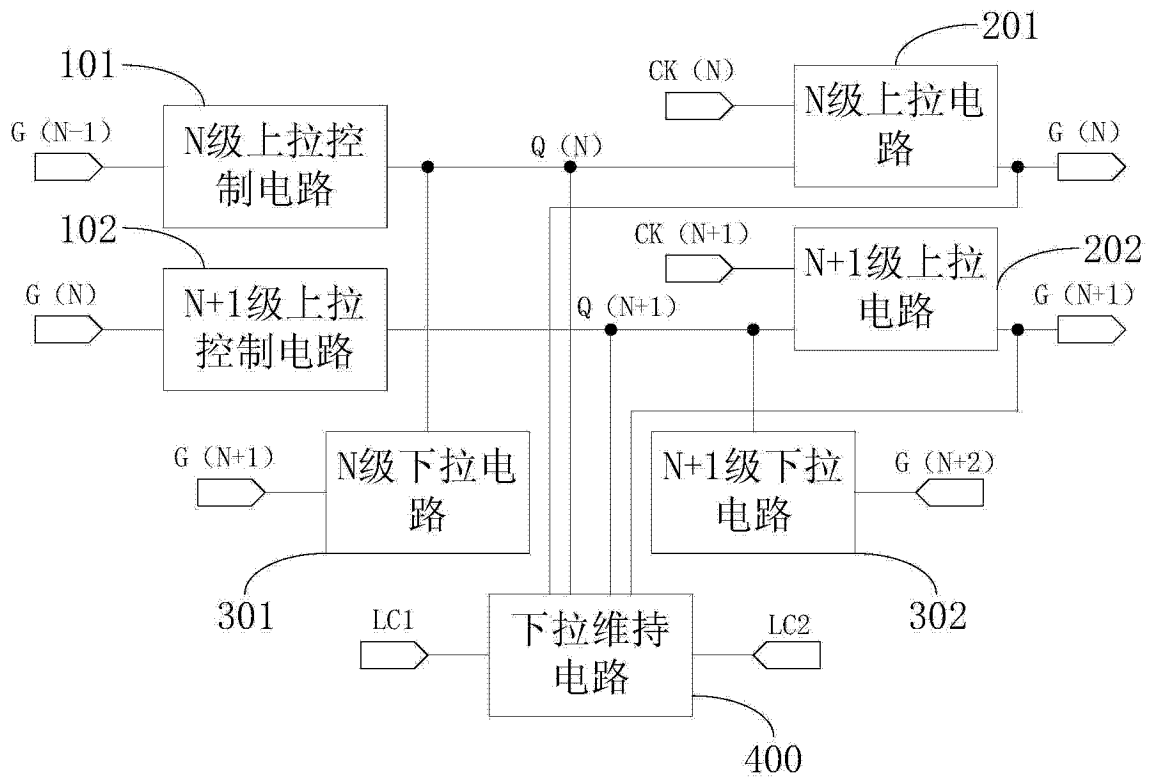


图 2

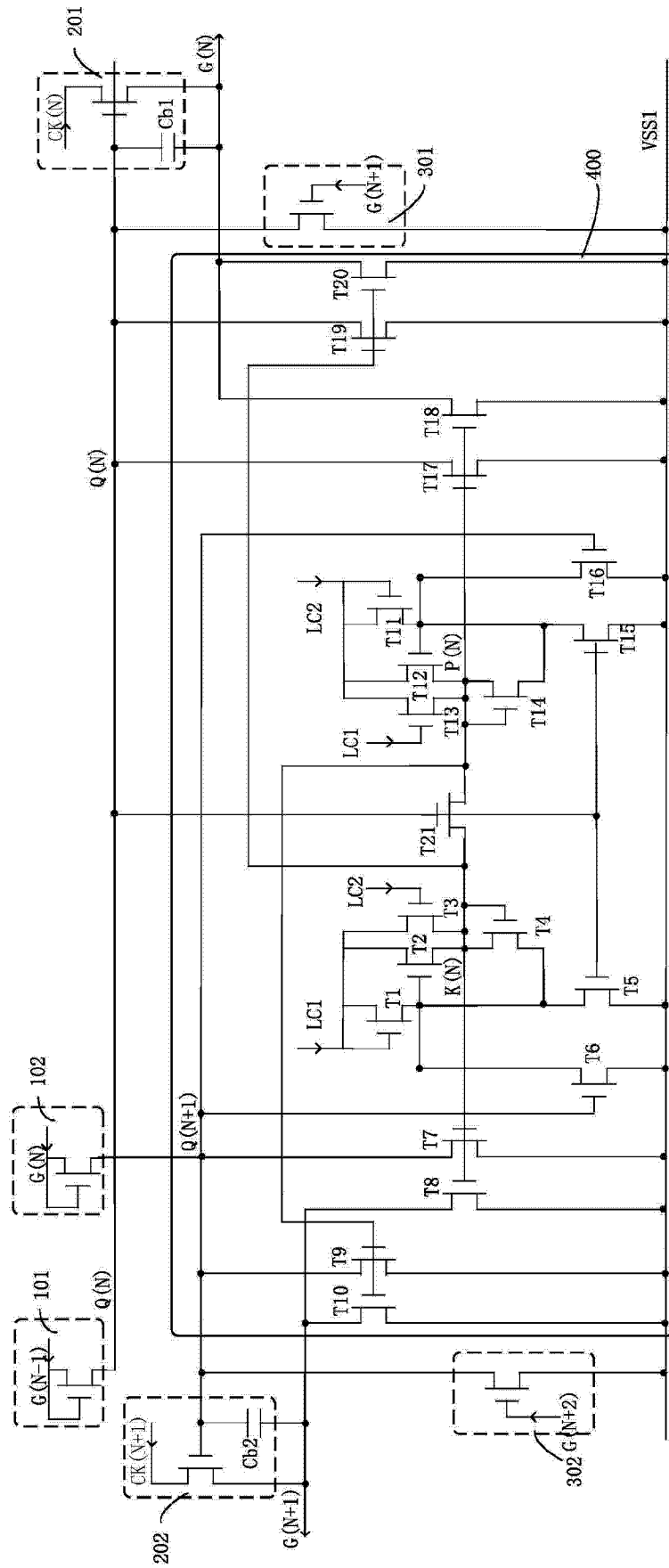


图 3

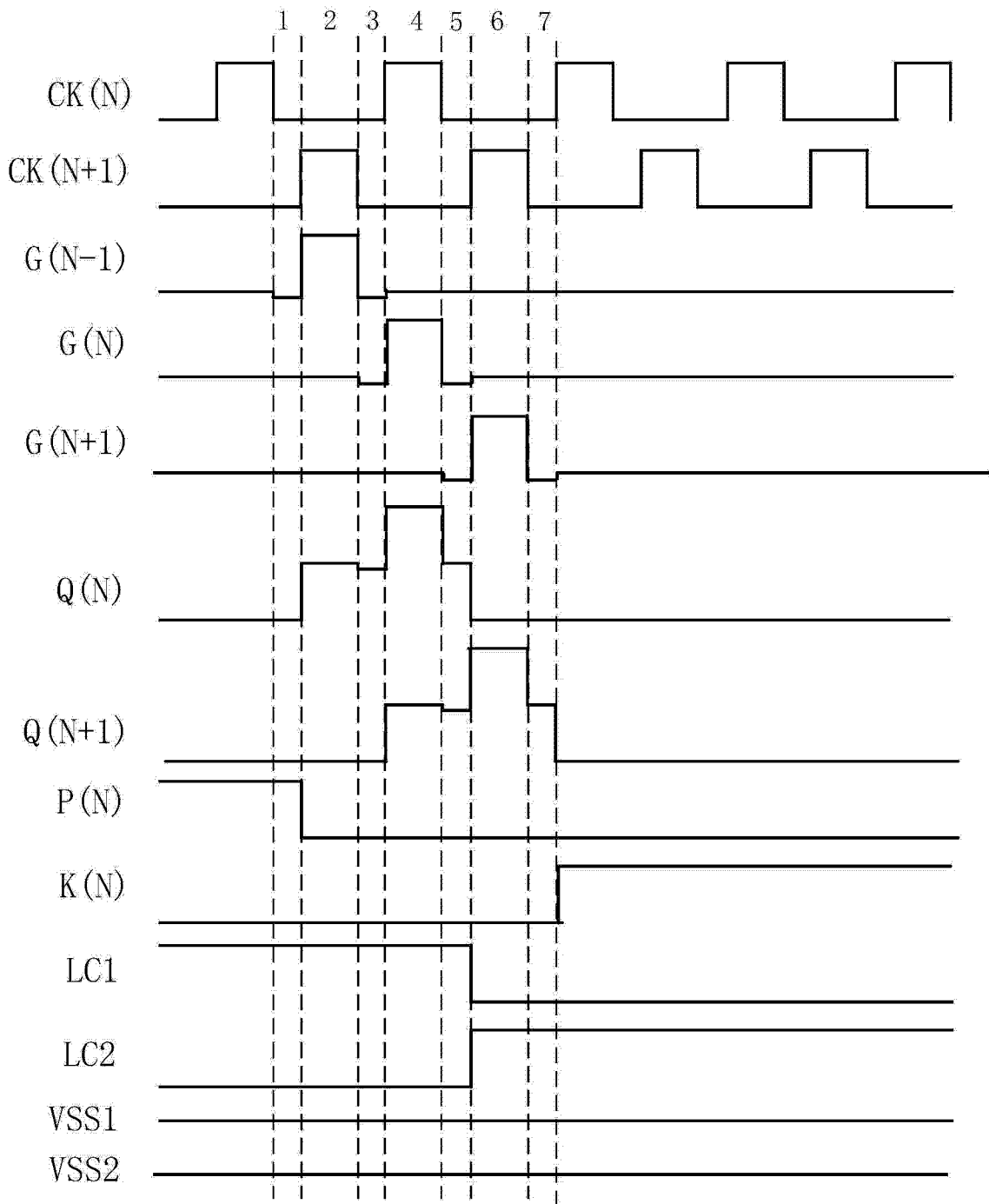


图 4

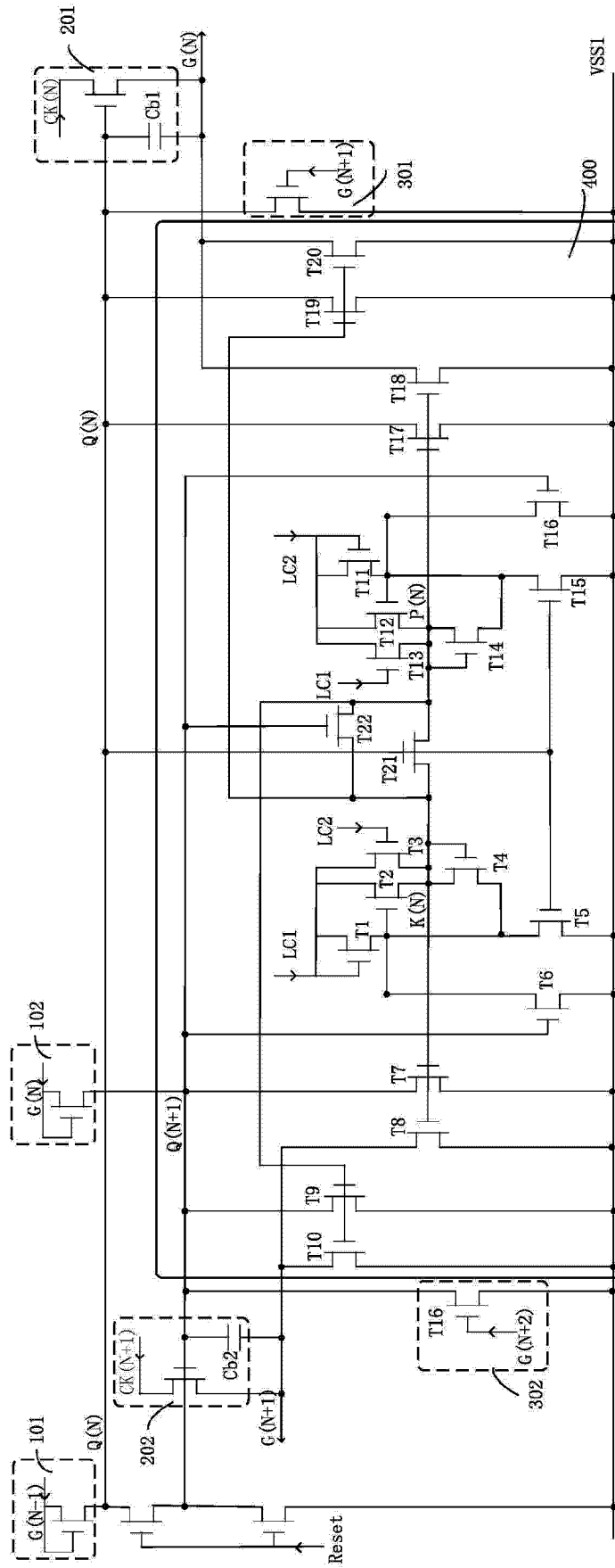


图 5

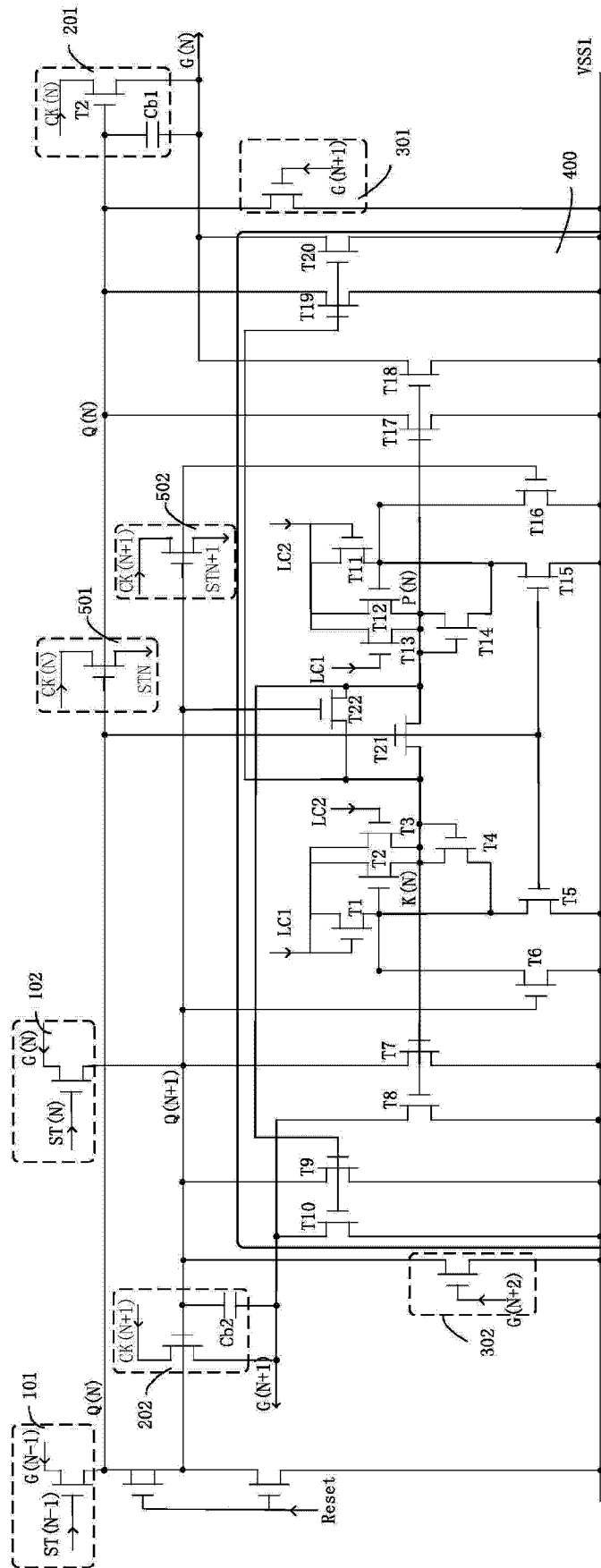


图 6

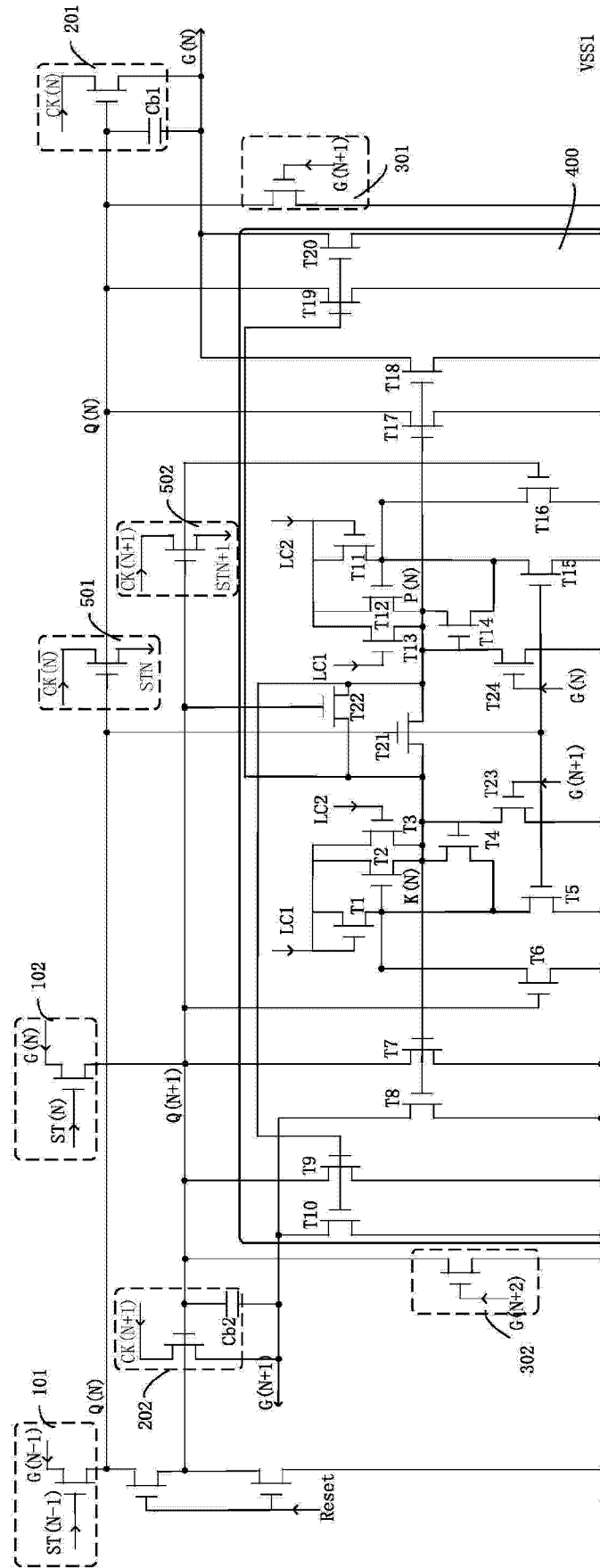


图 7

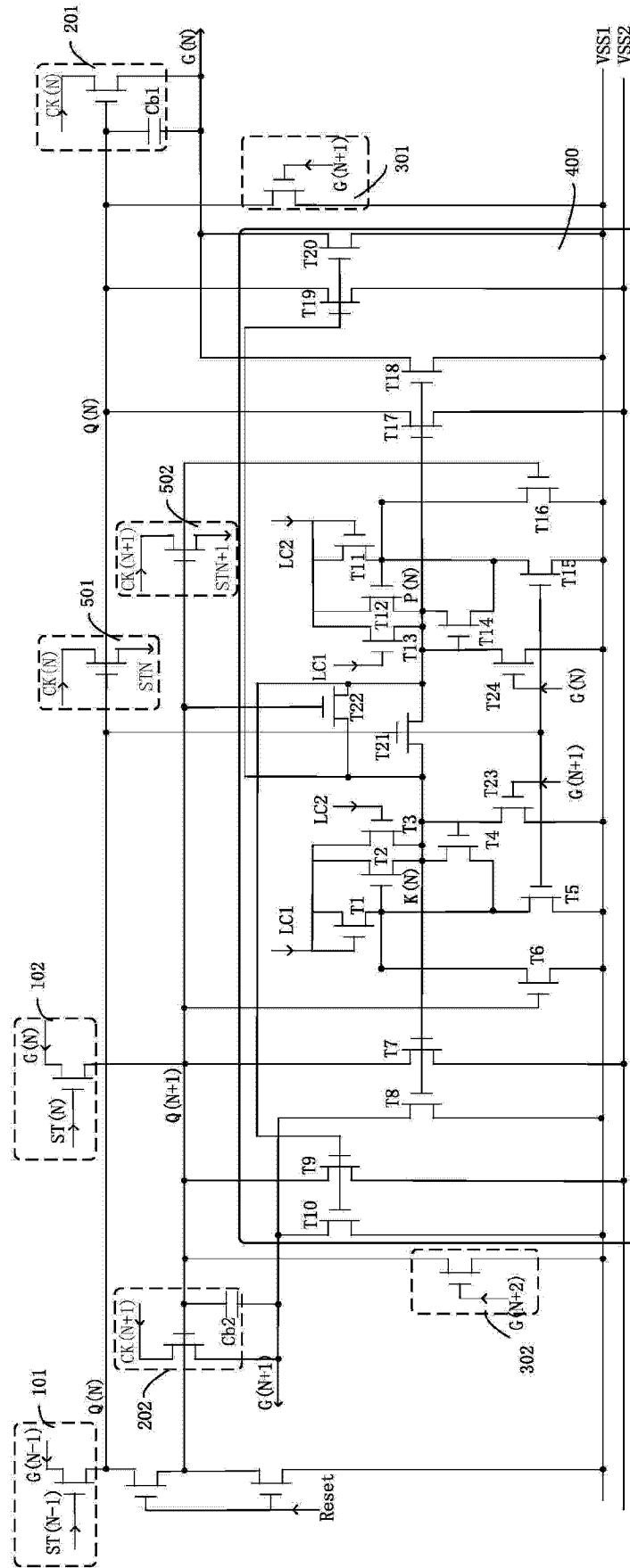


图 8

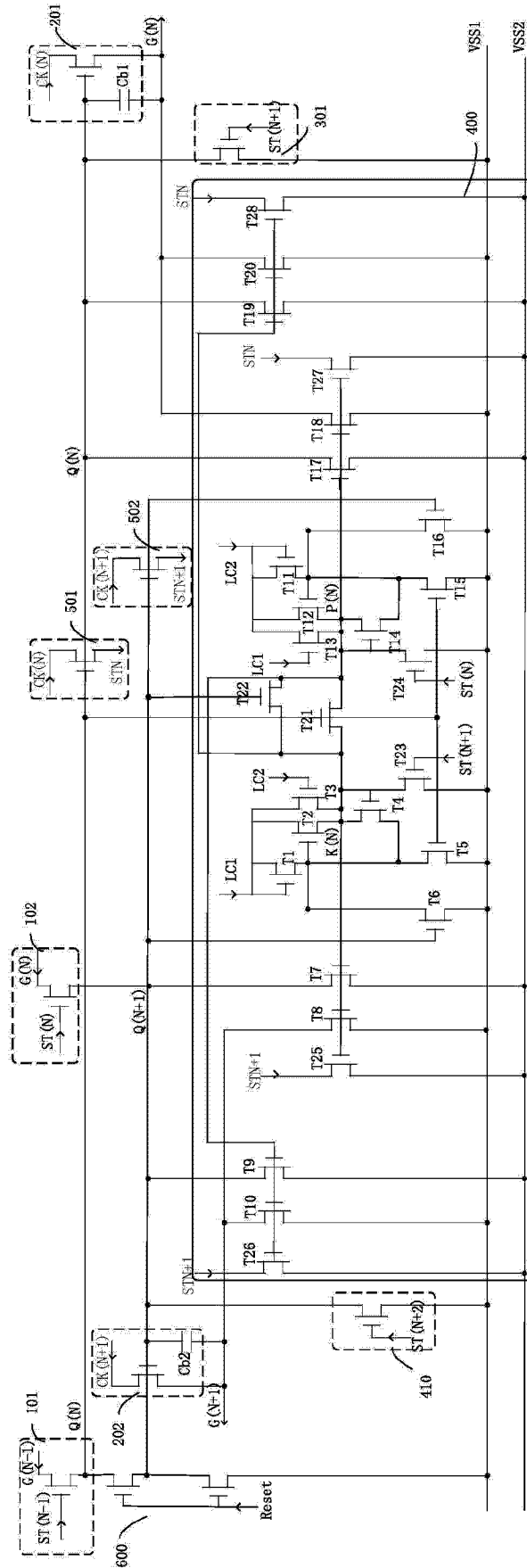


图 9

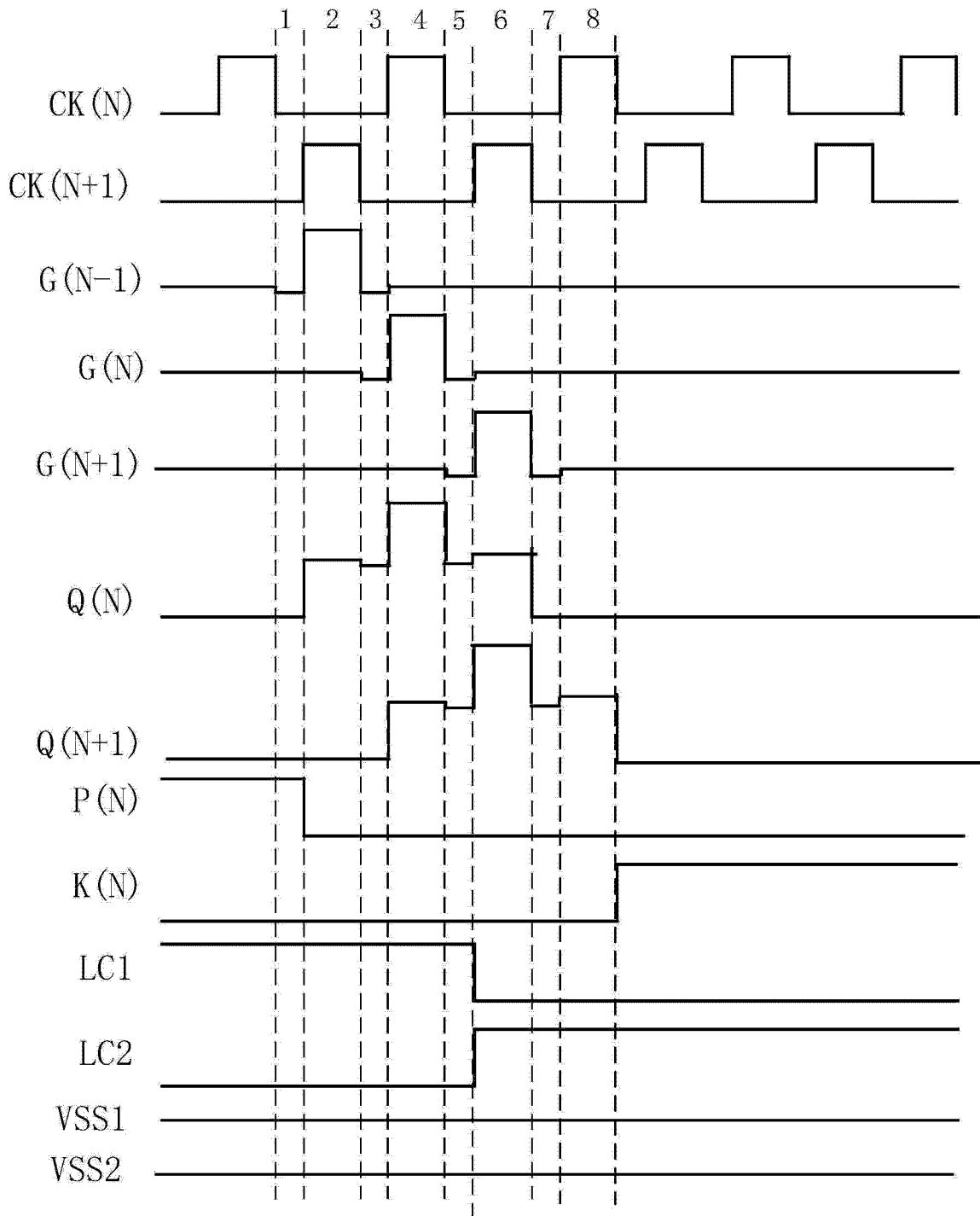


图 10

专利名称(译)	一种GOA电路及液晶显示器		
公开(公告)号	<a href="#">CN104766575A</a>	公开(公告)日	2015-07-08
申请号	CN201510160697.3	申请日	2015-04-07
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	肖军城		
发明人	肖军城		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2300/0426 G09G2310/0251 G09G2310/0286 G09G2310/061 G09G2310/08 G09G2330/021 G09G2330/02 H01L27/124 G09G3/36 H01L27/12		
其他公开文献	CN104766575B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种GOA电路及液晶显示器，该GOA电路包括多个GOA单元，每个GOA单元依次对显示区域的第N级水平扫描线G(N)及第N+1级水平扫描线G(N+1)充电；GOA单元包括N级上拉控制电路、N+1级上拉控制电路、N级上拉电路、N+1级上拉电路、N级下拉电路、N+1级下拉电路及下拉维持电路；下拉维持电路在第N级水平扫描线G(N)充电后维持第N级栅极信号点Q(N)及第N级水平扫描线G(N)的电位至低电位，在第N+1级水平扫描线G(N+1)充电后维持第N+1级栅极信号点Q(N+1)及第N级水平扫描线G(N+1)的电位至低电位。通过上述方式，本发明能够使两级GOA单元共用同一个下拉维持电路，降低功耗。

