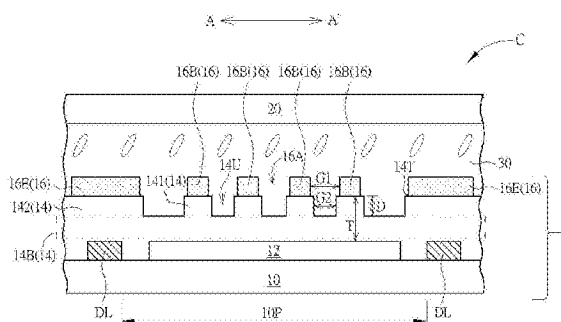




(45)授权公告日 2016. 10. 19

权利要求书3页 说明书9页 附图14页



1.一种像素结构,包括:

一基板;

多条栅极线以及多条数据线,设置于该基板上;以及

至少一第一像素,设置于该基板上并电性连接于对应的该栅极线以及该数据线,其中该至少一第一像素包括:

一第一电极,设置于该基板上;

一第一介电层,设置于该第一电极上,其中该第一介电层具有至少一第一岛状部;以及

一第二电极,设置于该至少一第一岛状部的一上表面上,且该第二电极部分暴露出该第一岛状部的该上表面;

其中该至少一第一岛状部的数量为一个,该第一介电层还包括一底部以及一第二岛状部,该第一岛状部以及该第二岛状部位于该底部上以构成一凹陷,该第二电极包含多条分支电极,其中所述多条分支电极设置于该第一岛状部的该上表面上,并部分暴露出该第一岛状部的该上表面,且该第二岛状部与该数据线重叠。

2.如权利要求1所述的像素结构,其中该第二电极另包括一边缘电极,设置于该第二岛状部的一上表面上,并部分暴露出该第二岛状部的该上表面,且该边缘电极与相邻的该分支电极之间的间距大于该第二岛状部与相邻的该第一岛状部之间的间距。

3.如权利要求1所述的像素结构,其中该第一电极与对应的该数据线电性连接,且该第二电极电性连接于一共通电位。

4.如权利要求1所述的像素结构,另包括至少一第二像素,设置于该基板上,其中该至少一第二像素包括:

一第三电极,设置于该基板上;

一第二介电层,设置于该第三电极上,其中该第二介电层不具有岛状部;以及

一第四电极,设置于该第二介电层的一上表面上。

5.如权利要求4所述的像素结构,其中该至少一第一像素与该至少一第二像素为不同颜色的像素。

6.如权利要求5所述的像素结构,其中该至少一第一像素包括一蓝色像素,且该至少一第二像素包括一红色像素或一绿色像素。

7.如权利要求4所述的像素结构,其中该第一电极与该第三电极包括像素电极,且该第二电极与该第四电极包括一共通电极。

8.一种像素结构,包括:

一基板;

多条栅极线以及多条数据线,设置于该基板上;以及

至少一第一像素,设置于该基板上并电性连接于对应的该栅极线以及该数据线,其中该至少一第一像素包括:

一第一电极,设置于该基板上;

一第一介电层,设置于该第一电极上,其中该第一介电层具有至少一第一岛状部;以及

一第二电极,设置于该至少一第一岛状部的一上表面上,且该第二电极部分暴露出该第一岛状部的该上表面;

其中该至少一第一岛状部的数量为多个,该第一介电层还包括一底部以及一第二岛状

部,所述多个第一岛状部以及该第二岛状部位于该底部上以构成多个凹陷,该第二电极包含多条分支电极,其中所述多条分支电极分别设置于所述多个第一岛状部的该上表面上,并分别部分暴露出对应的所述多个第一岛状部的该上表面,且该第二岛状部与相对应的该数据线重叠;

其中各该分支电极具有两端点部、一转折部以及两连接部,所述两连接部分别与所述端点部以及该转折部连接,所述两端点部设置于对应的该第一岛状部的该上表面上,并部分暴露出该第一岛状部的该上表面,该转折部设置于对应的该第一岛状部的该上表面上,并部分暴露出该第一岛状部的该上表面。

9.如权利要求8所述的像素结构,其中两相邻的所述多条分支电极之间的间距大于两相邻的所述多个第一岛状部之间的间距。

10.如权利要求9所述的像素结构,其中两相邻的所述多个第一岛状部之间的间距与两相邻的所述多条分支电极之间的间距的比值大于或等于40%且小于100%。

11.如权利要求8所述的像素结构,其中该底部与该第一岛状部的厚度和大于该凹陷的深度。

12.如权利要求11所述的像素结构,其中该凹陷的深度与该底部及该第一岛状部的厚度和的比值大于或等于20%且小于或等于80%。

13.如权利要求8所述的像素结构,其中该底部与该第一岛状部的厚度和大于该底部的厚度,且该底部与该第二岛状部的厚度和大于该底部与该第一岛状部的厚度和。

14.一种像素结构,包括:

一基板;

多条栅极线以及多条数据线,设置于该基板上;以及

至少一第一像素位于一像素区内,该至少一第一像素设置于该基板上并电性连接于对应的该栅极线以及该数据线,其中该至少一第一像素包括:

一第一电极,设置于该基板上;

一第一介电层,设置于该第一电极上,其中该第一介电层具有:

多第一岛状部,分别位于该像素区的多个缓冲区内;以及

多平坦部,分别位于该像素区的多个连接区内,其中各该连接区位于两相邻的所述多个缓冲区之间;以及

一第二电极,包括多条分支电极设置于该第一介电层上,其中各该分支电极具有:

两端点部,分别设置于所述多个缓冲区内;

一转折部,设置于该缓冲区内;以及

两连接部,分别设置于该至少一第一岛状部的一上表面上,并分别位于所述多个连接区内,其中各该连接部的两端分别与该端点部以及该转折部连接。

15.一种像素结构,包括:

一基板;

多条栅极线以及多条数据线,设置于该基板上;

至少一第一像素,设置于该基板上并电性连接于对应的该栅极线以及该数据线,其中该至少一第一像素包括:

一第一电极,设置于该基板上;

一第一介电层,设置于该第一电极上,其中该第一介电层具有至少一第一岛状部;以及
一第二电极,设置于该至少一第一岛状部的一上表面上;以及
至少一第二像素,设置于该基板上,其中该至少一第二像素包括:
一第三电极,设置于该基板上;
一第二介电层,设置于该第三电极上,其中该第二介电层不具有岛状部;以及
一第四电极,设置于该第二介电层的一上表面上。

16.如权利要求15所述的像素结构,其中该第一像素为一蓝色像素,且该第二像素不为蓝色像素。

像素结构

技术领域

[0001] 本发明涉及一种像素结构,尤其涉及一种具有高液晶效率以及低电容负载的像素结构。

背景技术

[0002] 随着液晶显示技术不断的提升,液晶显示面板已广泛地被应用在平面电视、笔记型电脑、手机与各类型的消费型电子产品上。为了解决公知液晶显示面板的视角过窄的缺点,业界研发出一种边缘电场切换型(fringe field switching,FFS)液晶显示面板,其主要特色在于将共通电极与像素电极设置于阵列基板(亦称为薄膜晶体管基板)的不同平面上,并通过共通电极与像素电极产生的电场达到广视角的规格。

[0003] 公知边缘电场切换型液晶显示面板的像素结构包括一介电层,设置于共通电极与像素电极之间,以及设置于数据线与共通电极之间。介电层的厚度会影响液晶效率,精确地说,在相同的电压差的情况下,介电层的厚度愈大,液晶电场愈小,故液晶效率愈低;反之,介电层的厚度愈小,液晶电场愈大,故液晶效率愈高。因此,考量液晶效率,介电层的厚度应该愈薄愈好。然而,在共通电极位在像素电极上方的情况而言,介电层的厚度也同时攸关共通电极与数据线之间的电容负载,也就是说,介电层的厚度愈小,共通电极与数据线之间的电容负载愈大,而会增加电力上的负载。

[0004] 因此,公知边缘电场切换型液晶显示面板的像素结构无法兼顾液晶效率与共通电极与数据线之间的电容负载。

发明内容

[0005] 为克服现有技术的缺陷,本发明的目的之一在于提供一种具有高液晶效率及低电容负载的像素结构。

[0006] 本发明的一实施例提供一种像素结构,包括一基板、多条栅极线、多条数据线以及至少一第一像素。栅极线与数据线设置于基板上。第一像素设置于基板上并电性连接于对应的栅极线以及数据线。第一像素包括一第一电极、一第一介电层以及一第二电极。第一电极设置于基板上。第一介电层设置于第一电极上,且第一介电层具有至少一第一岛状部。第二电极设置于第一岛状部的上表面上,且第二电极部分暴露出第一岛状部的上表面。

[0007] 本发明的另一实施例提供一种像素结构,包括一基板、多条栅极线、多条数据线以及至少一第一像素。栅极线与数据线设置于基板上。第一像素设置于基板上并电性连接于对应的栅极线以及数据线。第一像素包括一第一电极、一第一介电层以及一第二电极。第一电极设置于基板上。第一介电层设置于第一电极上,其中第一介电层具有一个或一个以上的第一岛状部分别位于像素区的一个或一个以上的缓冲区内,以及多平坦部分别位于像素区的多个连接区内,其中各连接区位于两相邻的缓冲区之间。第二电极包括多条分支电极设置于第一介电层上,其中各分支电极具有两端点部分别设置于缓冲区内、一转折部设置于缓冲区内,以及两连接部分别设置于第一岛状部的上表面上,并分别位于连接区内,其中

各连接部的两端分别与端点部以及转折部连接。

[0008] 本发明的又一实施例提供一种像素结构,包括一基板、多条栅极线、多条数据线、至少一第一像素以及至少一第二像素。栅极线与数据线设置于基板上。第一像素设置于基板上并电性连接于对应的栅极线以及数据线。第一像素包括一第一电极、一第一介电层以及一第二电极。第一电极设置于基板上。第一介电层设置于第一电极上,且第一介电层具有至少一第一岛状部。第二电极设置于第一岛状部的上表面上。第二像素包括一第三电极、一第二介电层以及一第三电极。第三电极设置于基板上。第二介电层设置于第三电极上,且第二介电层不具有岛状部。第四电极设置于第二介电层的上表面上。

[0009] 本发明的像素结构的介电层具有不等厚度设计,且相邻的分支电极的间距不等于相邻的岛状部的间距,因此可以在不增加共通电极与数据线之间的电容负载的情况下有效提升液晶效率。

附图说明

[0010] 图1绘示了本发明的第一实施例的像素结构的俯视示意图。

[0011] 图2为本发明的液晶面板应用第一实施例的像素结构沿图1的A-A'剖线绘示的剖面示意图。

[0012] 图3至图6绘示了本实施例的制作像素结构的方法示意图。

[0013] 图7绘示了本发明的第二实施例的像素结构的俯视示意图。图8为本发明的第二实施例的像素结构沿图7的B-B'剖线与C-C'剖线绘示的剖面示意图。

[0014] 图9绘示了本发明的第三实施例的像素结构的俯视示意图。

[0015] 图10为本发明的第三实施例的像素结构沿图9的D-D'剖线绘示的剖面示意图。

[0016] 图11绘示了本发明的第四实施例的像素结构的示意图。

[0017] 图12绘示了本发明的第五实施例的像素结构的示意图。

[0018] 图13为图12的第一像素沿E-E'剖线绘示的剖面示意图。

[0019] 图14为图12的第二像素沿F-F'剖线绘示的剖面示意图。

[0020] 图15绘示了本发明的第六实施例的像素结构的俯视示意图。

[0021] 其中,附图标记说明如下:

[0022]	1	像素结构
[0023]	10	基板
[0024]	C	液晶面板
[0025]	GL	栅极线
[0026]	DL	数据线
[0027]	P	像素
[0028]	10P	像素区
[0029]	P1	第一像素
[0030]	12	第一电极
[0031]	14	第一介电层
[0032]	16	第二电极
[0033]	141	第一岛状部

[0034]	14T	上表面
[0035]	16A	狭缝
[0036]	16B	分支电极
[0037]	16T	端点部
[0038]	16S	转折部
[0039]	16C	连接部
[0040]	SW	主动开关元件
[0041]	20	基板
[0042]	30	显示介质层
[0043]	G	栅极
[0044]	S	源极
[0045]	D	漏极
[0046]	CH	半导体通道层
[0047]	CL	共通线
[0048]	14B	底部
[0049]	142	第二岛状部
[0050]	14U	凹陷
[0051]	T	厚度和
[0052]	D	深度
[0053]	G1	间距
[0054]	G2	间距
[0055]	16E	边缘电极
[0056]	17	牺牲图案
[0057]	2	像素结构
[0058]	10PB	缓冲区
[0059]	10PC	连接区
[0060]	143	平坦部
[0061]	3	像素结构
[0062]	G3	间距
[0063]	G4	间距
[0064]	d1	距离
[0065]	d2	距离
[0066]	4	像素结构
[0067]	h1	厚度和
[0068]	h2	厚度和
[0069]	h3	厚度
[0070]	5	像素结构
[0071]	P2	第二像素
[0072]	32	第三电极

[0073]	34	第二介电层
[0074]	36	第四电极
[0075]	34T	上表面
[0076]	36B	分支电极
[0077]	36E	边缘电极
[0078]	6	像素结构

具体实施方式

[0079] 为使本领域技术人员能更进一步了解本发明,下文特列举本发明的较佳实施例,并配合附图,详细说明本发明的构成内容及所欲达成的功效。此外,为了突显本发明的特征,图式中的像素结构及液晶面板以示意的方式绘示。

[0080] 请参考图1与图2。图1绘示了本发明的第一实施例的像素结构的俯视示意图,图2为本发明的液晶面板应用第一实施例的像素结构沿图1的A-A'剖线绘示的剖面示意图。在下文的说明中以边缘电场切换型液晶显示面板的像素结构为范例说明,但本发明的像素结构亦可应用于其它适合的显示面板。如图1与图2所示,本实施例的像素结构1包括基板10、多条栅极线GL、多条数据线DL以及多个像素P。基板10可包括透光基板例如玻璃基板、塑胶基板或石英基板,但不以此为限。基板10可为各种类型的硬式基板或可挠式基板。栅极线GL与数据线DL彼此交错,并定义出多个像素区10P(又可称为次像素区)。像素P(又可称为次像素)分别设置于对应的像素区10P内,其中像素P的其中至少一个为一第一像素P1,其包括一第一电极12、一第一介电层14以及一第二电极16。第一电极12设置于基板10上,且第一电极12与对应的数据线DL电性连接。第一介电层14设置于第一电极12上,其中第一介电层14具有至少一第一岛状部141。第二电极16设置于第一岛状部141的上表面14T上,第二电极16部分暴露出第一岛状部141的上表面14T,且第二电极16电性连接于一共通电位。在本实施例中,第一电极12为像素电极,而第二电极16为共通电极,但不以此为限。例如在一变化实施例中,第一电极12可为共通电极,而第二电极16可为像素电极。在本实施例中,第一电极12可为一完整的平面电极,其不包括狭缝(slit)或分支电极。第二电极16包括多条分支电极16B,且相邻的分支电极16B之间具有一狭缝16A。此外,各分支电极16B具有两端点部16T、一转折部16S以及两连接部16C。两连接部16C例如为一长条结构,且两连接部16C可彼此平行或不平行设置,而转折部16S具有一转折,例如转折部16S实质上可为一V形结构。连接部16C的两端分别与端点部16T以及转折部16S连接,端点部16T设置于对应的第一岛状部141的上表面14T上,并部分暴露出第一岛状部141的上表面14T,转折部16S设置于对应的第一岛状部141的上表面14T上,并部分暴露出第一岛状部141的上表面14T。另外,连接部16C则可选择性地设置或不设置于第一岛状部141的上表面14T。

[0081] 第一电极12与第二电极16可为透明电极,其材料可包括各式透明导电材料例如氧化铟锡(ITO)、氧化铟锌(IZO)、氧化铝锌(AZO)、氧化铝铟(AlO)、氧化铟(InO)、氧化镓(gallium oxide, GaO)、纳米碳管、纳米银颗粒、厚度小于60纳米(nm)的金属或合金、有机透明导电材料、或其它适合的透明导电材料。第一介电层14的材料可包括无机介电材料例如氮化硅、氧化硅或氮氧化硅、有机介电材料、有机/无机混成介电材料,或上述材料的组合。此外,第一介电层14可为单层结构或复合层结构。

[0082] 本实施例的液晶面板C可进一步包括多个主动开关元件SW、储存电容元件(图未示)、配向膜(图未示)、共通线CL、另一基板20以及一显示介质层30。主动开关元件SW可包括例如薄膜晶体管元件,且薄膜晶体管元件可为底栅极型薄膜晶体管元件、顶栅极型薄膜晶体管元件或其它类型的薄膜晶体管元件。主动开关元件SW包括栅极G、源极S、漏极D以及半导体通道层CH。栅极G与对应的栅极线GL电性连接,源极S与对应的数据线DL电性连接,漏极D与对应的第一电极12电性连接,而半导体通道层CH的材料可为各式硅基半导体材料例如非晶硅、多晶硅、微晶硅、纳米晶硅,或氧化物半导体材料例如氧化铟镓锌(IGZO)。共通线CL可与第二电极16电性连接,以提供共通电位给第二电极16。在本实施例中,共通线CL为直条状导线,其实质上与栅极线L平行设置,但不以此为限。在其它变化实施例中,共通线CL可为其它形状的导线,例如L形导线、H形导线或O形导线。基板20可包括透光基板,其上可设置有必要的显示元件例如彩色滤光片、遮光图案与配向膜等(图未示)。显示介质层30设置于基板10与基板20之间,精确地说,显示介质层30可设置于基板10上的配向膜以及基板20上的配向膜之间。在本实施例中,显示介质层30可为液晶层,在显示时,液晶层可被第一电极12与第二电极16之间的电压差所产生的电场所驱动。

[0083] 如图2所示,本实施例的第一岛状部141的数量为一个或一个以上,且第一介电层14还包括一底部14B以及至少一第二岛状部142。第一岛状部141以及第二岛状部142位于底部14B上以构成多个凹陷14U,精确地说,两相邻的第一岛状部141以及位于其下的底部14B构成一凹陷14U,且相邻的第一岛状部141与第二岛状部142以及位于其下的底部14B亦构成一凹陷14U。此外,第一介电层14的底部14B与第一岛状部141的厚度 T 大于凹陷14U的深度 D 。第二电极16包含多条分支电极16B,其中分支电极16B分别设置于第一岛状部141的上表面14T上,并分别暴露出对应的第一岛状部141的上表面14T的一部分,且第二岛状部142与相对应的数据线DL至少部分重叠。此外,两相邻的分支电极16B之间的间距 $G1$ 大于两相邻的第一岛状部141之间的间距 $G2$ 。另外,第二电极16可进一步包括至少一边缘电极16E,设置于第二岛状部142的上表面14T上,并可暴露出第二岛状部142的上表面14T的一部分。

[0084] 在本发明中,第一电极12与第二电极16被第一介电层14所隔离,因此液晶效率会受到第一介电层14的厚度的影响。举例而言,在第一电极12与第二电极16之间的电压差为固定的情况下,当第一介电层14的厚度愈小时,此电压差所产生的液晶电场会愈大,因此具有较高的液晶效率,或者,当第一介电层14的厚度愈小时,第一电极12与第二电极16之间的电压差不需太高即可达到需要的液晶电场。再者,由于第二电极16的两相邻的分支电极16B之间的间距 $G1$ 的大小会影响第一电极12与第二电极16之间的电场,因此液晶效率也会受到两相邻的分支电极16B之间的间距 $G1$ (亦即狭缝16A的宽度)的影响。另外,第二电极16与数据线DL也是被第一介电层14所隔离,因此较大的第一介电层14的厚度可以有效减小第二电极16与数据线DL之间的电容负载,而避免产生太大的电力负载。也就是说,在考量液晶效率的情况下,第一介电层14的厚度应愈小愈好;在考量负载效应的情况下,第一介电层14的厚度应愈大愈好。因此,为了兼顾液晶效率与负载效应,在本实施例中,第一介电层14具有不等厚度的设计,例如第一介电层14的底部14B与第一岛状部141的厚度 T 大于凹陷14U的深度 D ;此外,两相邻的分支电极16B之间的间距 $G1$ 大于两相邻的第一岛状部141之间的间距 $G2$ 。

[0085] 请参考表1。表1列举了凹陷14U的深度 D 以及底部14B与第一岛状部141的厚度 T

在不同比值(D/T)下以及两相邻的第一岛状部141之间的间距G2与分支电极16B之间的间距G1在不同比值(G2/G1)下液晶效率的模拟结果。请同时参照表1及图2,液晶效率(LC efficiency)的定义如下:

[0086] $LC\ efficiency = T\% / (Array\ Tr \times CF\ Tr \times AR)$, 其中

[0087] T%为液晶面板C的穿透率;

[0088] Array Tr为像素结构1的穿透率;

[0089] CF Tr为基板20(设置有彩色滤光片、遮光图案与配向膜)的穿透率;以及

[0090] AR为液晶面板C的开口率。

[0091] 表1

		D/T					
[0092]	G2/ G1	0Å/ 6000Å (0%)	1200Å/ 6000Å (20%)	2400Å/ 6000Å (40%)	3600Å/ 6000Å (60%)	4800Å/ 6000Å (80%)	6000Å/ 6000Å (100%)
		0μm/5μm (0%)					
		1μm/ 5μm (20%)	100.44%	100.22%	100.18%	100.11%	100.07%
		2μm/ 5μm (40%)	101.34%	102.07%	102.40%	102.65%	103.05%
		3μm/ 5μm (60%)	101.96%	103.34%	104.03%	104.10%	103.49%
		4μm/ 5μm (80%)	102.91%	104.83%	105.92%	106.28%	106.10%
		5μm/ 5μm (100%)	100%	105.01%	107.74%	109.15%	107.92%

[0093] 表1中的液晶效率将两相邻的第一岛状部141之间的间距G2与分支电极16B之间的间距G1相等(G2/G1=100%)以及第一介电层14不具有凹陷14U(D/T=0)的条件下的液晶效率设定为参考值(设定为100%)所获得的模拟结果。由表1可知,在两相邻的第一岛状部141之间的间距G2与两相邻的分支电极16B之间的间距G1的比值大于或等于40%且小于100%的范围内,亦即当 $40\% \leq G2/G1 < 100\%$ 时,液晶效率有明显地提升。当 $60\% \leq G2/G1 < 100\%$ 时,液晶效率较佳地提升;当 $80\% \leq G2/G1 < 100\%$ 时,液晶效率更较佳地提升。另外,在凹陷14U的深度D与底部14B及第一岛状部141的厚度和T的比值大于或等于20%且小于或等于80%的范围内,亦即当 $20\% \leq D/T \leq 80\%$,液晶效率有明显地提升。当 $40\% \leq D/T \leq 80\%$,液晶效率有较佳地提升;当 $60\% \leq D/T \leq 80\%$,液晶效率更较佳地提升。因此,本实施例的像素结构1经证实将两相邻的第一岛状部141之间的间距G2与两相邻的分支电极16B之间的间距G1的比值(G2/G1)及/或凹陷14U的深度D与底部14B及第一岛状部141的厚度和T的比值(D/T)调整至上述范围内时,可以显著地提升液晶面板C的液晶效率。

[0094] 请参考图3至图6,并一并参考图1。图3至图6绘示了本实施例的制作像素结构的方法示意图。如图3所示,提供基板10,并于基板10上形成栅极线GL(如图1所示)、数据线DL、主动开关元件SW(如图1所示)以及第一电极12。随后,于基板10上依序形成第一介电层14,覆盖栅极线GL(如图1所示)、数据线DL、主动开关元件SW(如图1所示)以及第一电极12。接着,于第一介电层14的上表面14T上形成第二电极16。之后,于第二电极16上形成一牺牲图案17,例如一图案化光致抗蚀剂图案,其中牺牲图案17暴露出第二电极16的一部分。如第4图所示,随后移除牺牲图案17所暴露出的第二电极16以形成多条分支电极16B以及至少一边缘电极16E,再移除牺牲图案17所暴露出的部分第一介电层14。由于牺牲图案17所暴露出的第一介电层14仅部分被移除,因此牺牲图案17所暴露出且未被移除的第一介电层14会形成底部14B,牺牲图案17所覆盖且未被移除的第一介电层14会形成第一岛状部141以及第二岛状部142,而被移除的第一介电层14的位置会形成凹陷14U。在本实施例中,形成分支电极16B与边缘电极16E与形成凹陷14U的步骤可利用两阶段蚀刻工艺来实现。举例而言,可先进行一湿蚀刻工艺,蚀刻掉牺牲图案17所暴露出的第二电极16以形成分支电极16B与边缘电极16E,接着再进行一干蚀刻工艺,蚀刻掉牺牲图案17所暴露出的部分第一介电层14以形成凹陷14U,但本实施例并不以此为限。

[0095] 如图5所示,接着再从侧向移除部分第二电极16,以缩减各分支电极16B的宽度以及边缘电极16E的宽度,藉此两相邻的分支电极16B之间的间距G1大于两相邻的第一岛状部141之间的间距G2。在本实施例中,间距G1大于间距G2,其中间距G1举例为5微米,间距G2举例为2微米至5微米,但并不以此为限。在本实施例中,侧向移除部分第二电极16的步骤可利用一湿蚀刻工艺加以实现。如图6所示,最后去除牺牲图案17,以制作出本实施例的像素结构1。

[0096] 在本实施例的像素结构1中,凹陷14U对应于任两相邻的分支电极16B之间的所有位置,也就是说,凹陷14U的长度实质上约等于分支电极16B的长度,但本发明的像素结构并不以上述实施例为限。下文将依序介绍本发明的其它实施例的像素结构,且为了便于比较各实施例的相异处并简化说明,在下文的各实施例中使用相同的符号标注相同的元件,且主要针对各实施例的相异处进行说明,而不再对重复部分进行赘述。

[0097] 请参考图7与图8。图7绘示了本发明的第二实施例的像素结构的俯视示意图,图8为本发明的第二实施例的像素结构沿图7的B-B'剖线与C-C'剖线绘示的剖面示意图。如图7与图8所示,在本实施例的像素结构2中,像素区10P包括一个或一个以上的缓冲区10PB与连接区10PC,其中连接区10PC位于两相邻的缓冲区10PB之间,且两相邻的连接区10PC之间具有一缓冲区10PB。第一介电层14的第一岛状部141位于缓冲区10PB内,而第一介电层14的平坦部143位于连接区10PC内。各分支电极16B的两端点部16T与转折部16S位于缓冲区10PB内,而两连接部16C位于连接区10PC内。进一步说明,在本实施例中,第一介电层14仅在缓冲区10PB内具有第一岛状部141与凹陷14U的设计,第一岛状部141、凹陷14U以及分支电极16B的相对关系可与第一实施例相同,在连接区10PC内具有平坦部143而无岛状部与凹陷的设计。由于第二电极16的分支电极16B的端点部16T与转折部16S的图案较为扭曲(kink),因此会影响缓冲区10PB的液晶效率,故本实施例可仅针对缓冲区10PB的第一介电层14形成第一岛状部141与凹陷14U,而在连接区10PC的第一介电层14则形成平坦部143,藉此可调整缓冲区10PB内的液晶效率,使得缓冲区10PB与连接区10PC具有实质上相同的液晶效率,以提升

像素结构2的显示均匀性。

[0098] 请参考图9与图10。图9绘示了本发明的第三实施例的像素结构的俯视示意图,图10为本发明的第三实施例的像素结构沿图9的D-D'剖线绘示的剖面示意图。如图9与图10所示,在本实施例的像素结构3中,第一岛状部141的数量为一个,且第一岛状部141与第二岛状部142位于底部14B上而构成凹陷14U。第一介电层14的底部14B与第一岛状部141的厚度T大于凹陷14U的深度D。第二电极16的分支电极16B设置于第一岛状部141的上表面14T上,并部分暴露出第一岛状部141的上表面14T,且第二岛状部142与数据线DL重叠。此外,第二电极16另包括边缘电极16E,设置于第二岛状部142的上表面14T上。边缘电极16E可与分支电极16B电性连接,边缘电极16E部分暴露出第二岛状部142的上表面14T,且边缘电极16E与相邻的分支电极16B之间的间距G3大于第二岛状部142与相邻的第一岛状部141之间的间距G4。

[0099] 如图10所示,由于第一电极12突出于第二电极16的分支电极16B的距离d1以及第一电极12与第二电极16的边缘电极16E的距离d2会对电场产生影响,故此位置的液晶效率会受到第一电极12突出于第二电极16的分支电极16B的距离d1及第一电极12与第二电极16的边缘电极16E的距离d2的影响。特别是在显示面板的每英寸像素(PP1)有所不同时,第一电极12突出于第二电极16的分支电极16B的距离d1及第一电极12与第二电极16的边缘电极16E的距离d2也会对应有所不同。因此本实施例针对第二岛状部142与相邻的第一岛状部141之间的间距G4以及边缘电极16E与相邻的分支电极16B之间的间距G3的比值作调整,以改善边缘电极16E与分支电极16B之间的区域的液晶效率。在本实施例中,间距G3大于间距G4,其中间距G3举例为2微米至6微米,间距G4举例为0.8微米至6微米,且不以此为限。

[0100] 请参考图11。图11绘示了本发明的第四实施例的像素结构的示意图。如图11所示,不同于第一实施例,在本实施例的像素结构4中,第一介电层14的底部14B与第二岛状部142的厚度和h1大于第一介电层14的底部14B与第一岛状部141的厚度和h2,且第一介电层14的底部14B与第一岛状部141的厚度和h2大于底部14B的厚度h3。在本实施例中,厚度和h1举例为0.4微米至0.8微米,厚度和h2举例为0.15微米至0.6微米,厚度h3举例为0.03微米至0.48微米,但不以此为限。也就是说,第二电极16的分支电极16B与第一电极12之间的距离会小于第二电极16的边缘电极16E与数据线DL之间的距离。如此一来,由于第二电极16的分支电极16B与第一电极12之间的距离较小,第一电极12与第二电极16之间的电压差会产生较大的液晶电场,因此可提升液晶效率;另一方面,由于边缘电极16E与数据线DL之间的距离较大,因此具有较佳的隔绝效果,可以有效减少边缘电极16E与数据线DL之间的电容负载,而避免产生不利于显示的影响。

[0101] 请参考图12至图14。图12绘示了本发明的第五实施例的像素结构的示意图,图13为图12的第一像素沿剖线E-E'绘示的剖面示意图,图14为图12的第二像素沿剖线F-F'绘示的剖面示意图。如图12所示,本实施例的像素结构5的像素P可包括至少一第一像素P1与至少一第二像素P2。如图13所示,第一像素P1包括一第一电极12、一第一介电层14以及一第二电极16。第一电极12设置于基板10上,且第一电极12与对应的数据线DL电性连接。第一介电层14设置于第一电极12上,其中第一介电层14具有至少一第一岛状部141、一底部14B以及至少一第二岛状部142,且第一岛状部141以及第二岛状部142位于底部14B上以构成多个凹陷14U。精确地说,两相邻的第一岛状部141以及位于其下的底部14B构成一凹陷14U,且相邻

的第一岛状部141与第二岛状部142以及位于其下的底部14B亦构成一凹陷14U,其中凹陷14U具有一深度D,深度D举例为0.15微米至0.8微米,但不以此为限。在本实施例中,第一电极12可为一完整的平面电极,其不包括狭缝(slit)或分支电极,而第二电极16包括多条分支电极16B以及至少一边缘电极16E,其中分支电极16B分别设置于对应的第一岛状部141的上表面14T,而边缘电极16E设置于第二岛状部142的上表面14T。在本实施例中,分支电极16B可以完全覆盖第一岛状部141的上表面14T,或是部分暴露出第一岛状部141的上表面14T;边缘电极16E可完全覆盖第二岛状部142的上表面14T,或是部分暴露出第二岛状部142的上表面14T。第一像素P1可采用上述任一实施例所揭示的作法。

[0102] 如图14所示,第二像素P2包括一基板10、一第三电极32、一第二介电层34以及一第四电极36。第三电极32设置于基板10上,且第三电极32与对应的数据线DL电性连接。第二介电层34设置于第三电极32上,其中第二介电层34具有平坦的上表面34T而不具有岛状部。第四电极36设置于第二介电层34的上表面34T上。在本实施例中,第三电极32可为一完整的平面电极,其不包括狭缝(slit)或分支电极,而第四电极36包括多条分支电极36B以及至少一边缘电极36E,且第二电极36电性连接于一共通电位。在本实施例中,第三电极32为像素电极,而第四电极36为共用电极,但不以此为限。例如在一变化实施例中,第三电极32可为共用电极,而第四电极36可为像素电极。

[0103] 在本实施例中,第一像素P1与第二像素P2为不同颜色的像素。本实施例可针对不同颜色的像素的液晶效率作个别调整。举例而言,第一像素P1为显示蓝色的像素,即为一蓝色像素,且第二像素P2不为显示蓝色的像素,即例如包括一红色像素及/或一绿色像素。在其它变化实施例中,像素结构更可包括三种以上不同的像素,并且使三种像素分别具有不同深度的凹陷。例如,蓝色像素具有深度较大的凹陷,绿色像素具有深度较小的凹陷,红色像素具有深度最小的凹陷或不具有凹陷。

[0104] 请参考图15。图15绘示了本发明的第六实施例的像素结构的俯视示意图。如图15所示,与前述实施例不同的处在于,本实施例的像素结构6的第二电极16的各分支电极16B仅具有两端点部16T以及一连接部16C,但不具有转折部。也就是说,各分支电极16B实质上可为一长条结构,其中连接部16C的两端分别与端点部16T连接。本实施例的像素结构6除了分支电极16B不具有转折部之外,其余部分可与前述实施例相同,亦即像素结构6也具有不等厚度的介电层设计,且可视不同需求具有如前述各实施例所公开的不同样态,在此不再赘述。

[0105] 综上所述,本发明的像素结构的介电层具有不等厚度设计,且相邻的分支电极的间距不等于相邻的岛状部的间距,因此可以在不增加共用电极与数据线之间的电容负载的情况下有效提升液晶效率。

[0106] 以上所述仅为本发明的较佳实施例,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

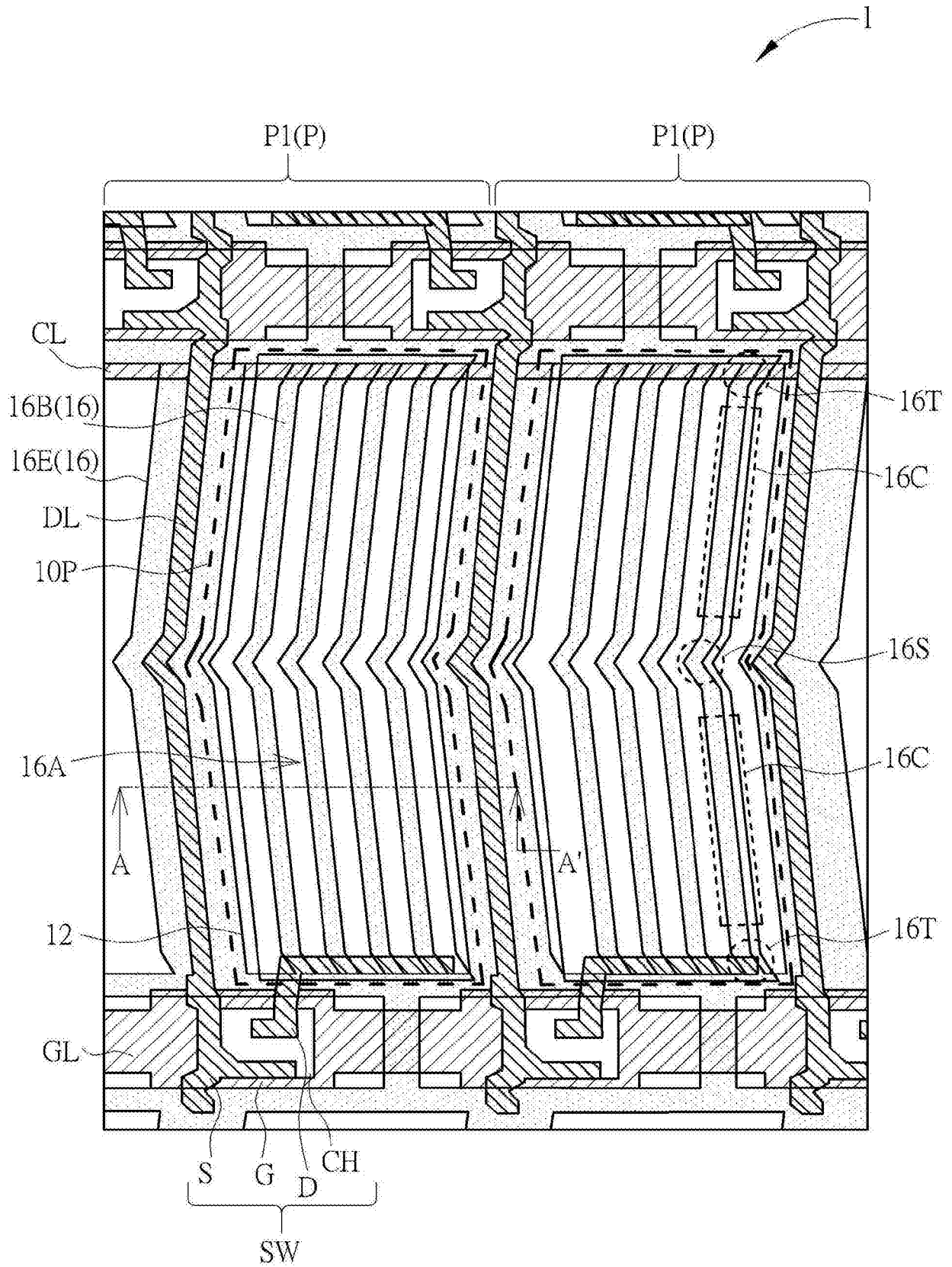


图1

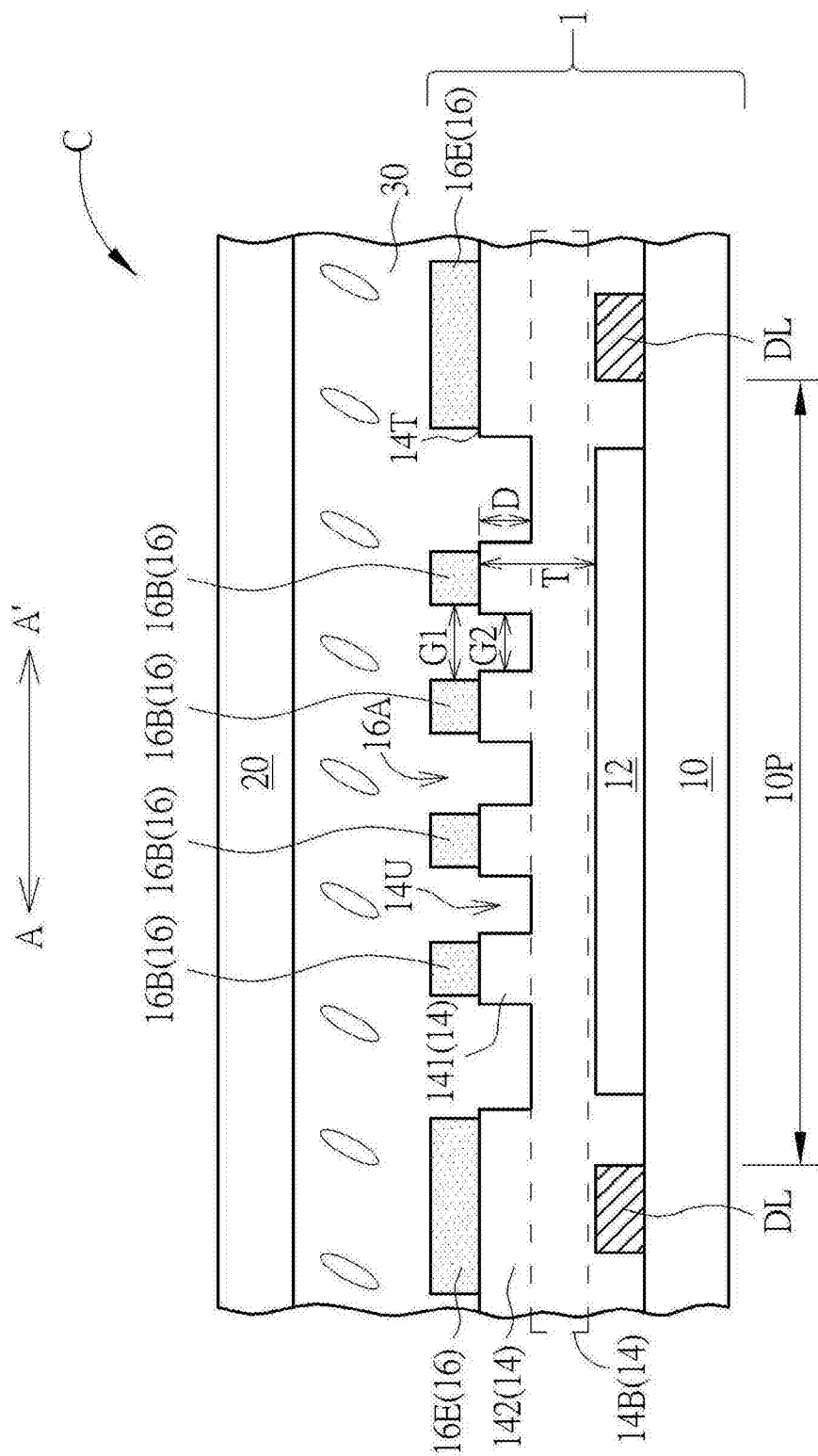


图2

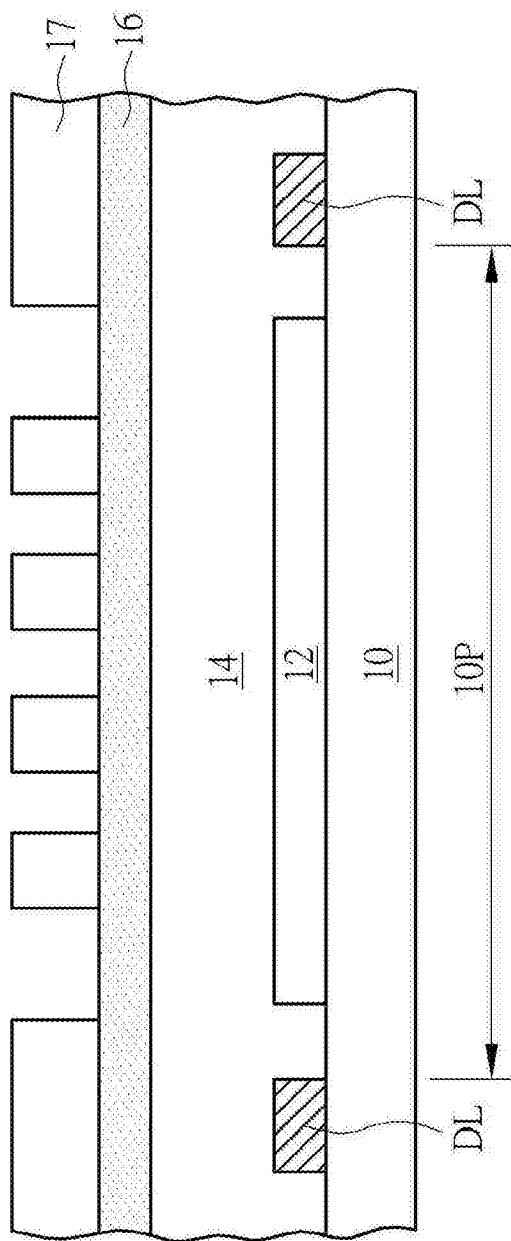


图3

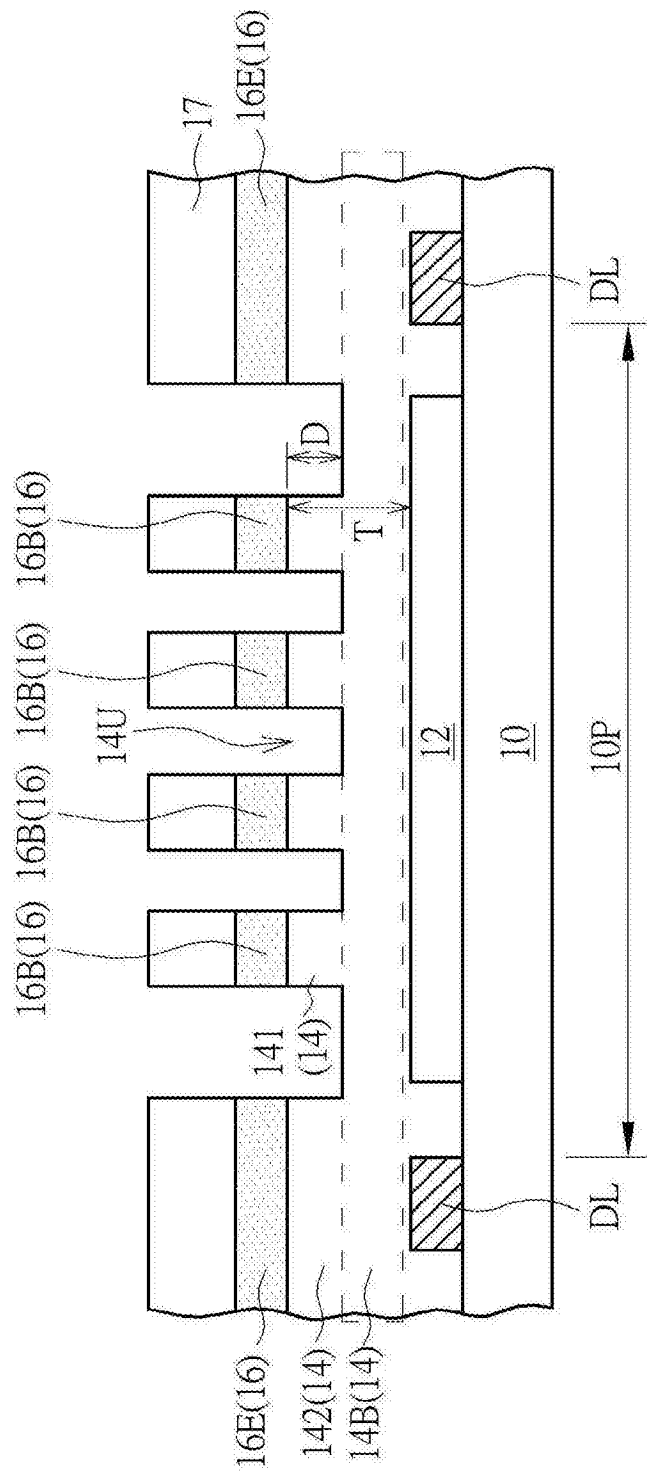


图4

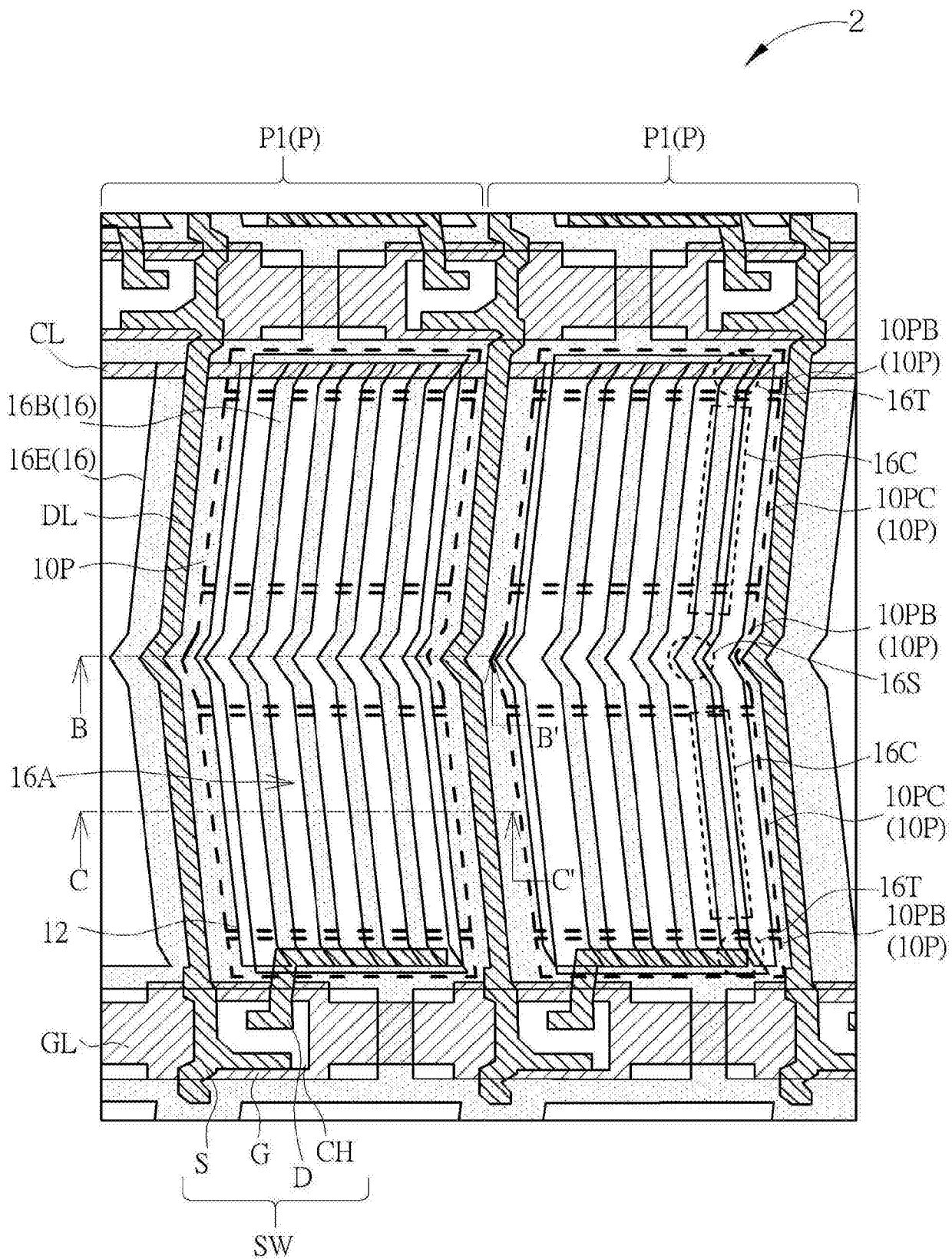


图7

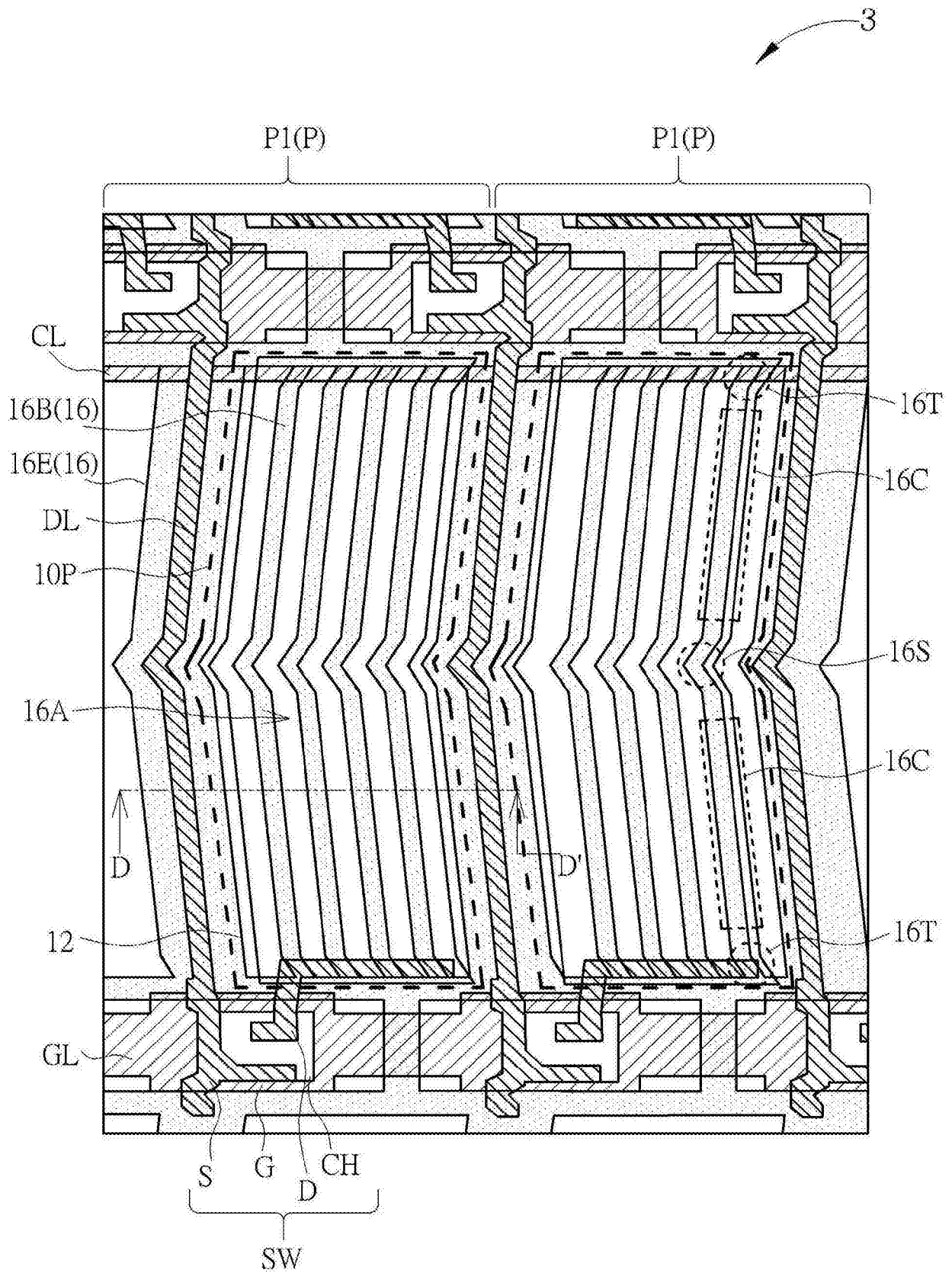


图9

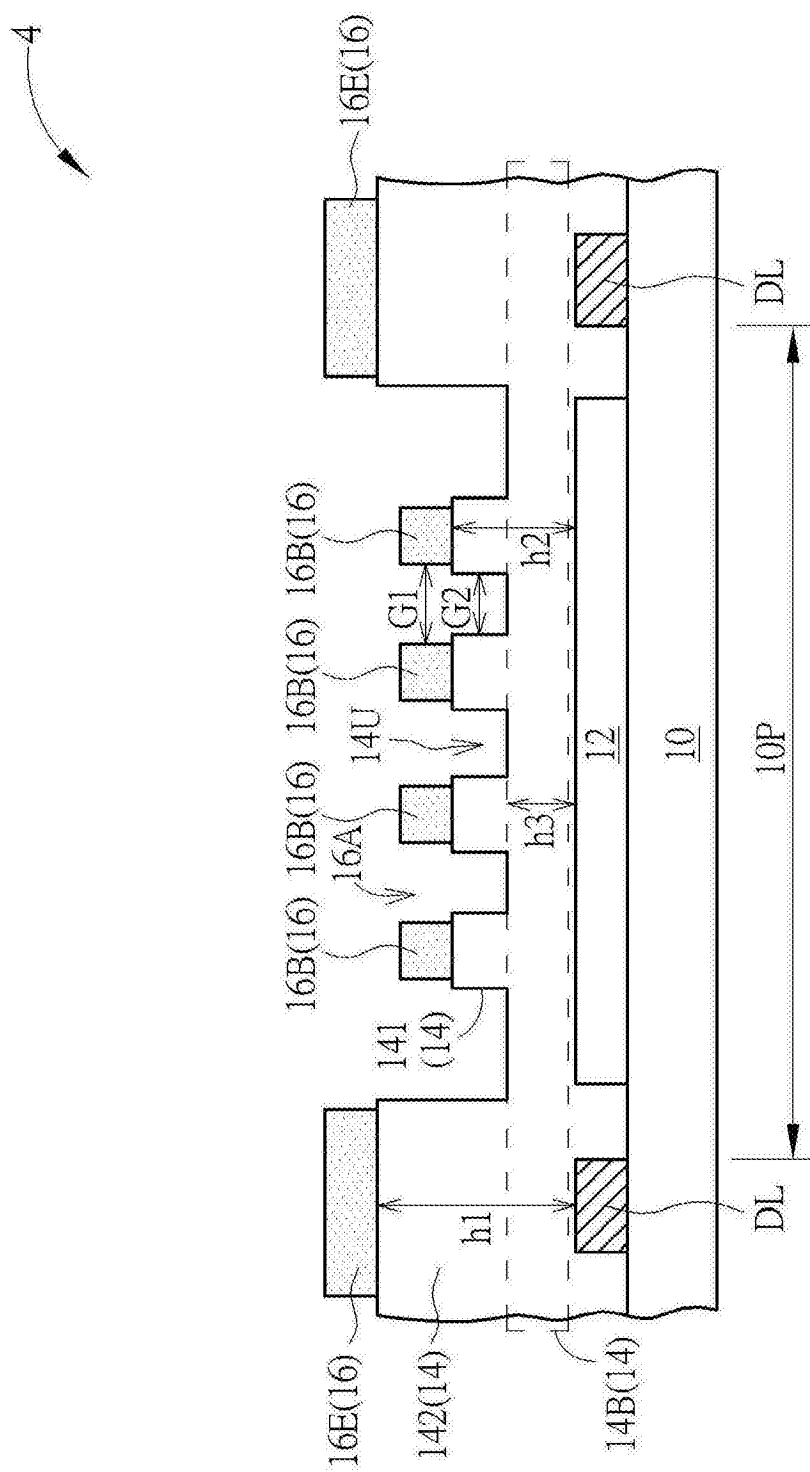


图 11

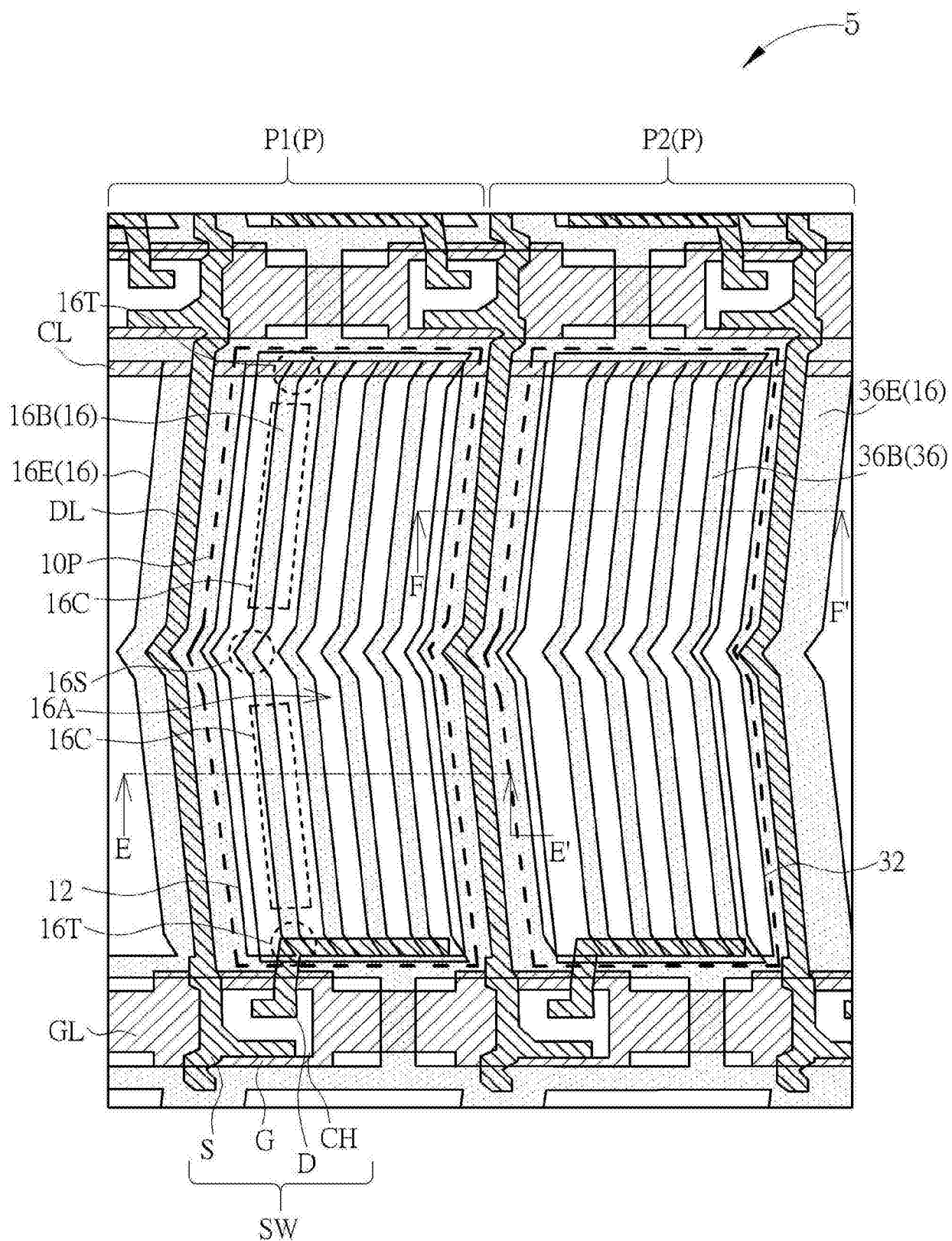


图12

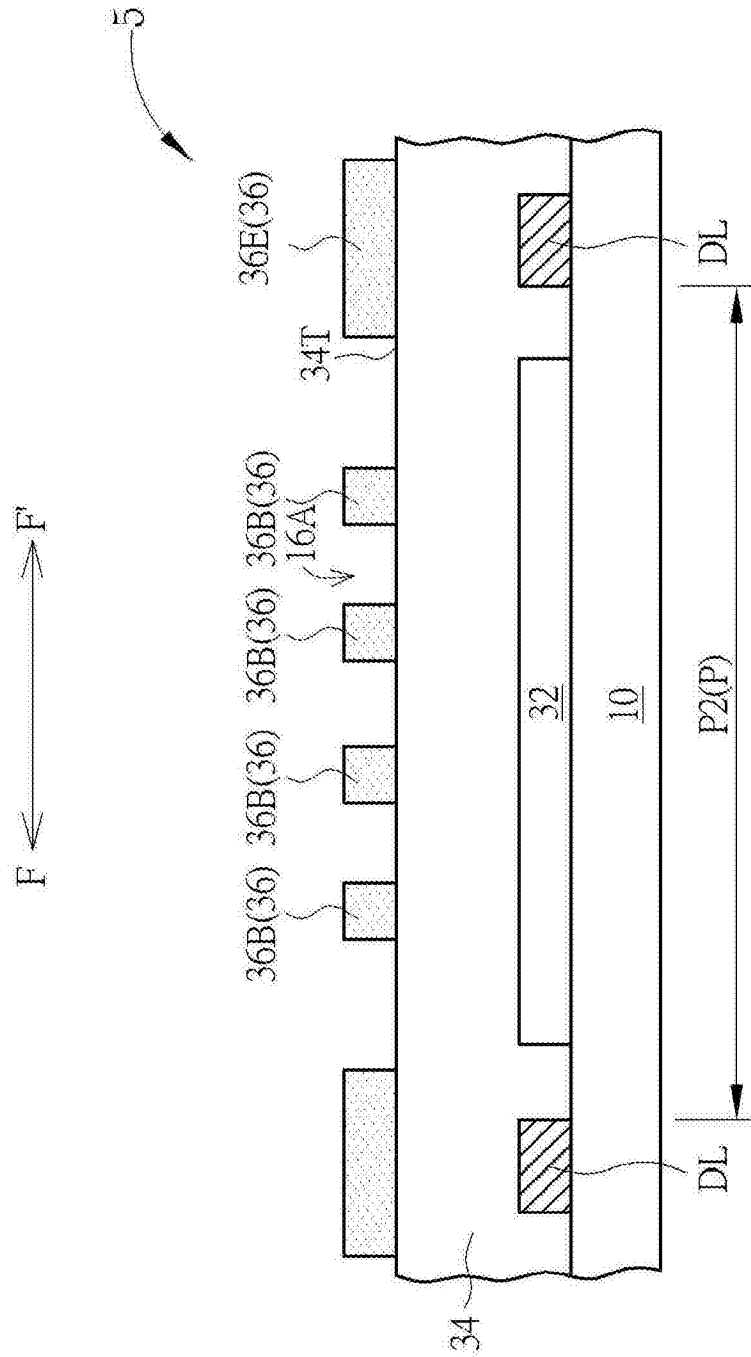


图14

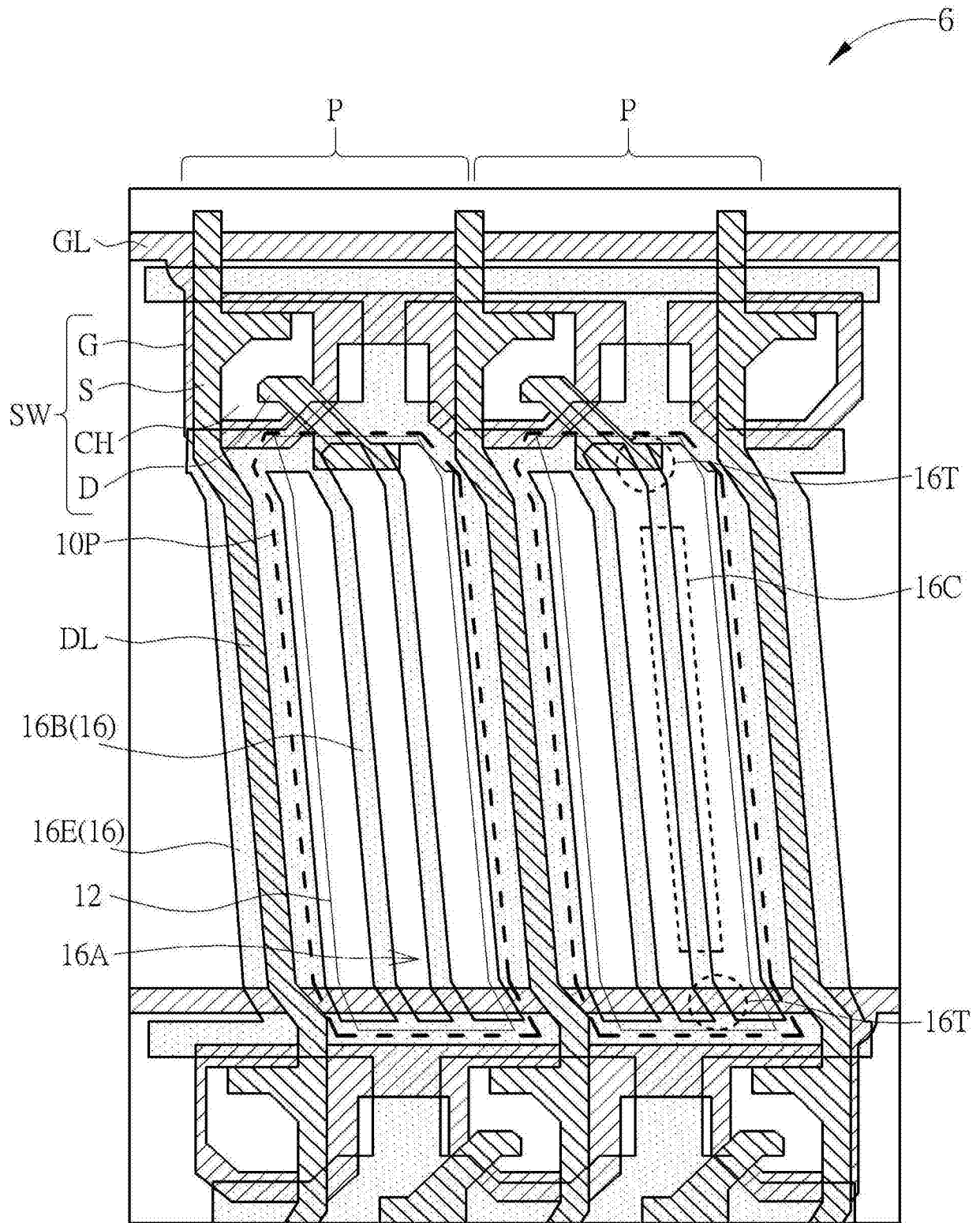


图15

专利名称(译)	像素结构		
公开(公告)号	CN103869559B	公开(公告)日	2016-10-19
申请号	CN201410135487.4	申请日	2014-04-04
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	陈儒瑾 郑孝威 范姜士权 黄昱嘉		
发明人	陈儒瑾 郑孝威 范姜士权 黄昱嘉		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/1368 H01L27/124 H01L27/1248		
优先权	103102982 2014-01-27 TW		
其他公开文献	CN103869559A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素结构，包括一基板、多条栅极线、多条数据线以及至少一第一像素。栅极线与数据线设置于基板上。第一像素设置于基板上并电性连接于对应的栅极线以及数据线。第一像素包括一第一电极、一第一介电层以及一第二电极。第一电极设置于基板上。第一介电层设置于第一电极上，且第一介电层具有至少一第一岛状部。第二电极设置于第一岛状部的上表面上，且第二电极部分暴露出第一岛状部的上表面。本发明提供的像素结构可以在不增加共通电极与数据线之间的电容负载的情况下有效提升液晶效率。

