



(12)实用新型专利

(10)授权公告号 CN 206293146 U

(45)授权公告日 2017.06.30

(21)申请号 201621301898.7

(22)申请日 2016.11.30

(73)专利权人 厦门天马微电子有限公司

地址 361101 福建省厦门市翔安区翔安西路6999号

专利权人 天马微电子股份有限公司

(72)发明人 庄知龙 赖青俊 黄建才 许育民

(74)专利代理机构 北京英赛嘉华知识产权代理有限公司 11204

代理人 王达佐 马晓亚

(51)Int.Cl.

G09G 3/36(2006.01)

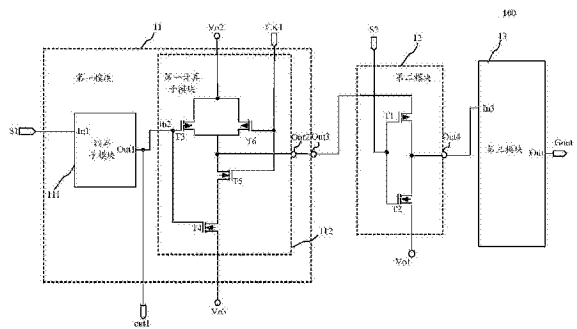
权利要求书2页 说明书8页 附图6页

(54)实用新型名称

栅极驱动单元、栅极驱动电路及阵列基板与显示面板

(57)摘要

本申请公开了栅极驱动单元、栅极驱动电路及阵列基板和显示面板。栅极驱动单元包括第一模块、第二模块和第三模块；第一模块包括锁存子模块与第一计算子模块；第二模块包括第一晶体管和第二晶体管，第一晶体管的栅极与第二信号输入端连接，第一极与第一模块的输出端连接，第二极与第二模块的输出端连接；第二晶体管的栅极与第二信号输入端连接，第一极与第一电压信号线连接，第二极与第二模块的输出端连接；第二模块在第二信号输入端的控制下向第二模块的输出端输出第一电压信号或输出第一模块输出的信号；第三模块将第二模块输出的信号放大后输出到扫描线。实现了异常断电后，各薄膜晶体管导通而将存储电容上的电荷泄放，避免了液晶极化。



CN 206293146 U

1. 一种栅极驱动单元,其特征在于,所述栅极驱动单元包括第一模块、第二模块和第三模块,第一输出端和第二输出端;

所述第一模块包括锁存子模块与第一计算子模块,所述锁存子模块的输入端与第一信号输入端连接,所述锁存子模块的输出端与所述第一计算子模块的输入端连接,所述锁存子模块的输出端与所述第一输出端连接,所述第一计算子模块的输出端与所述第一模块的输出端连接;

所述第二模块包括第一晶体管和第二晶体管,所述第一晶体管的栅极与第二信号输入端连接,所述第一晶体管的第一极与所述第一模块的输出端连接,所述第一晶体管的第二极与所述第二模块的输出端连接;所述第二晶体管的栅极与第二信号输入端连接,所述第二晶体管的第一极与第一电压信号线连接,所述第二晶体管的第二极与所述第二模块的输出端连接;所述第二模块在所述第二信号输入端的控制下向所述第二模块的输出端输出第一电压信号或输出所述第一模块的输出端输出的信号;

所述第三模块的输入端与所述第二模块的输出端连接,所述第三模块将所述第二模块输出的信号放大后输出到所述第二输出端。

2. 根据权利要求1所述的栅极驱动单元,其特征在于,

所述第一计算子模块为与非计算子模块,所述第一计算子模块的输出端与所述第一模块的输出端连接;

所述与非计算单元包括第三晶体管、第四晶体管、第五晶体管和第六晶体管,所述第三晶体管与所述第六晶体管为同类型晶体管,所述第四晶体管与所述第五晶体管为同类型晶体管;

所述第三晶体管的栅极与所述锁存子模块的输出端连接,所述第三晶体管的第一极与第二电压信号线连接,所述第三晶体管的第二极与所述第一计算子模块的输出端连接;

所述第四晶体管的栅极与所述锁存子模块的输出端连接,所述第四晶体管的第一极与第三电压信号线连接;

所述第五晶体管的栅极与第一时钟信号连接,所述第五晶体管的第一极与所述第四晶体管的第二极连接,所述第五晶体管的第二极与所述第一计算子模块的输出端连接;

所述第六晶体管的栅极与第一时钟信号连接,所述第六晶体管的第一极与所述第二电压信号线连接,所述第六晶体管的第二极与所述第一计算子模块的输出端连接;

其中,所述第二电压信号与所述第三电压信号极性相反。

3. 根据权利要求2所述的栅极驱动单元,其特征在于,

所述第一晶体管和第二晶体管为不同类型晶体管;

所述第三晶体管与所述第六晶体管为P型晶体管,所述第四晶体管与所述第五晶体管为N型晶体管;

所述第一电压信号线传输的信号与所述第三电压信号线传输的信号相同。

4. 根据权利要求1所述的栅极驱动单元,其特征在于,所述第一计算子模块包括第七晶体管、第八晶体管;

所述第七晶体管的栅极与第二时钟信号连接,所述第七晶体管的第一极与所述锁存子模块的输出端连接,所述第七晶体管的第二极与所述第一模块的输出端连接;

所述第八晶体管的栅极与所述第二时钟信号连接,所述第八晶体管的第一极与第四电

压信号线连接,所述第八晶体管的第二极与所述第一模块的输出端连接。

5. 根据权利要求4所述的栅极驱动单元,其特征在于,  
所述第一晶体管 and 所述第二晶体管为不同类型晶体管;  
所述第七晶体管 and 所述第八晶体管为不同类型晶体管;  
所述第一电压信号线传输的信号与所述第四电压信号线传输的信号不相同。

6. 根据权利要求1-5任意一项所述的栅极驱动单元,其特征在于,所述第三模块包括串联的多个反相器。

7. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括多个级联的如权利要求1-6任意一项所述的栅极驱动单元;所述栅极驱动电路还包括第一信号线和第二信号线;

各所述栅极驱动单元的第一信号输入端与第一信号线连接;

各所述栅极驱动单元的第二信号输入端与第二信号线连接;

各所述栅极驱动单元的第二输出端响应于所述第二信号线上传输的第二信号,同时输出第一电平信号,或者同时输出第二电平信号。

8. 一种阵列基板,其特征在于,所述阵列基板包括权利要求7所述的栅极驱动电路。

9. 一种显示面板,其特征在于,所述显示面板包括权利要求8所述的阵列基板。

## 栅极驱动单元、栅极驱动电路及阵列基板与显示面板

### 技术领域

[0001] 本申请涉及显示技术领域,具体涉及栅极驱动单元、栅极驱动电路及阵列基板与显示面板。

### 背景技术

[0002] 在液晶显示面板进行显示时,通常由设置在显示面板中的集成电路向栅极驱动电路发送触发信号,以使栅极驱动电路逐行驱动扫描。栅极驱动电路往往为移位寄存器。在一条扫描线被驱动的时间内,集成电路向各条数据线发送显示信号。每一条扫描线与其对应的一行薄膜晶体管的栅极相连接。每一条数据线与其对应的一列薄膜晶体管的源极相连。当任意一条扫描线上传输栅极驱动信号时,与该条扫描线连接的各个薄膜晶体管导通,再由各条数据线上的显示信号通过导通的薄膜晶体管的源极传输到薄膜晶体管的漏极上,再由漏极向像素存储电容充电以驱动液晶旋转从而显示图像。

[0003] 当显示面板在显示状态时,若显示面板的电源异常断电,像素存储电容中的电荷被保存在像素存储电容中。存储于存储电容中的电荷会导致液晶极化。而极化的液晶会引起显示面板再次加电显示时出现画面抖动的现象。

### 发明内容

[0004] 鉴于现有技术存在的上述问题,期望提供一种即使在显示面板显示时异常断电,显示面板中的液晶也不会出现极化现象的栅极驱动电路。为了实现上述一个或多个目的,本申请实施例提供了一种栅极驱动单元、栅极驱动电路及阵列基板与显示面板。

[0005] 第一方面,本申请实施例提供了一种栅极驱动单元,所述栅极驱动单元包括第一模块、第二模块和第三模块,第一输出端和第二输出端;所述第一模块包括锁存子模块与第一计算子模块,所述锁存子模块的输入端与第一信号输入端连接,所述锁存子模块的输出端与所述第一计算子模块的输入端连接,所述锁存子模块的输出端与所述第一输出端连接,所述第一计算子模块的输出端与所述第一模块的输出端连接;所述第二模块包括第一晶体管和第二晶体管,所述第一晶体管的栅极与第二信号输入端连接,所述第一晶体管的第一极与所述第一模块的输出端连接,所述第一晶体管的第二极与所述第二模块的输出端连接;所述第二晶体管的栅极与第二信号输入端连接,所述第二晶体管的第一极与第一电压信号线连接,所述第二晶体管的第二极与所述第二模块的输出端连接;所述第二模块在所述第二信号输入端的控制下向所述第二模块的输出端输出第一电压信号或输出所述第一模块的输出端输出的信号;所述第三模块的输入端与所述第二模块的输出端连接,所述第三模块将所述第二模块输出的信号放大后输出到所述第二输出端。

[0006] 可选的,第一计算子模块为与非计算子模块,第一计算子模块的输出端与第一模块的输出端连接;与非计算单元包括第三晶体管、第四晶体管、第五晶体管和第六晶体管,第三晶体管与第六晶体管为同类型晶体管,第四晶体管与第五晶体管为同类型晶体管;第三晶体管的栅极与锁存子模块的输出端连接,第三晶体管的第一极与第二电压信号线连

接,第三晶体管的第二极与第一计算子模块的输出端连接;第四晶体管的栅极与锁存子模块的输出端连接,第四晶体管的第一极与第三电压信号线连接;第五晶体管的栅极与第一时钟信号连接,第五晶体管的第一极与第四晶体管的第二极连接,第五晶体管的第二极与第一计算子模块的输出端连接;第六晶体管的栅极与第一时钟信号连接,第六晶体管的第一极与第二电压信号线连接,第六晶体管的第二极与第一计算子模块的输出端连接;其中,第二电压信号与第三电压信号极性相反。

[0007] 可选的,第一晶体管和第二晶体管为不同类型晶体管;第三晶体管与第六晶体管为P型晶体管,第四晶体管与第五晶体管为N型晶体管;第一电压信号线传输的信号与第三电压信号线传输的信号相同。

[0008] 可选的,第一计算子模块包括第七晶体管、第八晶体管;第七晶体管的栅极与第二时钟信号连接,第七晶体管的第一极与锁存子模块的输出端连接,第七晶体管的第二极与第一模块的输出端连接;第八晶体管的栅极与第二时钟信号连接,第八晶体管的第一极与第四电压信号线连接,第八晶体管的第二极与第一模块的输出端连接。

[0009] 可选的,第一晶体管和第二晶体管为不同类型晶体管;第七晶体管和第八晶体管为不同类型晶体管;第一电压信号线传输的信号与第四电压信号线传输的信号不相同。

[0010] 可选的,第三模块包括串联的多个反相器。

[0011] 第二方面,本申请实施例提供了一种栅极驱动电路,栅极驱动电路包括多个级联的上述栅极驱动单元;栅极驱动电路还包括第一信号线和第二信号线;各栅极驱动单元的第一信号输入端与第一信号线连接;各栅极驱动单元的第二信号输入端与第二信号线连接;各栅极驱动单元的第二输出端响应于第二信号线上传输的第二信号,同时输出第一电平信号,或者同时输出第二电平信号。

[0012] 第三方面,本申请实施例提供了一种阵列基板,阵列基板包括上述栅极驱动电路。

[0013] 第四方面,本申请实施例提供了一种显示面板,显示面板包括上述阵列基板。

[0014] 本申请实施例提供的方案,通过对栅极驱动电路的栅极驱动单元设置第二模块以及第二信号输入端,且第二模块在第二信号输入端的控制下向第二模块的输出端输出第一电压信号。从而使得栅极驱动电路的各级栅极驱动单元在第二信号输入端的控制下,同时向各条扫描线输出第一电平信号或第二电平信号。使得在显示面板异常断电后的短时间内,显示面板上的各个薄膜晶体管同时处于导通状态,各个像素电极的存储电容通过导通的薄膜晶体管将电荷泄放掉,从而避免液晶极化的发生。

## 附图说明

[0015] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本申请的其它特征、目的和优点将会变得更明显:

[0016] 图1示出了本申请一个实施例提供的栅极驱动单元的结构示意图;

[0017] 图2示出了图1所示第三模块的一种结构示意图;

[0018] 图3示出了本申请另一个实施例提供的栅极驱动单元的结构示意图;

[0019] 图4示出了本申请实施例提供的栅极驱动电路的结构示意图;

[0020] 图5示出了图4所示栅极驱动电路的各级栅极驱动单元的一种输出信号时序图;

[0021] 图6示出了本申请实施例提供的阵列基板的结构示意图;

[0022] 图7示出了本申请实施例提供的显示面板的结构示意图。

### 具体实施方式

[0023] 下面结合附图和实施例对本申请作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅用于解释相关发明,而非对该发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与有关发明相关的部分。

[0024] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0025] 请参考图1,其示出了本申请一个实施例提供的栅极驱动单元的结构示意图。

[0026] 图1所示的栅极驱动单元100包括第一模块11、第二模块12和第三模块13、第一输出端out1、第二输出端Gout。

[0027] 第一模块11包括锁存子模块111和第一计算子模块112。其中锁存子模块111的输入端In1与第一信号输入端S1连接。通常第一信号输入端S1输入触发信号。锁存子模块111在输入的触发信号的触发下,进行信号锁存。

[0028] 锁存子模块111的输出端Out1与第一计算子模块112的输入端In2连接,此外,通常锁存子模块111的输出端Out1与栅极驱动单元100的第一输出端out1连接。栅极驱动单元100的第一输出端out1与该栅极驱动单元的下一级栅极驱动单元的第一信号输入端连接以向下一级驱动单元提供触发驱动信号。

[0029] 需要说明的是,图1中的锁存子模块111可以具有与现有的移位寄存器中锁存模块相类似的电路结构,本申请对此不作特殊限定。

[0030] 锁存子模块111在输入锁存信号时,锁存子模块111的输出信号发生变化,进入锁存状态后,输入的状态被保存直到下一次锁存信号输入。也就是锁存子模块111的输出信号在下次锁存信号输入之前保持为恒定信号。第一计算子模块112将锁存子模块111输出的信号以及时钟信号调制为单个脉冲信号。第一计算子模块112输出的单个脉冲信号经过第二模块12以及第三模块13的作用后形成扫描线驱动信号。

[0031] 如图1所示,第一计算子模块112可以为与非计算子模块。第一计算子模块111的输出端Out2与第一模块11的输出端Out3连接。

[0032] 第一计算子模块112包括第三晶体管T3、第四晶体管T4、第五晶体管T5和第六晶体管T6。其中,第三晶体管T3与第六晶体管T6可以为同类型晶体管,即第三晶体管T3与第六晶体管T6的沟道类型相同。第四晶体管T4与第五晶体管T5可以为同类型晶体管,即第四晶体管T4与第五晶体管T5的沟道类型相同。在实施例的一些可选方式中,第三晶体管T3的沟道类型与第四晶体管T4的沟道类型不相同。如图1所示的第三晶体管T3的类型可以为P型晶体管,第四晶体管T4的类型可以为N型晶体管。

[0033] 第三晶体管T3的栅极与第一计算子模块112的输入端In2连接。第三晶体管T3的第一极与第二电压信号线Vo2连接。第三晶体管T3的第二极与第一计算子模块112的输出端Out2连接。

[0034] 第四晶体管T4的栅极与第一计算子模块112的输入端In2连接,第四晶体管T4的第一极与第三电压信号线Vo3连接。

[0035] 第五晶体管T5的栅极与第一时钟信号输入端CK1连接,第五晶体管T5的第一极与

第四晶体管T4的第二极连接,第五晶体管T5的第二极和第一计算子模块112的输出端Out2连接。

[0036] 第六晶体管T6的栅极与第一时钟信号输入端CK1连接,第六晶体管T6的第一极与第二电压信号线Vo2连接,第六晶体管T6的第二极与第一计算子模块112的输出端Out2连接。

[0037] 其中,第二电压信号线Vo2上传输第二电压信号,第三电压信号线Vo3上传输第三电压信号,第二电压信号与第三电压信号的极性相反。例如第二电压信号可以为恒定高电平信号,第三电压信号可以为恒定低电平信号。

[0038] 假设锁存子模块111输出的信号发生一次由高到低的变化,当锁存子模块111输出的信号为高电平信号时,若第一时钟信号输入端CK1输入的信号为低电平信号,则第一计算子模块112输出的信号为高电平信号;若第一时钟信号输入端CK1输入端输入的信号为高电平信号时,第一计算子模块112输出的信号为低电平信号;当锁存模块111输出的信号变为低电平信号时,第一计算子模块112输出的信号输出为高电平信号。

[0039] 需要说明的是,图1仅示出了一种可选的与非计算子模块的电路结构,在本申请的其他实施例中,与非计算子模块可以具有与现有的与非计算模块类似的电路结构,本申请对此不作特殊限定。

[0040] 在栅极驱动单元100中,第二模块12可以包括第一晶体管T1和第二晶体管T2。其中,第一晶体管T1的栅极与第二信号输入端S2连接,第一晶体管T1的第一极与第一模块11的输出端Out3连接,第一晶体管T1的第二极与第二模块12的输出端Out4连接。第二晶体管T2的栅极与第二信号输入端S2连接,第二晶体管T2的第一极与第一电压信号线Vo1连接,第二晶体管T2的第二极与第二模块12的输出端Out4连接。在本实施例中,第一晶体管T1和第二晶体管T2为不同类型的晶体管,即二者沟道类型不相同。例如第一晶体管T1可以为如图1所示的P型晶体管,第二晶体管T2可以为如图1所示的N型晶体管。在一些应用场景中,第一晶体管T1还可以为N型晶体管,第二晶体管T2还可以为P型晶体管。

[0041] 在本实施例中,第二模块12在第二信号输入端S2的控制下向第二模块12的输出端Out4输出与第一电压信号线Vo1上传输的信号相同的第一电压信号或输出第一模块11的输出端Out3输出的信号。具体地,若第一晶体管T1为P型晶体管,第二晶体管T2为N型晶体管,当第二信号输入端S2输入低电平信号时,第一晶体管T1导通,第二晶体管T2截止,第一模块11输出的信号经过导通的第一晶体管T1传输到第二模块12的输入端。当第二信号输入端S2输入高电平信号时,第二晶体管T2导通,第一晶体管截止,第一电压信号线Vo1上传输的信号通过导通的第二晶体管T2传输到第二模块12的输出端。同理,若第一晶体管T1为N型晶体管,第二晶体管P型晶体管时,当第二信号输入端S2输入高电平信号时,第一晶体管T1导通,第二晶体管T2截止,第一模块11输出的信号经过导通的第一晶体管T1传输到第二模块的输出端;当第二信号输入端S2输入低电平信号时,第二晶体管T2导通,第一晶体管T1截止,第一电压信号线Vo1上传输的信号通过导通的第二晶体T2管传输到第二模块12的输出端。也就是说,第二信号输入端S2输入的信号可以根据第一晶体管T1和第二晶体管T2的类型来确定。

[0042] 在本实施例的一些可选实现方式中,当第一晶体管T1和第二晶体管T2类型不相同,第三晶体管T3与第六晶体管T6可以为P型晶体管,第四晶体管T4和第五晶体管T5可以为

N型晶体管。第一电压信号线Vo1上传输的信号可以与第三电压信号线Vo3传输的信号相同。此时可以将第一电压信号线Vo1和第三电压信号线Vo3合为一根信号线,可以简化电路结构。

[0043] 在本实施例中,第三模块13的输入端In3与第二模块12的输出端Out4连接。第三模块13将第二模块12输出的信号放大后输出到栅极驱动单元100的第二输出端Gout。

[0044] 请参考图2,其示出了图1所示第三模块的结构示意图。如图2所示,第三模块13包括多个级联的反相器131。第二模块12输出端输出的信号输入到第三模块13的输入端In3。在第三模块13中经上述多个级联的反相器131后输出到栅极驱动单元100的第二输出端Gout。若第三模块13包括奇数个反相器131,则将第二模块12输出端输出的信号放大并反相后输出到栅极驱动单元100的第二输出端Gout。若第三模块包括偶数个反相器,则将第二模块12输出端输出的信号放大后输出到栅极驱动单元100的第二输出端Gout。

[0045] 在本实施例中,第一电压信号线Vo1输入的信号的极性与第一模块11输出的单个脉冲信号的极性相匹配。具体地,当第一模块11输出的单个脉冲信号的脉冲电平需要为低电平时,第一电压信号线Vo1上传输的信号也应该为低电平信号;当第一模块11输出的单个脉冲信号需要为高电平信号时,第一电压信号线Vo1上传输的信号也应该为高电平信号。

[0046] 在设置第三模块13中反相器131的数量时需要考虑与显示面板中的像素电极和扫描线连接的薄膜晶体管的类型、第二模块12输出的第一电压信号、第一模块11输出的信号。例如当薄膜晶体管为N型薄膜晶体管时,由于N型晶体管的栅极输入高电平信号时导通,若第一电压信号及单个脉冲信号为高电平信号,则第三模块13中可以设置偶数个反相器131,从而第三模块13也输出高电平信号;若第一电压信号及单个脉冲信号为低电平信号,第三模块13中可以设置奇数个反相器131,从而第三模块13输出高电平信号。通常,第三模块13中的偶数个反相器131可以为两个反相器131,奇数个反相器131可以为三个反相器131。第三模块13中级联的反相器131将第一电压信号及第二模块12输出的信号进行放大后输出,可以增加栅极驱动单元100的驱动能力。

[0047] 在本实施例中,通过在栅极驱动单元100中的第二模块12中设置第一晶体管T1和第二晶体管T2,第一晶体管T1和第二晶体管T2类型不相同。第一晶体管T1的栅极与第二信号输入端S2连接,第一晶体管T1的第一极与第一模块11的输出端Out2连接,第一晶体管T1的第二极与第二模块12的输出端Out3连接;第二晶体管T2(M1/M3)的栅极与第二信号输入端S2连接,第二晶体管T2的第一极与第一电压信号线Vo1连接,第二晶体管T2的第二极与第二模块12的输出端连接。使得第二模块12在第二信号输入端S2的控制下向第二模块12的输出端输出第一电压信号或输出第一模块11输出端输出的信号。从而使得栅极驱动单元100的第二输出端Gout在第二信号输入端S2的控制下,向与其连接的扫描线输出第一电平信号或第二电平信号,或者输出栅极扫描信号。当栅极驱动单元100的第二输出端Gout输出第一电平信号或第二电平信号时,与该栅极驱动单元100对应的扫描线连接的各个晶体管导通,从而可以将与上述各个晶体管连接像素存储电容上的电荷释放掉,从而避免液晶极化现象。

[0048] 请参考图3,其示出了本申请另一个实施例的栅极驱动单元的结构示意图。

[0049] 如图3所示,栅极驱动单元200包括与图1所示栅极驱动单元100包括第一模块21,第二模块22,第三模块23,第一输出端和第二输出端。其中,第一模块21包括锁存子模块211

和第一计算子模块212。锁存子模块211的输出端Out1与第一计算子模块212的输入端In2连接,且锁存子模块211的输出端Out1与栅极驱动单元200的第一输出端out1连接。第一计算子模块212的输出端Out2与第一模块21的输出端Out3连接。第一模块21的输出端Out3与第二模块22连接。第二模块22的输出端Out4与第三模块23的输入端In3连接。第三模块的输出端Out与栅极驱动单元200的第二输出端Gout连接。其中,锁存子模块211与图1所示栅极驱动单元100的锁存子模块111相同,第二模块22与图1所示的第二模块12相同,第三模块23与图1所示的第三模块13相同,栅极驱动单元200的第一输出端out1与该栅极驱动单元的下一级栅极驱动单元的第一信号输入端连接。此处不赘述。

[0050] 与图1所示栅极驱动单元100不同之处在于,图3所示栅极驱动单元200中,第一模块21中的第一计算子模块212只包括两个晶体管,即第七晶体管T7和第八晶体管T8。

[0051] 如图3所示,第七晶体管T7的栅极与第二时钟信号输入端CK2连接,第七晶体管T7的第一极与第一计算子模块212的输入端In2连接,第七晶体管T7的第二极与第一计算子模块212的输出端Out2连接。第八晶体管T8的栅极与第二时钟信号输入端CK2连接,第八晶体管T8的第一极与第四电压信号线Vo4连接,第八晶体管T8的第二极与第一计算子模块212的输出端Out2连接。

[0052] 在本实施例中,第一晶体管T1和第二晶体管T2为不同类型晶体管。具体地,第一晶体管T1例如可以为P型晶体管,第二晶体管T2例如可以为N型晶体管。

[0053] 在本实施例中,第七晶体管T7和第八晶体管T8为不同类型晶体管。具体地,第七晶体管T7例如可以为N型晶体管,第八晶体管T8例如可以为P型晶体管。

[0054] 在本实施例中,第一电压信号线Vo1上传输的信号与第四电压信号线Vo4上传输的第四电压信号不相同。例如当第一电压信号线Vo1上传输的信号大于零时,第四电压信号小于零。当第一电压信号线Vo1上传输的信号小于零时,第四电压信号大于零。

[0055] 当第二时钟信号输入端CK2输入的信号为高电平时,第七晶体管T7导通,锁存子模块211的输出端Out1的信号经过导通的第七晶体管T7传输到第一计算模块212的输出端。当第二时钟信号输入端CK2输入的信号为低电平时,第八晶体管T8导通,第四电压信号线Vo4上传输的第四电压信号经过导通的第八晶体管T8传输到第一计算模块212的输出端Out2。第四电压信号线可以为恒定低电平信号。当锁存子模块211输出信号由低电平信号变化为高电平信号时,在第二时钟信号输入端CK2输入的信号的信号的控制下,第一计算模块212将锁存子模块211输出的信号调制出脉冲信号。

[0056] 与图1所示栅极驱动单元100类似,第二模块包括第一晶体管T1和第二晶体管T2。第一晶体管T1和第二晶体管T2的类型可以不相同。第二模块22在第二信号输入端S2的控制下向第三模块23输出与第一电压信号线Vo1上传输的信号相同的第一电压信号,或者向第三模块23输出第一模块21输出的信号,此处不赘述。

[0057] 第三模块23将第二模块22输出的信号放大后输出到栅极驱动单元200的第二输出端Gout;或者第三模块23将第二模块22输出的信号放大反相后输出到栅极驱动单元200的第二输出端Gout,此处不赘述。

[0058] 图3所示的第一计算子模块相比图1所示的第一计算子模块减少了两个晶体管,简化了栅极驱动单元的结构,有利于缩小包含该栅极驱动单元的显示面板的边框面积。

[0059] 请参考图4,其示出了本申请实施例提供的栅极驱动电路的结构示意图。

[0060] 如图4所示,栅极驱动电路300包括N个级联的栅极驱动单元31,栅极驱动单元31为图1所示栅极驱动单元100或图3所示的栅极驱动单元200中的一种。各个栅极驱动单元31包括第一信号输入端S1,第二信号输入端S2,第一输出端out1和第二输出端Gout。

[0061] 栅极驱动电路300还包括第一信号线STV和第二信号线GAS。其中,第一信号线STV与第一级栅极驱动单元31的第一信号输入端S1连接。第一信号线STV通常传输触发信号。第K级栅极驱动单元31的第一信号输入端S1与第K-1级栅极驱动单元31的第一输出端out1连接。其中, $1 < K \leq N$ ,且K为正整数。第二信号线GAS与各级栅极驱动单元31的第二信号输入端S2连接,使得栅极驱动电路300的各栅极驱动单元31的第二输出端Gout响应于第二信号线GAS上传输的第二信号,同时输出第一电平信号,或者同时输出第二电平信号。各栅极驱动单元31的第二输出端输出的第一电平信号可以使与扫描线连接的各个晶体管导通;或者各栅极驱动单元31的第二输出端输出的第二电平信号可以使与扫描线连接的各个晶体管导通。从而使得与各级栅极驱动单元31对应的各条扫描线连接的各个薄膜晶体管处于导通状态,以利于各个像素电极的存储电容进行电荷泄放,防止产生液晶极化。

[0062] 请参考图5,其示出了图4所示栅极驱动电路的各级栅极驱动单元的一种输出信号时序图。

[0063] 图5所示的时序图中,以第二信号输入端输入高电平信号有效为例进行说明。此处的有效是指,当第二信号线GAS上传输的信号为高电平信号时,各栅极驱动单元同时输出同一电平信号。

[0064] 在第一阶段P1,第二信号线GAS上传输低电平信号,也就是栅极驱动电路300中的各个栅极驱动单元31的第二信号输入端S2输入低电平信号,此时,各级栅极驱动单元31正常工作,也就是N个栅极驱动单元31的第二输出端Gout逐级输出脉冲信号,如图5所示的…、栅极驱动单元1Gout、栅极驱动单元2Gout、栅极驱动单元3Gout、…、栅极驱动单元NGout输出的脉冲信号。在第二阶段P2,第二信号线GAS上传输高电平信号,栅极驱动电路300中的各级栅极驱动单元31的第二信号输入端S2输入高电平信号,此时,各级栅极驱动单元31的第二输出端Gout输出第一电平信号,第一电平信号可以为高电平信号。在一些应用场景中,当第二信号线GAS上传输高电平信号时,各级栅极驱动单元31的第二输出端Gout输出第二电平信号,第二电平信号可以为低电平信号。。

[0065] 本申请实施例提供的栅极驱动电路,在显示面板显示意外断电时,第二信号线GAS上传输第二信号。各级栅极驱动单元的第二输出端在第二信号的控制下,向扫描线输出第一电平信号或者第二电平信号。与各条扫描线连接的薄膜晶体管在第一电平信号或者第二电平的作用下同时导通,像素存储电容上的电荷通过导通的薄膜晶体管泄放,避免了液晶极化。

[0066] 请参考图6,其示出了本申请实施例提供的阵列基板的结构示意图。

[0067] 如图6所示,阵列基板400包括显示区AA和非显示区域。显示区域AA中包括多条数据线Data,与数据线Data交叉设置的多条扫描线Scan,位于扫描线Scan和数据线Data交叉处的薄膜晶体管T以及由扫描线Scan和数据线Data交叉设置限定的像素单元。非显示区域中包括图4所示栅极驱动电路300,栅极驱动电路300包括N级栅极驱动单元31、第一信号线STV和第二信号线GAS。栅极驱动单元31可以为图1所示的栅极驱动单元100或者为图3所示栅极驱动单元200中的任意一种。第一信号线STV与第一级栅极驱动单元的第一信号输入端

S1连接。每一级栅极驱动单元31的第一输出端out1与下一级栅极驱动单元31的第一信号输入端S1连接(最后一级栅极驱动单元除外)第二输出端Gout与一条扫描线Scan电连接。阵列基板400还包括集成电路IC,集成电路IC用于在显示时通过第一信号线STV向栅极驱动电路300的第一级栅极驱动单元31传输触发信号,以及通过第二信号线GAS向栅极驱动电路300的各级栅极驱动单元提供第二信号。可选的,集成电路IC可以向各条数据线Data提供显示信号。

[0068] 请参考图7,其示出了本申请实施例提供的显示面板的结构示意图。

[0069] 本申请显示面板为液晶显示面板,如图7所示,本申请显示面板500包括如图6所示的阵列基板400,以及与阵列基板400对向设置的彩膜基板501,以及设置在阵列基板400与彩膜基板501之间的液晶层502,等等。除了包括图7所示的阵列基板400、彩膜基板501以及液晶层502之外,显示面板500还可以其他一些公知结构,例如用于提供显示光源的背光源等等,此处不赘述。

[0070] 以上描述仅为本申请的较佳实施例以及对所运用技术原理的说明。本领域技术人员应当理解,本申请中所涉及的发明范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离所述发明构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

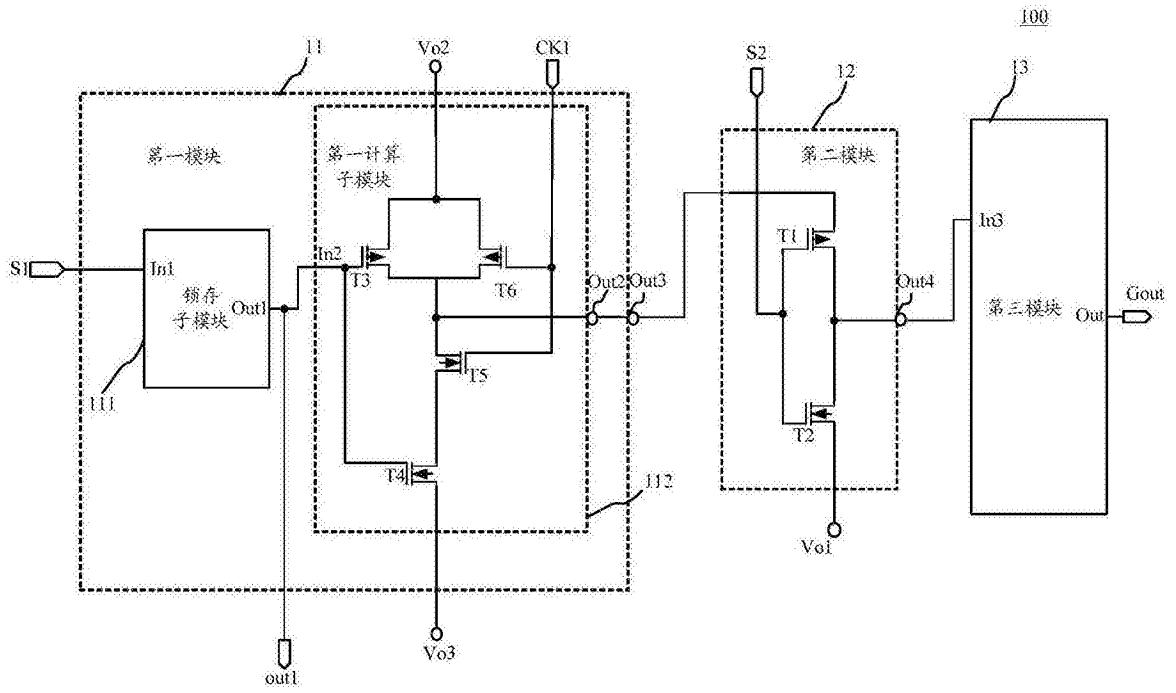


图1

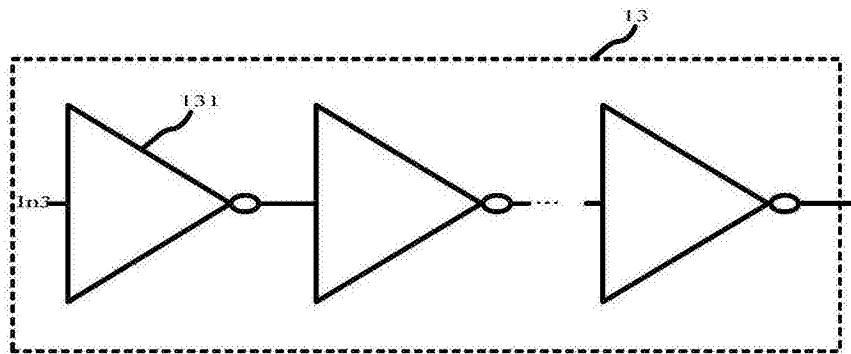


图2

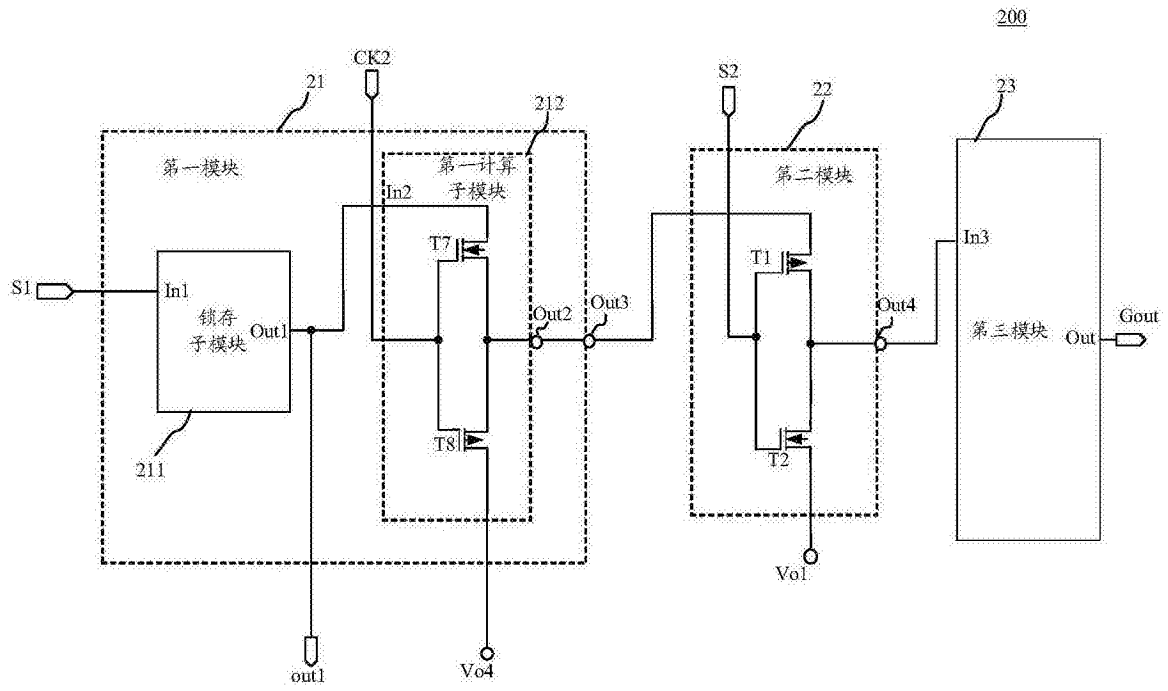


图3

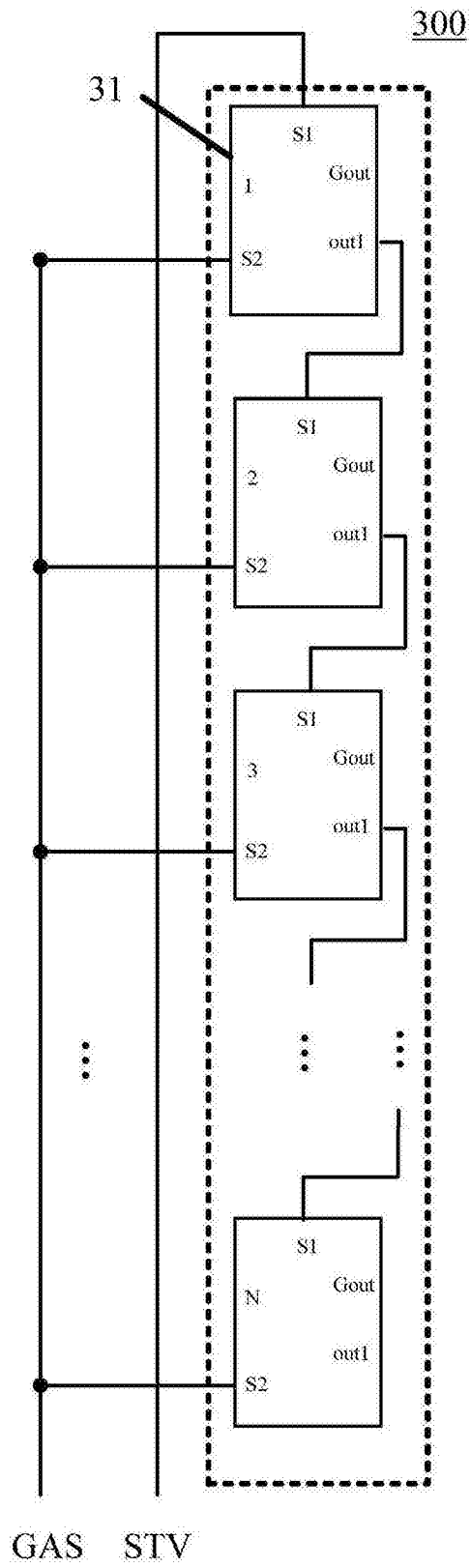


图4

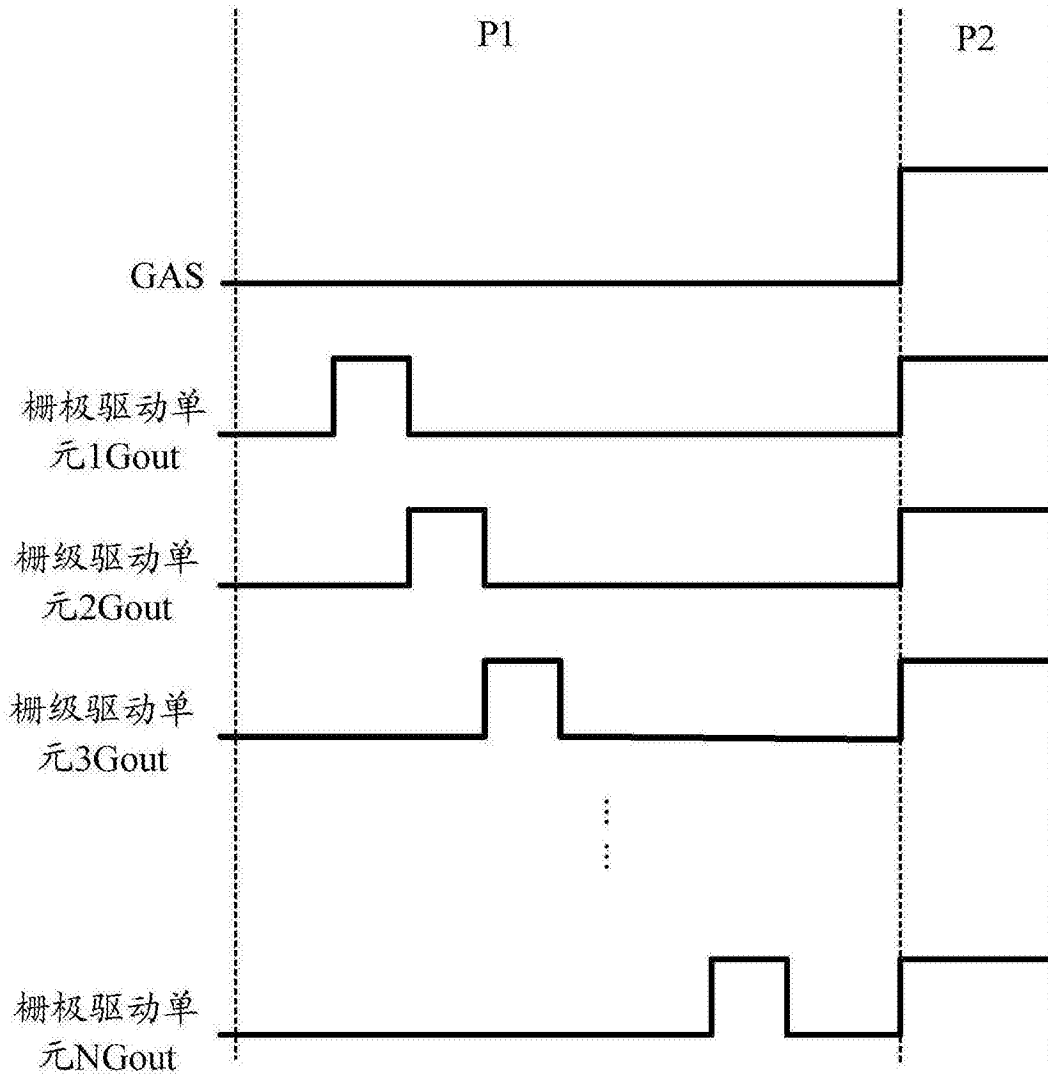


图5

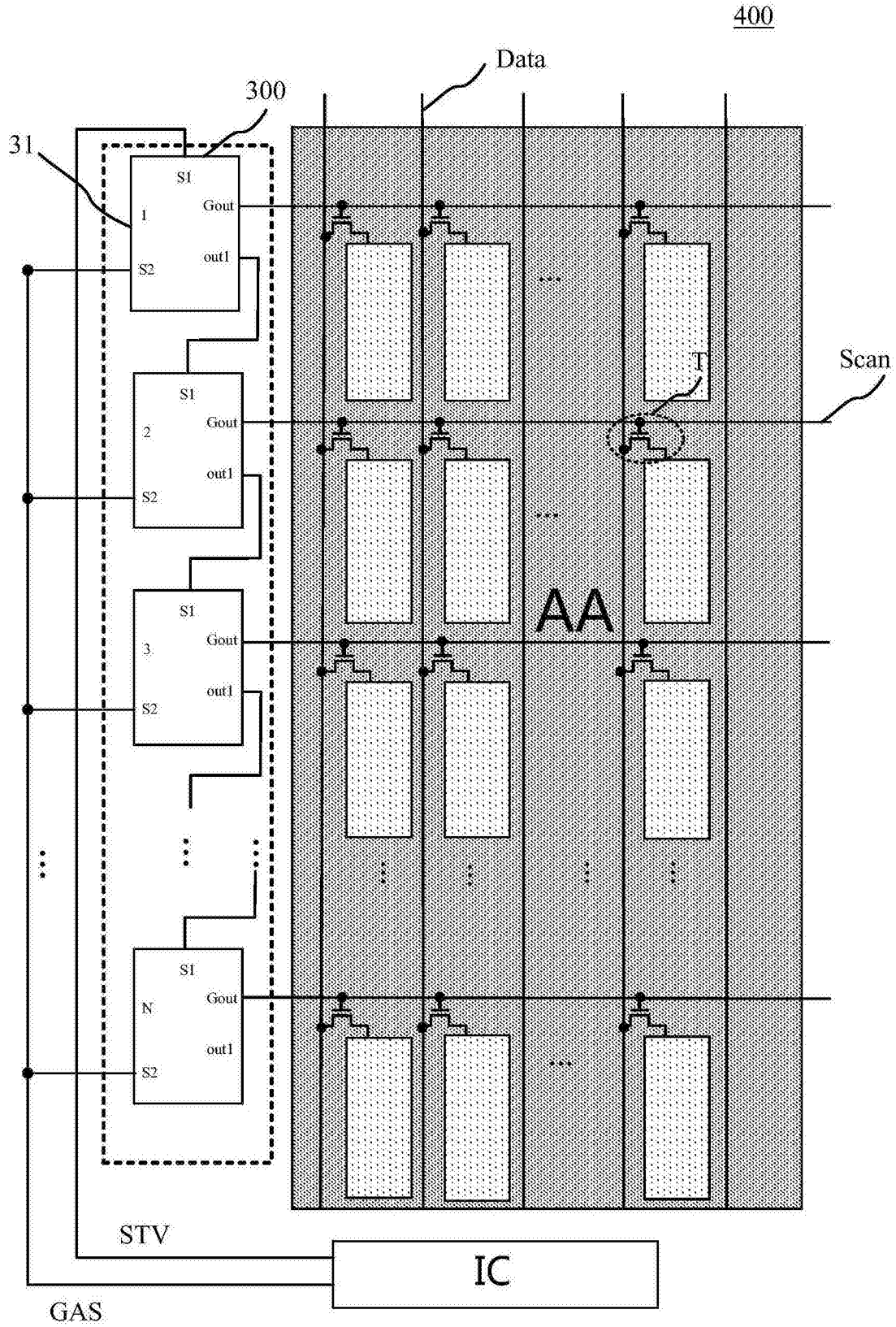


图6

500

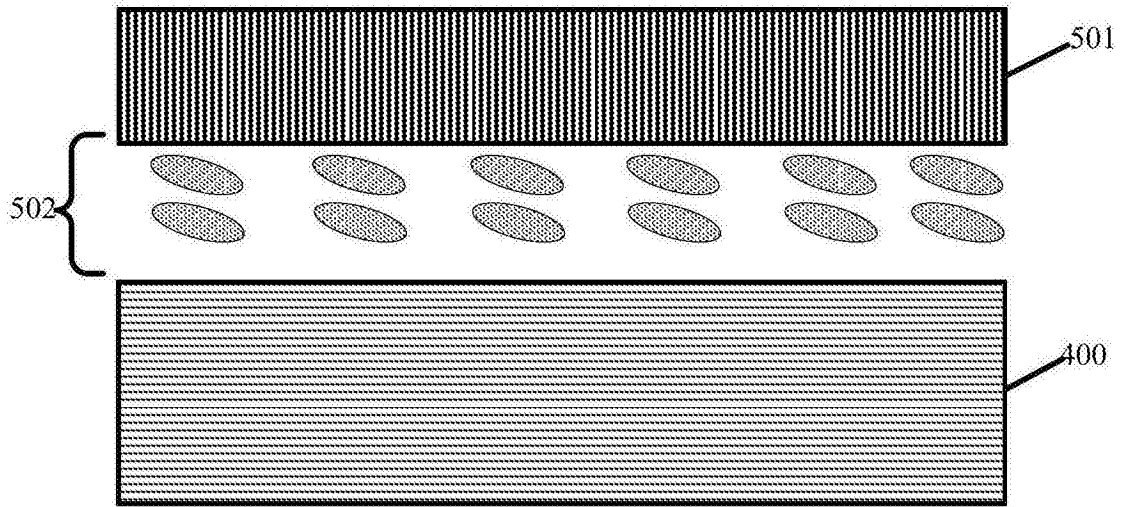


图7

专利名称(译)	栅极驱动单元、栅极驱动电路及阵列基板与显示面板		
公开(公告)号	<a href="#">CN206293146U</a>	公开(公告)日	2017-06-30
申请号	CN201621301898.7	申请日	2016-11-30
[标]申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
当前申请(专利权)人(译)	厦门天马微电子有限公司 天马微电子股份有限公司		
[标]发明人	庄知龙 赖青俊 黄建才 许育民		
发明人	庄知龙 赖青俊 黄建才 许育民		
IPC分类号	G09G3/36		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本申请公开了栅极驱动单元、栅极驱动电路及阵列基板和显示面板。栅极驱动单元包括第一模块、第二模块和第三模块；第一模块包括锁存子模块与第一计算子模块；第二模块包括第一晶体管和第二晶体管，第一晶体管的栅极与第二信号输入端连接，第一极与第一模块的输出端连接，第二极与第二模块的输出端连接；第二晶体管的栅极与第二信号输入端连接，第一极与第一电压信号线连接，第二极与第二模块的输出端连接；第二模块在第二信号输入端的控制下向第二模块的输出端输出第一电压信号或输出第一模块输出的信号；第三模块将第二模块输出的信号放大后输出到扫描线。实现了异常断电后，各薄膜晶体管导通而将存储电容上的电荷泄放，避免了液晶极化。

