



(12)发明专利申请

(10)申请公布号 CN 111429861 A

(43)申请公布日 2020.07.17

(21)申请号 202010338235.7

(22)申请日 2020.04.26

(71)申请人 南开大学

地址 300071 天津市南开区卫津路94号

(72)发明人 代永平

(74)专利代理机构 天津耀达律师事务所 12223

代理人 张耀

(51)Int.Cl.

G09G 3/36(2006.01)

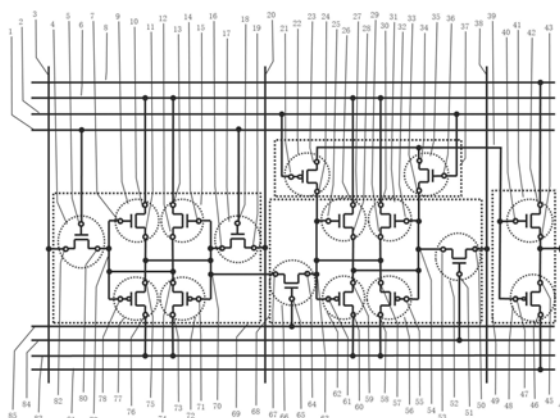
权利要求书3页 说明书12页 附图6页

(54)发明名称

数字型16管硅基液晶显示芯片像素电路及其驱动方法

(57)摘要

本发明提出了一种数字型16管硅基液晶显示芯片像素电路及其驱动方法,涉及微电子科学技术的硅基显示系统集成电路应用领域,包括主要由16个MOS晶体管构成的第1锁存器、第2锁存器、电平反转门、电平转换门,并形成电学串联结构。这些MOS管只工作在开关状态,符合数字电路规范,因此大幅度降低了MOS器件制造工艺难度,同时也避免了使用电容器而带来的漏电问题;其驱动方法可以将每位数字数据作用时间均分为正电场和负电场,既实现了对液晶材料的交流驱动,又使得像素电路的电源电压供给值不低于液晶材料工作电压即可。



1. 数字型16管硅基液晶显示芯片像素电路,其特征是:包括第1锁存器、第2锁存器、电平反转门、电平转换门,其中第1-NMOS管、第2-NMOS管、第2-PMOS管、第3-NMOS管、第3-PMOS管、第4-NMOS管与第1连接线及第2连接线构成第1锁存器;第8-NMOS管、第6-NMOS管、第6-PMOS管、第7-NMOS管、第7-PMOS管、第9-NMOS管与第3连接线及第4连接线构成第2锁存器;第5-PMOS管、第5-NMOS管与第3连接线、第4连接线、第5连接线构成电平反转门;第10-NMOS管、第10-PMOS管与反转控制线、第5连接线、像素单元输出电极、模拟低电平线、模拟高电平线构成电平转换门,且第1锁存器、第2锁存器、电平反转门、电平转换门形成电学串联结构;还配置有:寻址线、反转控制线、数字电源线、数字地线、数据位线、Vcom同步信号线、输出控制线、复位控制线、模拟高电平线、模拟低电平线、像素单元输出电极,并分别与16个MOS晶体管构成电连接,且模拟低电平线上的固定电平值不高于模拟高电平线上的固定电平值。

2. 根据权利要求1所述的数字型16管硅基液晶显示芯片像素电路,其特征是:在第1锁存器中,第1-NMOS栅极、第4-NMOS栅极与寻址线相连,且第1-NMOS漏极与正相位线相连,且第4-NMOS漏极与负相位线相连,且第1-NMOS源极、第2-NMOS栅极、第2-PMOS栅极、第3-NMOS漏极、第3-PMOS漏极与第1连接线相连,且第4-NMOS源极、第3-NMOS栅极、第3-PMOS栅极、第2-NMOS漏极、第2-PMOS漏极与第2连接线相连,且第2-PMOS源极、第3-PMOS源极与数字电源线相连,且第2-NMOS源极、第3-NMOS源极与数字地线相连;且在第2锁存器中,第8-NMOS栅极与输出控制线相连,且第8-NMOS漏极与第2连接线相连,且第9-NMOS栅极与复位控制线相连,且第9-NMOS漏极与Vcom同步信号线相连,且第8-NMOS源极、第6-NMOS栅极、第6-PMOS栅极、第7-NMOS漏极、第7-PMOS漏极与第3连接线相连,且第9-NMOS源极、第7-NMOS栅极、第7-PMOS栅极、第6-NMOS漏极、第6-PMOS漏极与第4连接线相连;且在电平反转门中,第5-PMOS栅极、第5-NMOS栅极均与反转控制线相连,第5-PMOS漏极与第3连接线相连,第5-NMOS漏极与第4连接线相连,且第5-PMOS源极、第5-NMOS源极均与第5连接线相连;且在电平转换门中,第10-NMOS栅极、第10-PMOS栅极均与第5连接线相连,且第10-NMOS源极与模拟低电平线相连,且第10-PMOS源极与模拟高电平线相连,且第10-NMOS漏极、第10-PMOS漏极均与像素单元输出电极相连。

3. 根据权利要求1或2所述的数字型16管硅基液晶显示芯片像素电路,其特征是:第1-NMOS管、第2-NMOS管、第2-PMOS管、第3-NMOS管、第3-PMOS管、第4-NMOS管、第5-NMOS管、第5-PMOS管、第6-NMOS管、第6-PMOS管、第7-NMOS管、第7-PMOS管、第8-NMOS管、第9-NMOS管采用工作电压不超过2.0V的低压MOS管结构、且第10-PMOS管、第10-NMOS管采用工作电压不低于2.0V的高压MOS管结构。

4. 根据权利要求1-3任一项所述的数字型16管硅基液晶显示芯片像素电路的驱动方法,其特征是:在公共电极上传输的脉冲波信号Vcom的至少任意两个相邻、前后信号周期中,第一步主要涉及第1锁存器:在前一个信号周期内将正相位线和负相位线上的一对反相电平取样存入第1锁存器;第二步主要涉及第2锁存器、电平反转门、电平转换门:在后一个信号周期的前半信号周期内将第1锁存器存储的电平取样存入第2锁存器,同时通过控制电平反转门交替截取第2锁存器存储过的一对反相电信号波形并合成一个电信号输出至电平转换门;第三步主要涉及第2锁存器、电平反转门、电平转换门:在后一个信号周期的后半信号周期内将Vcom同步信号线上的电平取样存入第2锁存器,同时再次通过控制电平反转门交替截取第2锁存器存储过的一对反相电信号波形并合成一个电信号输出至电平转换门,

最终控制或是选择模拟低电平线上的固定低电平输出至像素单元输出电极,或是选择模拟高电平线上的固定高电平输出至像素单元输出电极,达到将模拟低电平线上的固定电平与模拟高电平线上的固定电平交替输入至像素单元输出电极的目的。

5. 根据权利要求4所述的数字型16管硅基液晶显示芯片像素电路的驱动方法,其特征是该驱动方法还包括:在后一个信号周期中进行第二步、第三步操作的同时,可以在第1锁存器进行第一步操作,即:再次从数据位线上的电平取样存入第1锁存器,而在紧接后一个信号周期的信号周期中继续分别在第2锁存器、电平反转门、电平转换门重复第二步、第三步操作和在第1锁存器进行第一步操作,如此持续进行,并对应于公共电极上传输的脉冲波信号Vcom的连续多个信号周期,则可以在像素单元输出电极连续输出电信号。

6. 根据权利要求4所述的数字型16管硅基液晶显示芯片像素电路的驱动方法,其特征是:输出控制线上传输的脉冲波信号Ssh频率、复位控制线上传输的脉冲波信号Sre频率、Vcom同步信号线上传输的脉冲波信号Svc频率与公共电极上传输的脉冲波信号Vcom频率均相同的情况下的波形具有如下特征:Vcom同步信号线上传输的脉冲波信号Svc与公共电极上传输的脉冲波信号Vcom反相,且输出控制线上传输的脉冲波信号Ssh的高电平与复位控制线上传输的脉冲波信号Sre的高电平分别出现在Vcom同步信号线上传输的脉冲波信号Svc的两个相邻半周期内、且仅出现一次;先发生输出控制线上传输的脉冲波信号Ssh的高电平的跳沿Ssh_upe,接着经过T23时间发生Vcom同步信号线上传输的脉冲波信号Svc的跳变沿Svc_mde,再接着经过T24时间发生复位控制线上传输的脉冲波信号Sre的高电平的跳沿Sre_upe,且T23与T24时间相同;一位任意数据或是高电平或是低电平占据第2锁存器的总时间为不超过T15、T16、T17、T18时间之和,其中:第2锁存器锁存该一位数据或是高电平或是低电平的有效时间为T23、T24时间之和,且T23、T24时间之和不超过T15、T16时间之和,且T23视为该一位数据的正半场,对应公共电极上传输的脉冲波信号Vcom的低电平,T24视为该位数据的负半场,对应公共电极上传输的脉冲波信号Vcom的高电平,剩余的T17、T18时间之和为复位时间。

7. 根据权利要求4所述的数字型16管硅基液晶显示芯片像素电路的驱动方法,其特征是:输出控制线上传输的脉冲波信号Ssh为高电平、且复位控制线上传输的脉冲波信号Sre为低电平,第2锁存器进入从第1锁存器输入数据状态;输出控制线上传输的脉冲波信号Ssh、复位控制线上传输的脉冲波信号Sre均为低电平,第2锁存器进入锁存数据状态;复位控制线上传输的脉冲波信号Sre为高电平、且输出控制线上传输的脉冲波信号Ssh为低电平,第2锁存器进入从Vcom同步信号线输入数据状态。

8. 根据权利要求4所述的数字型16管硅基液晶显示芯片像素电路的驱动方法,其特征是:反转控制线上传输的脉冲波信号Sc频率、相位与公共电极上传输的脉冲波信号Vcom频率、相位相同的情况下的波形具有如下特征:第3连接线上的信号采用第3连接线上传输的脉冲波信号1aB2、第4连接线上的信号采用第4连接线上传输的脉冲波信号1a2,当信号Sc为连续方波时,在第5连接线上将交替截取第3连接线上传输的脉冲波1aB2的部分波形和第4连接线上传输的脉冲波1a2的部分波形合成第5连接线上传输的脉冲波信号Vcpe的波形。

9. 根据权利要求4所述的数字型16管硅基液晶显示芯片像素电路的驱动方法,其特征是:模拟低电平线上提供的固定低电平VL与公共电极上传输的脉冲波信号的低电平V0之间的电压差不得超过所驱动液晶材料的阈值电压从而形成零电场、且模拟高电平线上提供的

固定高电平 V_H 与公共电极上传输的脉冲波信号的高电平 V_1 之间的电压差也不超过所驱动液晶材料的阈值电压从而形成零电场,在控制液晶材料物理特性方面零电场不分正负且可忽略;模拟高电平线上提供的固定高电平 V_H 与公共电极上传输的脉冲波信号的低电平 V_0 构成正电场,模拟低电平线上提供的固定低电平 V_L 与公共电极上传输的脉冲波信号的高电平 V_1 构成负电场;顺序采用第2锁存器应用场景、电平反转门应用场景、电平转换门应用场景直至最终生成的像素单元输出电极上传输的脉冲波信号 V_{pe} 具备如此特性:在公共电极上传输的脉冲波信号 V_{com} 的至少任意两个相邻、前后信号周期中,且在前一个信号周期内通过正相位线向第1锁存器输入并保持低电平、且同步的通过负相位线向第1锁存器输入并保持高电平后,则在后一个信号周期内产生的像素单元输出电极上传输的脉冲波信号 V_{pe} 上存在具备交流驱动作用的波形,该波形相对于公共电极上传输的脉冲波信号 V_{com} 的一个周期内相邻低电平和高电平产生一对相邻正电场、负电场,该相邻正电场、负电场构成对液晶材料物理特性产生明显控制作用,或者在公共电极上传输的脉冲波信号 V_{com} 的至少任意两个相邻、前后信号周期中,且在前一个信号周期内通过正相位线向第1锁存器输入并保持高电平、且同步的通过负相位线向第1锁存器输入并保持低电平后,则在后一个信号周期内产生的像素单元输出电极上传输的脉冲波信号 V_{pe} 上存在相应波形,该相应波形相对于公共电极上传输的脉冲波信号 V_{com} 的一个周期内相邻低电平和高电平产生一对相邻零电场,该相邻零电场构成对液晶材料物理特性没有明显控制作用的波形。

数字型16管硅基液晶显示芯片像素电路及其驱动方法

技术领域

[0001] 本发明属于微电子科学技术的硅基显示系统集成电路应用领域,特别是涉及一种属于数字型硅基液晶显示芯片像素电路领域。

背景技术

[0002] 单晶硅平面器件制造技术分别与液晶(LCD,Liquid Crystal Display)技术、有机发光二极管(OLED,Organic Light-Emitting Diode)技术等主动式或者被动式显示技术相融合,产生出各类硅基显示器,比如与液晶显示技术结合产生的硅基-液晶-玻璃的“三明治”结构式器件技术,该技术制造出一种新型的反射式LCD显示器件,它首先在单晶硅片上运用金属氧化物半导体(MOS,Metal Oxide Semiconductor)工艺制作包含有源寻址矩阵芯片的硅基板,然后镀上表面光洁的金属层既充当驱动电极又当作反射镜面,最后将硅基板与含有透明电极的玻璃基板贴合,并在中间灌入液晶材料形成反射式液晶屏,通过调制硅基板上源寻址矩阵中每个像素电极的输出电平,从而控制液晶材料对反射光幅度强弱(灰度)实现图像显示。(Chris Chinnock.“Microdisplays and Manufacturing Infrastructure Mature at SID2000”《Information Display》,2000年9,P18)。

[0003] 通常,芯片有源寻址矩阵的像素单元电路由1个N型沟道金属氧化物半导体(NMOS,N-channel Metal Oxide Semiconductor)晶体管和1个电容器串联构成(R.Ishii,S.Katayama,H.Oka,S.yamazaki,S.lino“U.Efron,I.David,V.Sinelnikov,B.Apter“A CMOS/LCOS Image Transceiver Chip for Smart Goggle Applications”《IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY》,14卷,第2期,2004年2月,P269),其中NMOS管的栅极连接行扫描器寻址信号输出端。但是,单个NMOS管在传输高电平时不仅存在阈值电压损失,而且传输过程的瞬态特性也不理想(陈贵灿等编著,《CMOS集成电路设计》,西安交通大学出版社,1999.9,P110)。

发明内容

[0004] 常规硅基液晶显示芯片像素电路为了满足所驱动的液晶材料工作在交流状态,需要将电源电压的二分之一设置为固定的公共电平,即该公共电平值不小于液晶材料的最大线性工作电压值,结果使得电源电压供给值不低于液晶材料工作电压的二倍,这种高压模式带来高功耗、高压MOS器件工艺难度大等问题。本发明提出的一种由16个MOS晶体管(简称:16T)构成的硅基有源寻址矩阵像素单元电路,这些MOS管只工作在开关状态,符合数字电路规范,因此大幅度降低了MOS器件制造工艺难度,同时也避免了使用电容器而带来的漏电问题;而且,本发明提出的像素电路驱动方法可以将每位数字数据作用时间均分为正电场和负电场,既实现了对液晶材料的交流驱动,又使得像素电路的电源电压供给值不低于液晶材料工作电压即可。

[0005] 本发明的技术方案是:

[0006] 一种数字型16管硅基液晶显示芯片像素电路,主要由第1-NMOS管、第2-NMOS管、第

2-PMOS管、第3-NMOS管、第3-PMOS管、第4-NMOS管、第5-NMOS管、第5-PMOS管、第6-NMOS管、第6-PMOS管、第7-NMOS管、第7-PMOS管、第8-NMOS管、第9-NMOS管、第10-PMOS管和第10-NMOS管组成,且特别是所述第1-NMOS管、第2-NMOS管、第2-PMOS管、第3-NMOS管、第3-PMOS管、第4-NMOS管、第5-NMOS管、第5-PMOS管、第6-NMOS管、第6-PMOS管、第7-NMOS管、第7-PMOS管、第8-NMOS管、第9-NMOS管采用工作电压不超过2.0V的低压MOS管结构、且所述第10-PMOS管、第10-NMOS管采用工作电压不低于2.0V的高压MOS管结构;

[0007] 其中第1-NMOS管、第2-NMOS管、第2-PMOS管、第3-NMOS管、第3-PMOS管、第4-NMOS管与第1连接线及第2连接线构成第1锁存器;

[0008] 其中第8-NMOS管、第6-NMOS管、第6-PMOS管、第7-NMOS管、第7-PMOS管、第9-NMOS管与第3连接线及第4连接线构成第2锁存器;

[0009] 其中第5-PMOS管、第5-NMOS管与第3连接线、第4连接线、第5连接线构成电平反转门,且第5-PMOS管和第5-NMOS管分别将第3连接线上的电信号、第4连接线上的电信号交替传输至第5连接线上;

[0010] 其中第10-NMOS管、第10-PMOS管与反转控制线、第5连接线、像素单元输出电极、模拟低电平线、模拟高电平线构成电平转换门,且第10-NMOS管、第10-PMOS管被反转控制线上的信号控制分别将模拟低电平线上的固定电平、模拟高电平线上的固定电平交替传输至像素单元输出电极;

[0011] 且所述第1锁存器、所述第2锁存器、所述电平反转门、所述电平转换门形成电学串联结构,

[0012] 该数字型硅基液晶显示芯片像素电路还配置有:寻址线、反转控制线、数字电源线、数字地线、正相位线、负相位线、Vcom同步信号线、输出控制线、复位控制线、模拟高电平线、模拟低电平线、像素单元输出电极分别与16个MOS晶体管构成电连接,且所述模拟低电平线上的固定电平值不高于所述模拟高电平线上的固定电平值;

[0013] 本发明的数字型硅基液晶显示芯片像素电路驱动方法:

[0014] 在所述公共电极上传输的脉冲波信号Vcom的至少任意两个相邻、前后信号周期中,第一步主要涉及所述第1锁存器:在前一个信号周期内将所述正相位线和所述负相位线上的一对反相电平取样存入所述第1锁存器;第二步主要涉及所述第2锁存器、所述电平反转门、所述电平转换门:在后一个信号周期的前半信号周期内将所述第1锁存器存储的电平取样存入所述第2锁存器,同时通过控制所述电平反转门交替截取所述第2锁存器存储过的一对反相电信号波形并合成一个电信号输出至所述电平转换门;第三步主要涉及所述第2锁存器、所述电平反转门、所述电平转换门:在后一个信号周期的后半信号周期内将所述Vcom同步信号线上的电平取样存入所述第2锁存器,同时再次通过控制所述电平反转门交替截取所述第2锁存器存储过的一对反相电信号波形并合成一个电信号输出至所述电平转换门,最终控制或是选择所述模拟低电平线上的固定低电平输出至所述像素单元输出电极,或是选择所述模拟高电平线上的固定高电平输出至所述像素单元输出电极,达到将所述模拟低电平线上的固定电平与所述模拟高电平线上的固定电平交替输入至所述像素单元输出电极的目的;

[0015] 该驱动方法还包括:在后一个信号周期中进行第二步、第三步操作的同时,可以在所述第1锁存器进行第一步操作,即:再次从所述数据位线上的电平取样存入所述第1锁存

器,而在紧接后一个信号周期的信号周期中继续分别在所述第2锁存器、所述电平反转门、所述电平转换门重复第二步、第三步操作和在所述第1锁存器进行第一步操作,如此持续进行,并对应于所述公共电极上传输的脉冲波信号Vcom的连续多个信号周期,则可以在所述像素单元输出电极连续输出电信号。

[0016] 本发明的有益效果是:

[0017] 与现有技术相比,本发明有四点优势。一是提供了一种由16个MOS晶体管构成的数字型像素单元电路及其驱动方法,做到完全与常规MOS半导体数字逻辑电路的芯片生产工序相匹配;二是在同一像素单元电路中配置有电平反转门结构,使得像素单元电路存储的每位数字数据在存储时间内可以正相位、反相位交替控制像素电路的输出结果;三是在同一像素单元电路中配置有电平转换门结构,使得从像素单元输出电极输出的高、低电平可以修改电平值;四是在同一像素单元电路中的14个MOS管可以采用较低工作电压的晶体管,因此大幅度缩小了像素单元电路的空间尺寸。

附图说明

[0018] 图1是一种由16个MOS管构成的数字型硅基液晶显示芯片像素电路原理图;

[0019] 其中:1:寻址线,2:反转控制线,3:正相位线,4:第1-NMOS管,5:第1-NMOS栅极,6:数字地线,7:第2-NMOS栅极,8:模拟低电平线,9:第2-NMOS管,10:第2-NMOS源极,11:第2-NMOS漏极,12:第3-NMOS漏极,13:第3-NMOS源极,14:第3-NMOS栅极,15:第3-NMOS管,16:第4-NMOS源极,17:第4-NMOS管,18:第4-NMOS栅极,19:第4-NMOS漏极,20:负相位线,21:第5-PMOS栅极,22:第5-PMOS管,23:第5-PMOS源极,24:第5-PMOS漏极,25:第6-NMOS栅极,26:第6-NMOS源极,27:第6-NMOS管,28:第6-NMOS漏极,29:第7-NMOS漏极,30:第7-NMOS源极,31:第7-NMOS管,32:第7-NMOS栅极,33:第5-NMOS漏极,34:第5-NMOS源极,35:第5-NMOS管,36:第5-NMOS栅极,37:电平反转门,38:Vcom同步信号线,39:第5连接线,40:第10-NMOS栅极,41:第10-NMOS管,42:第10-NMOS源极,43:第10-NMOS漏极,44:像素单元输出电极,45:第10-PMOS漏极,46:第10-PMOS源极,47:第10-PMOS栅极,48:第10-PMOS管,49:电平转换门,50:第9-NMOS漏极,51:第9-NMOS栅极,52:第9-NMOS管,53:第9-NMOS源极,54:第4连接线,55:第7-PMOS栅极,56:第7-PMOS管,57:第7-PMOS漏极,58:第7-PMOS源极,59:第6-PMOS漏极,60:第6-PMOS源极,61:第6-PMOS栅极,62:第6-PMOS管,63:第3连接线,64:第8-NMOS源极,65:第8-NMOS栅极,66:第8-NMOS管,67:第8-NMOS漏极,68:第2锁存器,69:第1锁存器,70:第2连接线,71:第3-PMOS栅极,72:第3-PMOS管,73:第3-PMOS源极,74:第3-PMOS漏极,75:第2-PMOS漏极,76:第2-PMOS源极,77:第2-PMOS管,78:第2-PMOS栅极,79:第1连接线,80:第1-NMOS源极,81:模拟高电平线,82:第1-NMOS漏极,83:数字电源线,84:复位控制线,85:输出控制线。

[0020] 图2是所述第1锁存器69应用场景之一的波形图,其中:

[0021] Sg_n:所述寻址线1上传输的脉冲波信号;

[0022] da_i:所述正相位线3上传输的脉冲波信号;

[0023] daB_i:所述负相位线20上传输的脉冲波信号;

[0024] la1:所述第1连接线79上传输的脉冲波信号;

[0025] laB1:所述第2连接线70上传输的脉冲波信号;

[0026] 图3是所述第2锁存器68应用场景之一的波形图,其中:

- [0027] 1aB1:所述第2连接线70上传输的脉冲波信号;
- [0028] Ssh:所述输出控制线上传输的脉冲波信号;
- [0029] Svc:所述Vcom同步信号线38上传输的脉冲波信号;
- [0030] Sre:所述复位控制线上传输的脉冲波信号;
- [0031] 1a2:所述第4连接线54上传输的脉冲波信号;
- [0032] 1aB2:所述第3连接线63上传输的脉冲波信号;
- [0033] 图4是所述电平反转门37应用场景之一的波形图,其中:
- [0034] Svc:所述Vcom同步信号线38上传输的脉冲波信号;
- [0035] Sc:所述反转控制线2上传输的脉冲波信号
- [0036] 1a2:所述第4连接线54上传输的脉冲波信号
- [0037] 1aB2:所述第3连接线63上传输的脉冲波信号
- [0038] Vcpe:所述第5连接线39上传输的脉冲波信号
- [0039] 图5是所述电平转换门49应用场景之一的波形图,其中:
- [0040] Vcpe:所述第5连接线39上传输的脉冲波信号
- [0041] VH:所述模拟高电平线上提供的固定高电平
- [0042] VL:所述模拟低电平线8上提供的固定低电平
- [0043] Vpe:所述像素单元输出电极44上传输的脉冲波信号
- [0044] 图6是本发明像素电路及其驱动方法应用场景之一的波形图示意
- [0045] VH:所述模拟高电平线上提供的固定高电平
- [0046] VL:所述模拟低电平线上提供的固定低电平
- [0047] Vpe:所述像素单元输出电极44上传输的脉冲波信号
- [0048] V1:所述公共电极上传输的脉冲波信号的高电平
- [0049] V0:所述公共电极上传输的脉冲波信号的低电平
- [0050] Vcom:所述公共电极上传输的脉冲波信号

具体实施方式

[0051] 下面结合附图1对本发明技术作进一步具体的说明:

[0052] 本发明的一种数字型16管硅基液晶显示芯片像素电路主要由第1-NMOS管4、第2-NMOS管9、第2-PMOS管77、第3-NMOS管15、第3-PMOS管72、第4-NMOS管17、第5-NMOS管35、第5-PMOS管22、第6-NMOS管27、第6-PMOS管62、第7-NMOS管31、第7-PMOS管56、第8-NMOS管66、第9-NMOS管52、第10-PMOS管48和第10-NMOS管41组成,且特别是所述第1-NMOS管4、第2-NMOS管9、第2-PMOS管77、第3-NMOS管15、第3-PMOS管72、第4-NMOS管17、第5-NMOS管35、第5-PMOS管22、第6-NMOS管27、第6-PMOS管62、第7-NMOS管31、第7-PMOS管56、第8-NMOS管66、第9-NMOS管52采用工作电压不超过2.0V的低压MOS管结构、且所述第10-PMOS管48、第10-NMOS管41采用工作电压不低于2.0V的高压MOS管结构。

[0053] 该数字型硅基液晶显示芯片像素电路还配置有:寻址线1、反转控制线2、数字电源线83、数字地线6、正相位线3、负相位线20、Vcom同步信号线38、输出控制线85、复位控制线84、模拟高电平线81、模拟低电平线8、像素单元输出电极44分别与16个MOS晶体管构成电连接、且所述模拟低电平线8上的固定电平值不高于所述模拟高电平线81上的固定电平值。

[0054] 其中所述第1-NMOS管4、第2-NMOS管9、第2-PMOS管77、第3-NMOS管15、第3-PMOS管72、第4-NMOS管17与所述第1连接线79及所述第2连接线70构成第1锁存器69,其中所述第2-NMOS管9和所述第2-PMOS管77构成反相器结构、且将所述第1连接线79上的电信号反相传输至所述第2连接线70上,所述第3-NMOS管15和所述第3-PMOS管72构成反相器结构、且将所述第2连接线70上的电信号反相传输至所述第1连接线79上;

[0055] 其中所述第8-NMOS管66、第6-NMOS管27、第6-PMOS管62、第7-NMOS管31、第7-PMOS管56、第9-NMOS管52与所述第3连接线63及所述第4连接线54构成第2锁存器68,其中所述第6-NMOS管27和所述第6-PMOS管62构成反相器结构、且将所述第3连接线63上的电信号反相传输至所述第4连接线54上,所述第7-NMOS管31和所述第7-PMOS管56构成反相器结构、且将所述第4连接线54上的电信号反相传输至所述第3连接线63上;

[0056] 其中所述第5-PMOS管22、第5-NMOS管35与所述第3连接线63、第4连接线54、第5连接线39构成电平反转门37,且所述第5-PMOS管22和所述第5-NMOS管35分别将所述第3连接线63上的电信号、第4连接线54上的电信号交替传输至所述第5连接线39上;

[0057] 其中所述第10-NMOS管41、第10-PMOS管48与所述反转控制线2、第5连接线39、像素单元输出电极44、模拟低电平线8、模拟高电平线81构成电平转换门49,且所述第10-NMOS管41、第10-PMOS管48被所述反转控制线2上的信号控制分别将所述模拟低电平线8上的固定电平、模拟高电平线81上的固定电平交替传输至所述像素单元输出电极44;

[0058] 且所述第1锁存器69、所述第2锁存器68、所述电平反转门37、所述电平转换门49形成电学串联结构。

[0059] 具体的电路连接方式如下:

[0060] 在所述第1锁存器69中,所述第1-NMOS栅极5、所述第4-NMOS栅极18与所述寻址线1相连,且所述第1-NMOS漏极82与所述正相位线3相连,且所述第4-NMOS漏极19与所述负相位线20相连。

[0061] 且所述第1-NMOS源极80、所述第2-NMOS栅极7、所述第2-PMOS栅极78、所述第3-NMOS漏极12、所述第3-PMOS漏极74与所述第1连接线79相连;

[0062] 且所述第4-NMOS源极16、所述第3-NMOS栅极14、所述第3-PMOS栅极71、所述第2-NMOS漏极11、所述第2-PMOS漏极75与所述第2连接线70相连;

[0063] 且所述第2-PMOS源极76、所述第3-PMOS源极73与所述数字电源线83相连;

[0064] 且所述第2-NMOS源极10、所述第3-NMOS源极13与所述数字地线6相连;

[0065] 在所述第2锁存器68中,所述第8-NMOS栅极65与所述输出控制线85相连,且所述第8-NMOS漏极67与所述第2连接线70相连,且所述第9-NMOS栅极51与所述复位控制线84相连,且所述第9-NMOS漏极50与所述Vcom同步信号线38相连;

[0066] 且所述第8-NMOS源极64、所述第6-NMOS栅极25、所述第6-PMOS栅极61、所述第7-NMOS漏极29、所述第7-PMOS漏极57与所述第3连接线63相连;

[0067] 且所述第9-NMOS源极53、所述第7-NMOS栅极32、所述第7-PMOS栅极55、所述第6-NMOS漏极28、所述第6-PMOS漏极59与所述第4连接线54相连。

[0068] 在所述电平反转门37中,所述第5-PMOS栅极21、所述第5-NMOS栅极36均与所述反转控制线2相连,所述第5-PMOS漏极24与第3连接线63相连,所述第5-NMOS漏极33与第4连接线54相连,且所述第5-PMOS源极23、所述第5-NMOS源极34均与所述第5连接线39相连;

[0069] 在所述电平转换门49中,所述第10-NMOS栅极40、所述第10-PMOS栅极47均与所述第5连接线39相连,且所述第10-NMOS源极42与所述模拟低电平线8相连,且所述第10-PMOS源极46与所述模拟高电平线81相连,且所述第10-NMOS漏极43、所述第10-PMOS漏极45均与所述像素单元输出电极44相连。

[0070] 本发明的数字型硅基液晶显示芯片像素电路驱动方法:

[0071] 在所述公共电极上传输的脉冲波信号 V_{com} 的至少任意两个相邻、前后信号周期中。

[0072] 第一步主要涉及所述第1锁存器69:在前一个信号周期内将所述正相位线3和所述负相位线20上的一对反相电平取样存入所述第1锁存器69;

[0073] 第二步主要涉及所述第2锁存器68、所述电平反转门37、所述电平转换门49:在后一个信号周期的前半信号周期内将所述第1锁存器69存储的电平取样存入所述第2锁存器68,同时通过控制所述电平反转门37交替截取所述第2锁存器68存储过的一对反相电信号波形并合成一个电信号输出至所述电平转换门49;

[0074] 第三步主要涉及所述第2锁存器68、所述电平反转门37、所述电平转换门49:在后一个信号周期的后半信号周期内将所述 V_{com} 同步信号线38上的电平取样存入所述第2锁存器68,同时再次通过控制所述电平反转门37交替截取所述第2锁存器68存储过的一对反相电信号波形并合成一个电信号输出至所述电平转换门49;

[0075] 最终控制或是选择所述模拟低电平线8上的固定低电平输出至所述像素单元输出电极44,或是选择所述模拟高电平线81上的固定高电平输出至所述像素单元输出电极44,达到将所述模拟低电平线8上的固定电平与所述模拟高电平线81上的固定电平交替输入至所述像素单元输出电极44的目的。

[0076] 该驱动方法还包括:在后一个信号周期中进行第二步、第三步操作的同时,可以在所述第1锁存器69进行第一步操作,即:再次从所述正相位线3和所述负相位线20上的电平取样存入所述第1锁存器69,而在紧接后一个信号周期的信号周期中继续分别在所述第2锁存器68、所述电平反转门37、所述电平转换门49重复第二步、第三步操作和在所述第1锁存器69进行第一步操作,如此持续进行,并对应于公共电极上传输的脉冲波信号 V_{com} 的连续多个信号周期,则可以在所述像素单元输出电极44连续输出电信号。

[0077] 具体实现方法如下:

[0078] 在所述第1锁存器69中,

[0079] 当所述寻址线1上出现高电平的时候所述第1锁存器69进入输入数据状态,其中:所述第1-NMOS管4和所述第4-NMOS管17同时导通,其中正相位线3上的正相位信号电平将通过所述第1-NMOS管4输入至所述第1连接线79,同时负相位线20上的负相位信号电平将通过所述第4-NMOS管17输入至所述第2连接线70,即在所述第1连接线79上的电信号与在所述第2连接线70上的电信号成为一对反相互不交叠信号,即所述第1存储器69中原有存储信号将被从所述正相位线3和所述负相位线20输入的信号更新;

[0080] 当所述寻址线1上为低电平的时候所述第1锁存器69进入锁存数据状态,其中:所述第1-NMOS管4和所述第4-NMOS管17同时关断,且所更新的信号将存储在所述第1锁存器69中直至所述寻址线1再次出现高电平之前。

[0081] 如图2所示应用场景之一的波形图示意(图中阴影部分表示省略的波形),

[0082] 在T1时间内,所述第1锁存器69进入输入数据状态,其中:所述寻址线1上传输的脉冲波信号Sg_n为高电平,所述正相位线3上传输的脉冲波信号da_i中被椭圆1标识的高电平部分,如单向箭头线1所示意输入到所述第1连接线79上形成所述第1连接线79上传输的脉冲波信号1a1中被椭圆2标识的高电平部分;同时,所述负相位线20上传输的脉冲波信号daB_i中被椭圆3标识的低电平部分,如单向箭头线2所示意输入到所述第2连接线70上并形成所述第2连接线70上传输的脉冲波信号1aB1中被椭圆4标识的低电平部分;

[0083] 当在T2时间内所述第1锁存器69进入锁存数据状态,其中:所述寻址线1上传输的脉冲波信号Sg_n为低电平,所述第1连接线79上传输的脉冲波信号1a1保持与被椭圆2标识的高电平部分相同的高电平,同步的,所述第2连接线70上传输的脉冲波信号1aB1保持与被椭圆4标识的低电平部分相同的低电平;

[0084] 当在T3时间内所述第1锁存器69进入输入数据状态,其中:所述寻址线1上传输的脉冲波信号Sg_n为高电平,所述正相位线3上传输的脉冲波信号da_i中被椭圆5标识的低电平部分,如单向箭头线3所示意输入并更新形成所述第1连接线79上传输的脉冲波信号1a1中被椭圆6标识的低电平部分;同步的,所述负相位线20上传输的脉冲波信号daB_i中被椭圆7标识的高电平部分,如单向箭头线4所示意输入并更新形成所述第2连接线70上传输的脉冲波信号1aB1中被椭圆8标识的高电平部分;

[0085] 当在T4时间内所述第1锁存器69进入锁存数据状态,其中:所述寻址线1上传输的脉冲波信号Sg_n为低电平,所述第1连接线79上传输的脉冲波信号1a1保持与被椭圆6标识的低电平部分相同的低电平,同步的,所述第2连接线70上传输的脉冲波信号1aB1保持与被椭圆8标识的高电平部分相同的高电平。

[0086] 在所述第2锁存器68中,

[0087] 所述输出控制线85上的信号与所述复位控制线84上的电信号是一对高电平互不交叠信号,即:不允许所述输出控制线85上的电信号与所述复位控制线84上的电信号同时为高电平,但允许所述输出控制线85上的电信号与所述复位控制线84上的电信号同时为低电平。

[0088] 具体来说,

[0089] 当所述输出控制线85上的电信号为高电平、且所述复位控制线84上的电信号为低电平的时候,所述第2锁存器68进入从所述第1锁存器69输入数据状态,其中:所述第8-NMOS管66受控导通、且所述第9-NMOS管52将受控处于断开状态,这时候所述第2连接线70上的信号电平通过所述第8-NMOS管66输入至所述第3连接线63。

[0090] 进一步,所述第3连接线63上的信号电平通过由所述第6-NMOS管27和所述第6-PMOS管62构建的电路连接在所述第4连接线54上产生与所述第3连接线63上信号电平反相的信号电平,结果所述第2锁存器68内的原有信号将被从所述第1锁存器69中输入的信号更新。

[0091] 当所述输出控制线85上的电信号变为低电平、且所述复位控制线84上的电信号仍然保持低电平的时候,所述第2锁存器68进入锁存数据状态,其中:所述第8-NMOS管66受控关断、且所述第9-NMOS管52受控仍然处于断开状态,从所述第1锁存器69中输入的信号将锁存在所述第2锁存器68中,直至所述控制线再次出现高电平、或者所述复位控制线84上的信号电平出现高电平之前;

[0092] 当所述复位控制线84上的电信号为高电平、且所述输出控制线85上的电信号为低电平的时候,所述第2锁存器68进入从所述Vcom同步信号线38输入数据状态,其中:所述第9-NMOS管52受控导通、且所述第8-NMOS管66将受控处于断开状态,这时候所述Vcom同步信号线38上的信号电平通过所述第9-NMOS管52输入至所述第4连线54。

[0093] 进一步,所述第4连接线54上的信号电平通过由所述第7-NMOS管31和所述第7-PMOS管56构建的电路连接在所述第3连接线63上产生与所述第4连接线54上信号电平反相的信号电平,结果所述第2锁存器68内的原有信号将被从所述Vcom同步信号线38上的输入信号更新。

[0094] 当所述Vcom同步信号线38上的信号电平变为低电平、且所述输出控制线85上的信号电平仍然保持低电平的时候,所述第2锁存器68进入锁存数据状态,其中:所述第9-NMOS管52受控关断、且所述第8-NMOS管66受控仍然处于断开状态,这时候从所述Vcom同步信号线38上输入的电信号将被锁存在所述第2锁存器68中,直至所述复位控制线84再次出现高电平、或者所述输出控制线85再次出现高电平之前。

[0095] 如图3所示的所述第2锁存器68应用场景之一,

[0096] 这里描述了所述输出控制线85上传输的脉冲波信号Ssh频率、所述复位控制线84上传输的脉冲波信号Sre频率、所述Vcom同步信号线38上传输的脉冲波信号Svc频率与所述公共电极上传输的脉冲波信号Vcom频率均相同的情况下的波形图示意,且特征之一包括:所述Vcom同步信号线38上传输的脉冲波信号Svc与所述公共电极上传输的脉冲波信号Vcom反相,所述输出控制线85上传输的脉冲波信号Ssh的高电平与所述复位控制线84上传输的脉冲波信号Sre的高电平分别出现在所述Vcom同步信号线38上传输的脉冲波信号Svc的两个相邻半周期内、且仅出现一次,特征之二包括:先发生所述输出控制线85上传输的脉冲波信号Ssh的高电平上跳沿Ssh_upe,接着经过T23时间发生所述Vcom同步信号线38上传输的脉冲波信号Svc的跳变沿Svc_mde,再接着经过T24时间发生所述复位控制线84上传输的脉冲波信号Sre的高电平上跳沿Sre_upe,且T23与T24时间相同,特征之三包括:一位任意数据(或是高电平或是低电平)占据所述第2锁存器68的总时间为不超过T15、T16、T17、T18时间之和,其中:所述第2锁存器68锁存该一位数据(或是高电平或是低电平)的有效时间为T23、T24时间之和,且T23、T24时间之和不超过T15、T16时间之和,且T23视为该一位数据的正半场,对应所述公共电极上传输的脉冲波信号Vcom的低电平,T24视为该位数据的负半场,对应所述公共电极上传输的脉冲波信号Vcom的高电平,剩余的T17、T18时间之和为复位时间。

[0097] 具体来说,

[0098] 当在T15时间内,所述第2锁存器68进入从所述第1锁存器69输入数据状态,其中:所述输出控制线85上传输的脉冲波信号Ssh为高电平、且所述复位控制线84上传输的脉冲波信号Sre为低电平,所述第2连接线70上传输的脉冲波信号1aB1中被椭圆51标识的波形部分,如单向箭头线51所示意输入到所述第3连接线63上形成所述第3连接线63上传输的脉冲波信号1aB2中被椭圆52标识的波形部分,且进一步,如单向箭头线52所示意反相传输到所述第4连接线54上并形成所述第4连接线54上传输的脉冲波信号1a2中被椭圆53标识的波形部分;

[0099] 当在T16时间内,所述第2锁存器68进入锁存数据状态,其中:所述输出控制线85上

传输的脉冲波信号Ssh、所述复位控制线84上传输的脉冲波信号Sre均为低电平,所述第4连接线54上传输的脉冲波信号1a2保持与被椭圆13标识的波形部分相同的波形,同步的,信号所述第3连接线63上传输的脉冲波1aB2保持与被椭圆12标识的波形部分相同的波形;

[0100] 当在T17时间内,所述第2锁存器68进入从所述Vcom同步信号线38输入数据状态,其中:所述复位控制线84上传输的脉冲波信号Sre为高电平、且所述输出控制线85上传输的脉冲波信号Ssh为低电平,所述Vcom同步信号线38上传输的脉冲波信号Svc中被椭圆54标识的波形部分,如单向箭头线53所示意输入到所述第4连接线54上形成所述第4连接线54上传输的脉冲波信号1a2中被椭圆55标识的波形部分,且进一步,如单向箭头线54所示意反相传输到所述第3连接线63上并形成所述第3连接线63上传输的脉冲波信号1aB2中被椭圆56标识的波形部分;

[0101] 当在T18时间内,所述第2锁存器68进入锁存数据状态,其中:所述输出控制线85上传输的脉冲波信号Ssh、所述复位控制线84上传输的脉冲波信号Sre均为低电平,所述第4连接线54上传输的脉冲波信号1a2保持与被椭圆15标识的波形部分相同的波形,同步的,所述第3连接线63上传输的脉冲波信号1aB2保持与被椭圆16标识的波形部分相同的波形;

[0102] 当在T19时间内,所述第2锁存器68进入从所述第1锁存器69输入数据状态,其中:所述输出控制线85上传输的脉冲波信号Ssh为高电平、且所述复位控制线84上传输的脉冲波信号Sre为低电平,所述第2连接线70上传输的脉冲波信号1aB1中被椭圆57标识的波形部分,如单向箭头线55所示意输入并形成所述第3连接线63上传输的脉冲波信号1aB2中被椭圆58标识的波形部分,且进一步,如单向箭头线56所示意反相传输并形成所述第4连接线54上传输的脉冲波信号1a2中被椭圆59标识的波形部分;

[0103] 当在T20时间内,所述第2锁存器68进入从所述Vcom同步信号线38输入数据状态,其中:所述复位控制线84上传输的脉冲波信号Sre为高电平、且所述输出控制线85上传输的脉冲波信号Ssh为低电平,所述Vcom同步信号线38上传输的脉冲波信号Svc中被椭圆60标识的波形部分,如单向箭头线57所示意输入并形成所述第4连接线54上传输的脉冲波信号1a2中被椭圆61标识的波形部分,且进一步,如单向箭头线58所示意反相传输并形成所述第3连接线63上传输的脉冲波信号1aB2中被椭圆62标识的波形部分。

[0104] 在所述电平反转门37中:

[0105] 当所述反转控制线2上的信号电平为低电平的时候,所述第5-PMOS管22受控导通、且所述第5-NMOS管35将受控处于断开状态,这时候所述第3连接线63上的信号电平通过所述第5-PMOS管22输入至所述第5连接线39;

[0106] 当所述反转控制线2上的信号电平为高电平的时候,所述第5-NMOS管35受控导通、且所述第5-PMOS管22将受控处于断开状态,这时候所述第4连接线54上的信号电平通过所述第5-NMOS管35输入至所述第5连接线39;

[0107] 结果当所述反转控制线2上的信号为方波时,所述第3连接线63上的信号电平与所述第4连接线54上的信号电平将交替输入至所述第5连接线39。

[0108] 如图4所示的所述电平反转门37应用场景之一的波形图示意;

[0109] 这里描述了所述反转控制线2上传输的脉冲波信号Sc频率、相位与所述公共电极上传输的脉冲波信号Vcom频率、相位相同的情况下的波形图示意,且特征之一包括:所述第3连接线63上的信号采用图3应用场景生成的所述第3连接线63上传输的脉冲波信号1aB2、

所述第4连接线54上的信号采用图4应用场景生成的所述第4连接线54上传输的脉冲波信号1a2,其中:T21、T22是所述反转控制线2上传输的脉冲波信号Sc的任意两个相邻半周期。

[0110] 当在T21时间内,所述反转控制线2上传输的脉冲波信号Sc为低电平的时候,所述第3连接线63上传输的脉冲波信号1aB2中被椭圆63标识的波形部分,如单向箭头线61所示意输入到所述第5连接线39上并形成所述第5连接线39上传输的脉冲波信号Vcpe中被椭圆64标识的波形部分;

[0111] 当在T22时间内,所述反转控制线2上传输的脉冲波信号Sc为高电平的时候,所述第4连接线54上传输的脉冲波信号1a2中被椭圆65标识的波形部分,如单向箭头线62所示意输入到所述第5连接线39上并形成所述第5连接线39上传输的脉冲波信号Vcpe中被椭圆66标识的波形部分;

[0112] 结果当信号Sc为连续方波时,在所述第5连接线39上将交替截取所述第3连接线63上传输的脉冲波1aB2的部分波形和所述第4连接线54上传输的脉冲波1a2的部分波形合成所述第5连接线39上传输的脉冲波信号Vcpe的波形。

[0113] 同时,在所述电平转换门49中:

[0114] 当所述第5连接线39上的信号电平为高电平的时候,所述第10-NMOS管41受控导通、且所述第10-PMOS管48将受控处于断开状态,这时候所述模拟低电平线8上的固定电平将通过导通的所述第10-NMOS管41输入至所述像素单元输出电极44;

[0115] 当所述第5连接线39上的信号电平为低电平的时候,所述第10-PMOS管48受控导通、且所述第10-NMOS管41将受控处于断开状态,这时候所述模拟高电平线81上的固定电平将通过导通的所述第10-PMOS管48输入至所述像素单元输出电极44;

[0116] 结果所述第5连接线39上的电信号将控制所述电平转换门49或是输出固定高电平,或是输出固定低电平,且如果改变所述模拟高电平线81上的电平值、或者所述模拟低电平线8上的电平值,则所述像素单元输出电极44上的输出信号电平值将跟随相应变化。

[0117] 如图5所示的所述电平转换门49应用场景之一的波形图示意,这里描述了所述第5连接线39上传输的脉冲波信号Vcpe从所述模拟低电平线8上提供的固定低电平VL、所述模拟高电平线81上提供的固定高电平VH交替截取固定电平而产生新的波形图示意,其中:T13、T14是所述第5连接线39上传输的脉冲波信号Vcpe任意两个相邻低电平和高电平。

[0118] 具体来说,

[0119] 在T13时间内,当所述第5连接线39上传输的脉冲波信号Vcpe为高电平的时候,所述模拟低电平线8上提供的固定低电平VL中被椭圆31标识的电平部分,如单向箭头线23所示意输入到所述像素单元输出电极44上并形成所述像素单元输出电极44上传输的脉冲波信号Vpe中被椭圆32标识的电平部分;

[0120] 这里在T14时间内,当所述第5连接线39上传输的脉冲波信号Vcpe为低电平的时候,所述模拟高电平线81上提供的固定高电平VH中被椭圆34标识的电平部分,如单向箭头线24所示意输入到所述像素单元输出电极44上并形成所述像素单元输出电极44上传输的脉冲波信号Vpe中被椭圆33标识的电平部分。

[0121] 结果当所述第5连接线39上传输的脉冲波信号Vcpe为连续方波时,在所述像素单元输出电极44上将交替截取所述模拟低电平线8上提供的固定低电平VL和所述模拟高电平线81上提供的固定高电平VH部分电平合成所述像素单元输出电极44上传输的脉冲信号Vpe

的波形,其特征在于所述像素单元输出电极44上传输的脉冲信号 V_{pe} 与所述第5连接线39上传输的脉冲波信号 V_{cpe} 为反相关系。

[0122] 最后,所述像素单元输出电极44上输出的电信号,与 V_{com} 公共电极上施加的电信号之间出现电压差就会产生电场,该电场将用于控制填充在所述像素单元输出电极44与 V_{com} 公共电极之间的液晶材料的物理特性。

[0123] 如图6所示本发明像素电路及其驱动方法应用场景之一的波形图示意,

[0124] 这里描述了所述公共电极上传输的脉冲波信号 V_{com} 与形如图4应用场景生成的所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 之间的电场关系,其中: T_{31} 、 T_{32} 时间是所述公共电极上传输的脉冲波信号 V_{com} 的任意两个相邻的半周期、且 T_{33} 、 T_{34} 时间是所述公共电极上传输的脉冲波信号 V_{com} 的紧接另两个相邻的半周期,在 T_{31} 、 T_{32} 、 T_{33} 、 T_{34} 这四个时间内示例了所述公共电极上传输的脉冲波信号 V_{com} 与所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 之间可能出现的四种实施的电场关系,且特征之一包括:所述模拟低电平线8上提供的固定低电平 V_L 与所述公共电极上传输的脉冲波信号的低电平 V_0 之间的电压差不得超过所驱动液晶材料的阈值电压从而形成零电场、且所述模拟高电平线81上提供的固定高电平 V_H 与所述公共电极上传输的脉冲波信号的高电平 V_1 之间的电压差也不超过所驱动液晶材料的阈值电压从而形成零电场,在控制液晶材料物理特性方面零电场不分正负且可忽略,且特征之二包括:所述模拟高电平线81上提供的固定高电平 V_H 与所述公共电极上传输的脉冲波信号的低电平 V_0 构成正电场,所述模拟低电平线8上提供的固定低电平 V_L 与所述公共电极上传输的脉冲波信号的高电平 V_1 构成负电场,且特征之三包括:顺序采用图3应用场景、图4应用场景、图5应用场景直至最终生成的所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 具备如此特性:在所述公共电极上传输的脉冲波信号 V_{com} 的至少任意两个相邻、前后信号周期中,且在前一个信号周期内通过所述正相位线3向所述第1锁存器69中的所述第1连接线79输入并保持低电平、且同步的通过所述负相位线20向所述第1锁存器69中的所述第2连接线70输入并保持高电平后,则在后一个信号周期内产生的所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 上存在具备交流驱动作用的波形,该波形相对于所述公共电极上传输的脉冲波信号 V_{com} 的一个周期内相邻低电平和高电平产生一对相邻正电场、负电场,该相邻正电场、负电场构成对液晶材料物理特性产生明显控制作用,或者在所述公共电极上传输的脉冲波信号 V_{com} 的至少任意两个相邻、前后信号周期中,且在前一个信号周期内通过所述正相位线3向所述第1锁存器69中的所述第1连接线79输入并保持高电平、且同步的通过所述负相位线20向所述第1锁存器69中的所述第2连接线70输入并保持低电平后,则在后一个信号周期内产生的所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 上存在相应波形,该相应波形相对于所述公共电极上传输的脉冲波信号 V_{com} 的一个周期内相邻低电平和高电平产生一对相邻零电场,该相邻零电场构成对液晶材料物理特性没有明显控制作用的波形。

[0125] 具体来说,

[0126] 在 T_{31} 时间内,所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 的低电平 V_L 中被椭圆71标识的电平部分,如单向箭头线5所示意与所述公共电极上传输的脉冲波信号 V_{com} 的低电平 V_0 中被椭圆73标识的电平部分之间形成零电场,且所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 的高电平 V_H 中被椭圆72标识的电平部分,如单向箭头线6所示意与所述

公共电极上传输的脉冲波信号 V_{com} 的低电平 V_0 中被椭圆73标识的电平部分之间形成正电场；

[0127] 在 T_{32} 时间内，所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 的低电平 V_L 中被椭圆74标识的电平部分，如单向箭头线7所示意与所述公共电极上传输的脉冲波信号 V_{com} 的高电平 V_1 中被椭圆75标识的电平部分之间形成负电场，且所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 的高电平 V_H 中被椭圆76标识的电平部分，如单向箭头线8所示意与所述公共电极上传输的脉冲波信号 V_{com} 的高电平 V_1 中被椭圆75标识的电平部分之间形成零电场；

[0128] 在 T_{33} 时间内，所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 的低电平 V_L 中被椭圆77标识的电平部分，如单向箭头线9所示意与所述公共电极上传输的脉冲波信号 V_{com} 的低电平 V_0 中被椭圆78标识的电平部分之间形成零电场；

[0129] 在 T_{34} 时间内，所述像素单元输出电极44上传输的脉冲波信号 V_{pe} 的高电平 V_H 中被椭圆79标识的电平部分，如单向箭头线10所示意与所述公共电极上传输的脉冲波信号 V_{com} 的高电平 V_1 中被椭圆80标识的电平部分之间形成零电场；

[0130] 结果形如相邻时间 T_{31} 、 T_{32} 内的相邻正电场与负电场构成交流驱动状态，以符合被驱动液晶材料需要交流驱动的特征。

[0131] 应当明确的是，本发明不限于这里的实施例，本领域技术人员根据本发明的揭示，按本发明构思所做出的显而易见的改进和修饰都应该在本发明的保护范围之内。

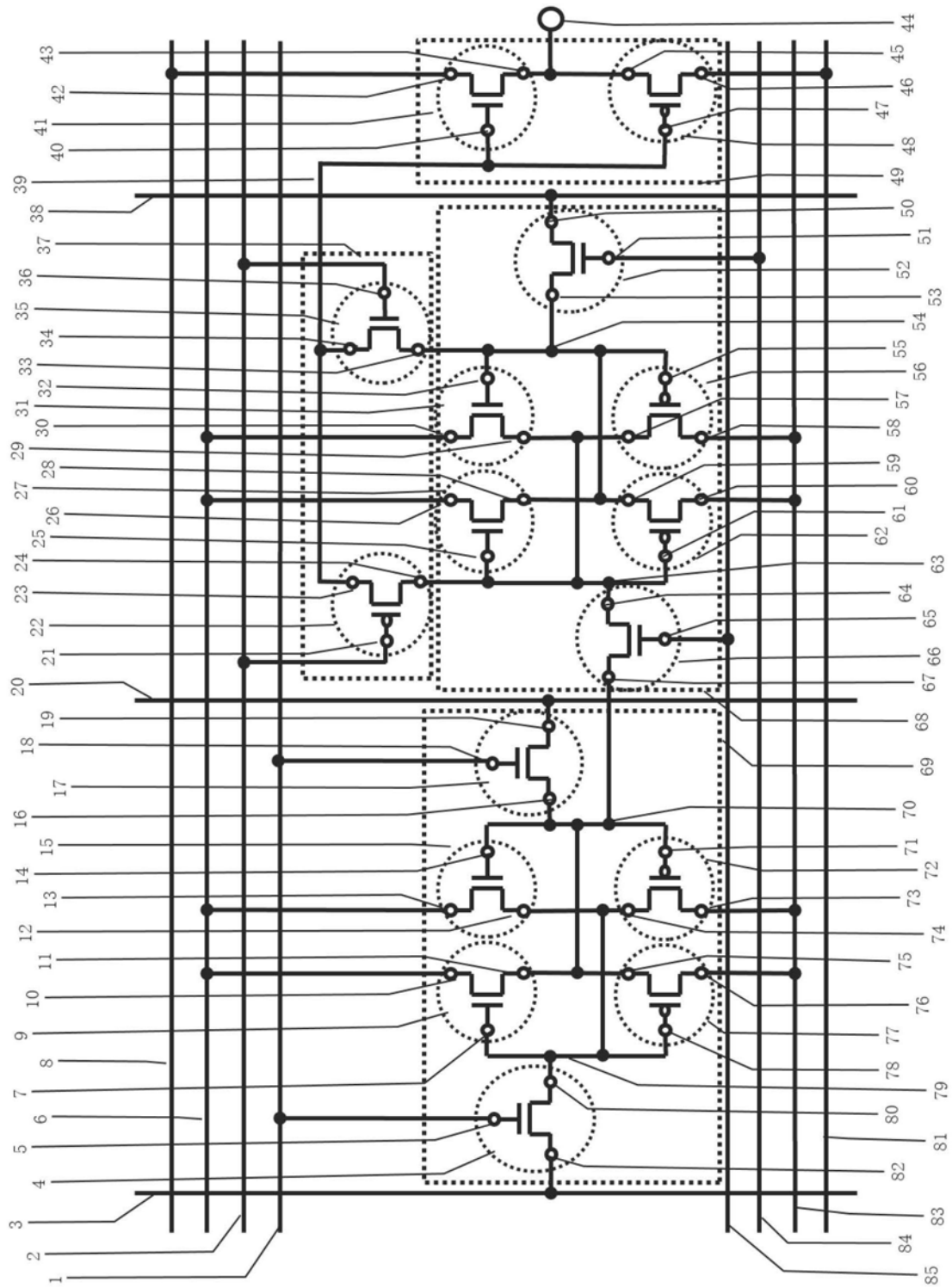


图1

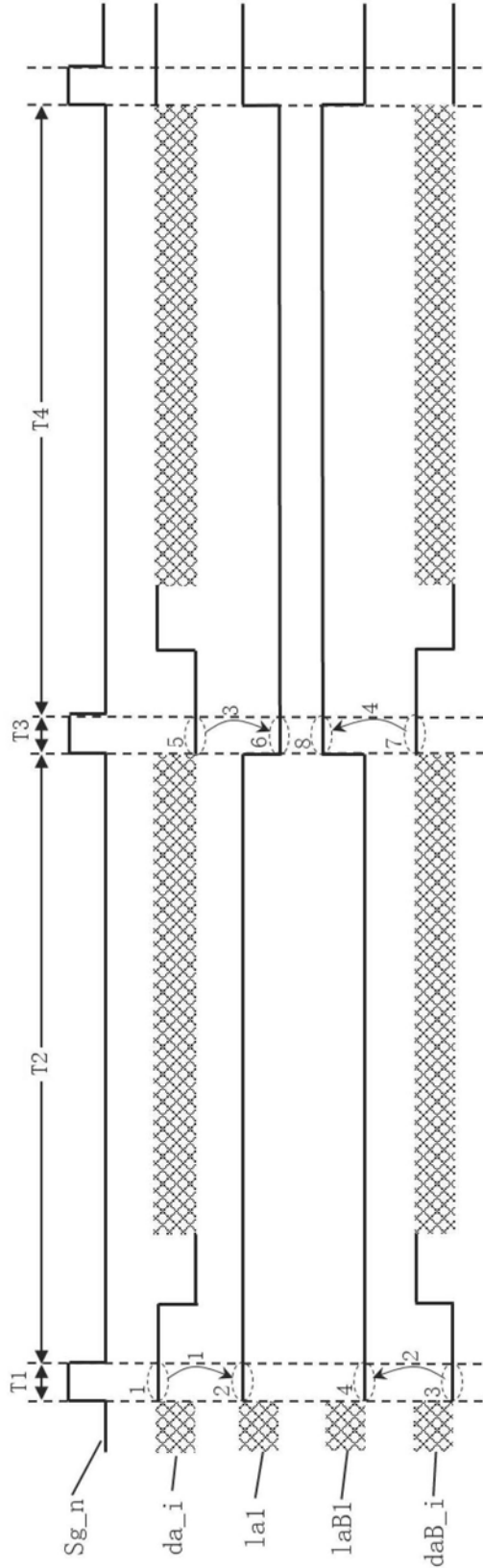


图2

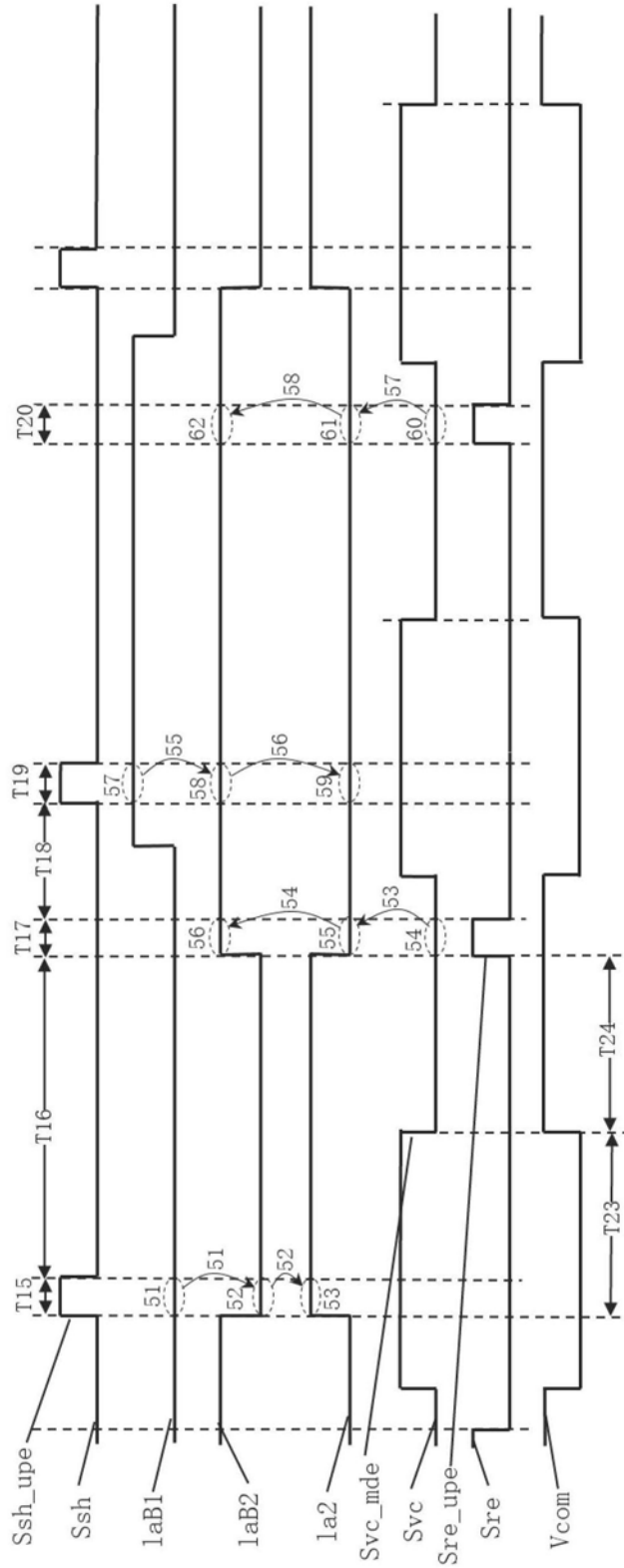


图3

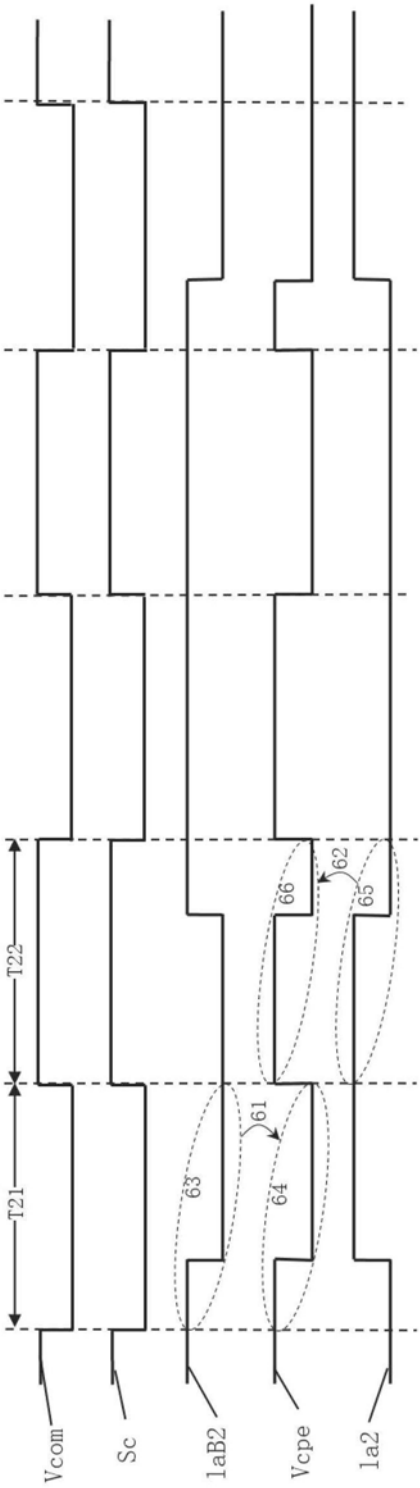


图4

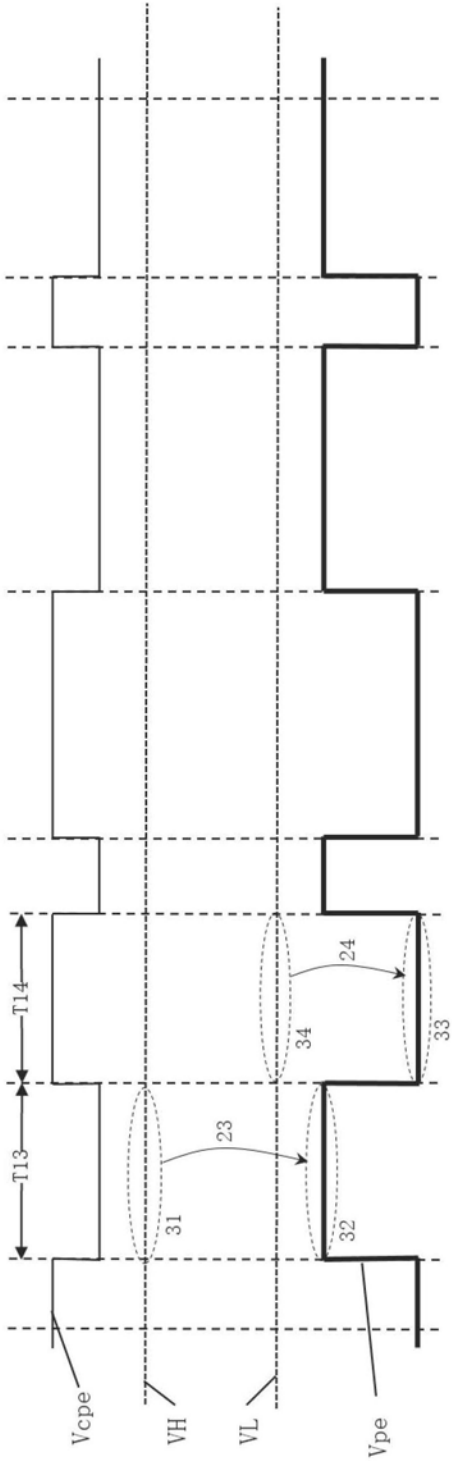


图5

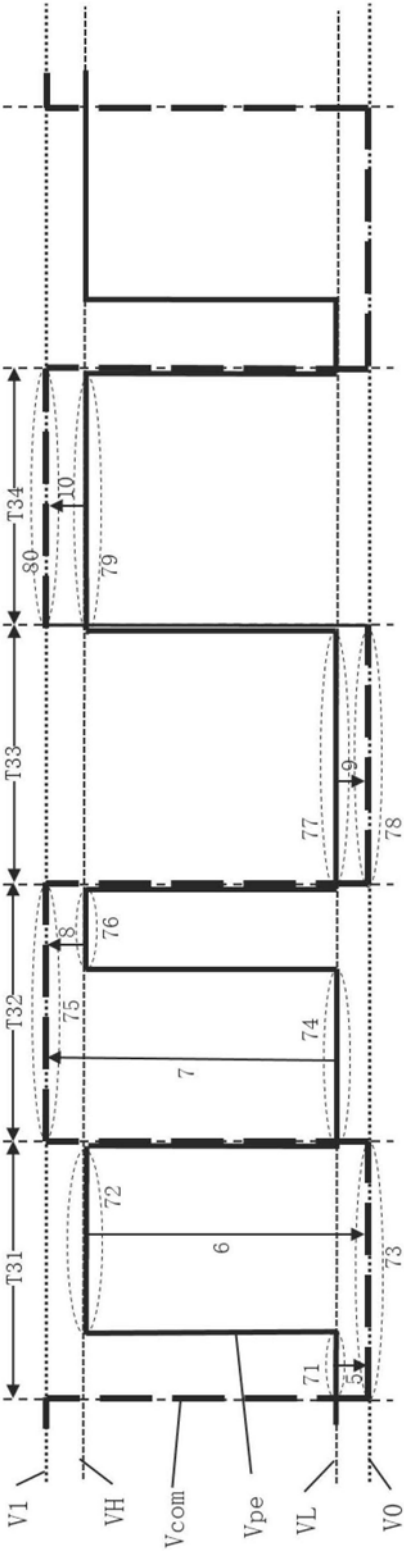


图6

专利名称(译)	数字型16管硅基液晶显示芯片像素电路及其驱动方法		
公开(公告)号	CN111429861A	公开(公告)日	2020-07-17
申请号	CN202010338235.7	申请日	2020-04-26
[标]申请(专利权)人(译)	南开大学		
申请(专利权)人(译)	南开大学		
当前申请(专利权)人(译)	南开大学		
[标]发明人	代永平		
发明人	代永平		
IPC分类号	G09G3/36		
代理人(译)	张耀		
外部链接	SIPO		

摘要(译)

本发明提出了一种数字型16管硅基液晶显示芯片像素电路及其驱动方法，涉及微电子科学技术的硅基显示系统集成电路应用领域，包括主要由16个MOS晶体管构成的第1锁存器、第2锁存器、电平反转门、电平转换门，并形成电学串联结构。这些MOS管只工作在开关状态，符合数字电路规范，因此大幅度降低了MOS器件制造工艺难度，同时也避免了使用电容器而带来的漏电问题；其驱动方法可以将每位数字数据作用时间均分为正电场和负电场，既实现了对液晶材料的交流驱动，又使得像素电路的电源电压供给值不低于液晶材料工作电压即可。

