



(12) 发明专利申请

(10) 申请公布号 CN 105679264 A

(43) 申请公布日 2016. 06. 15

(21) 申请号 201610107183. 6

(22) 申请日 2016. 02. 26

(30) 优先权数据

104139731 2015. 11. 27 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路1号

(72) 发明人 洪嘉泽 小泽德郎 谢嘉定

曾柏翔 郭家玮 林志隆

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 梁挥 田景宜

(51) Int. Cl.

G09G 3/36(2006. 01)

G02F 1/1362(2006. 01)

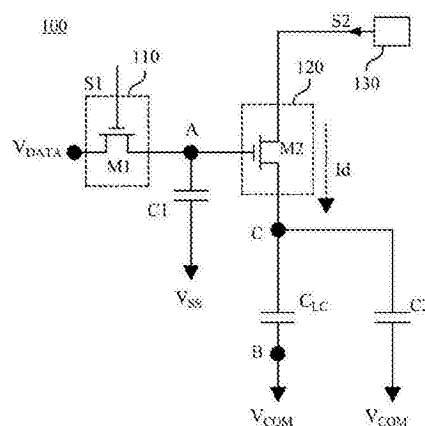
权利要求书2页 说明书11页 附图16页

(54) 发明名称

像素驱动电路及其驱动方法

(57) 摘要

本发明公开了一种像素驱动电路及其驱动方法,该像素驱动电路包含第一电容、数据输入单元、液晶电容、控制单元以及驱动单元。第一电容具有第一端用以接收第一参考电压、以及第二端。数据输入单元用以根据第一扫描信号将数据信号输入至第一电容的第二端。液晶电容具有第一端用以接收第一操作信号、以及第二端。控制单元用以根据第二扫描信号控制液晶电容的第二端电压。当第一扫描信号禁能数据输入单元后,驱动单元用以根据数据信号控制液晶电容的第二端的电压。



1. 一种像素驱动电路,其特征在于,包含:

一第一电容,具有一第一端用以接收一第一参考电压、以及一第二端;

一数据输入单元,电性耦接该第一电容,该数据输入单元用以根据一第一扫描信号将一数据信号输入至该第一电容的该第二端;

一液晶电容,具有一第一端用以接收一第一操作信号、以及一第二端;

一驱动单元,电性耦接该数据输入单元、该第一电容的该第二端以及该液晶电容的该第二端,其中当该数据输入单元禁能后,该驱动单元用以根据该数据信号控制该液晶电容的第二端的电压;以及

一控制单元,电性耦接该驱动单元,该控制单元用以产生一第二扫描信号以重置该液晶电容的该第二端电压。

2. 如权利要求1所述的像素驱动电路,其特征在于,该数据输入单元包含一第一晶体管,该第一晶体管具有一第一端用以接收该数据信号、一第二端电性耦接该第一电容的该第二端与该驱动单元、以及一控制端用以接收该第一扫描信号。

3. 如权利要求1所述的像素驱动电路,其特征在于,该驱动单元包含一第二晶体管,该第二晶体管具有一第一端用以接收该第二扫描信号、一第二端电性耦接该液晶电容的该第二端、以及一控制端电性耦接该第一电容的该第二端以及该数据输入单元。

4. 如权利要求3所述的像素驱动电路,其特征在于,该控制单元用以产生该第二扫描信号,以透过该第二晶体管将该液晶电容的第二端重置至一预设准位。

5. 一种像素驱动电路,其特征在于,包含:

一第一电容,具有一第一端用以接收一第一参考电压、以及一第二端;

一数据输入单元,电性耦接该第一电容,该数据输入单元用以根据一第一扫描信号将一数据信号输入至该第一电容的该第二端;

一液晶电容,具有一第一端用以接收一第一操作信号、以及一第二端;

一控制单元,电性耦接该液晶电容,该控制单元用以接收该第一参考电压并用以根据一第二扫描信号控制该液晶电容的该第二端电压;以及

一驱动单元,电性耦接该数据输入单元、该第一电容的该第二端以及该液晶电容的该第二端,该驱动单元用以根据该数据信号控制该液晶电容的第二端的电压。

6. 如权利要求5所述的像素驱动电路,其特征在于,该数据输入单元包含一第一晶体管,该第一晶体管具有一第一端用以接收该数据信号、一第二端电性耦接该第一电容的该第二端与该驱动单元、以及一控制端用以接收该第一扫描信号。

7. 如权利要求5所述的像素驱动电路,其特征在于,该驱动单元包含一第二晶体管,该第二晶体管具有一第一端用以接收一第二参考电压、一第二端电性耦接该液晶电容的该第二端、以及一控制端电性耦接该第一电容的该第二端以及该数据输入单元。

8. 如权利要求5至7任一所述的像素驱动电路,其特征在于,该控制单元包含一第三晶体管具有一第一端电性耦接该第一电容的该第一端、一第二端电性耦接该驱动单元以及该液晶电容的该第二端、以及一控制端用以接收该第二扫描信号。

9. 如权利要求8所述的像素驱动电路,其特征在于,还包含:

一开关单元,电性耦接于该驱动单元以及一第二参考电压之间,该开关单元根据一第三扫描信号导通该第二参考电压至该驱动单元。

10. 如权利要求9所述的像素驱动电路,其特征在于,该开关单元包含一第四晶体管,该第四晶体管具有一第一端用以接收该第二参考电压、一第二端电性耦接该驱动单元、以及一控制端用以接收该第三扫描信号。

11. 如权利要求5至7任一所述的像素驱动电路,其特征在于,该控制单元包含一第五晶体管,该第五晶体管具有一第一端用以接收该第一参考电压、一第二端耦接该液晶电容的该第二端、以及一控制端用以接收一第四扫描信号,其中该第四扫描信号与该第一扫描信号的致能时间至少部分重叠。

12. 一种驱动方法,用以驱动第一至第四如权利要求8所述的像素驱动电路,其特征在于,该第一及该第二像素驱动电路的数据输入单元用以接收一第一列第一扫描信号,该第三及该第四像素驱动电路的数据输入单元用以接收一第二列第一扫描信号,该第一及该第三像素驱动电路的数据输入单元电性耦接一第一数据线,该第二及该第四像素驱动电路电性耦接一第二数据线,该驱动方法包含:

提供该第一列扫描信号一致能脉冲,以致能该第一及该第二像素驱动电路的数据输入单元;

提供具一第一准位的一第一数据信号至该第一像素驱动电路的该第一电容;

检测该第一像素驱动电路的一驱动电流,其中该驱动电流根据该第一数据信号产生且流过该第一像素驱动电路的驱动单元;以及

接收一显示信号,并根据该第一像素驱动电路的该驱动电流以及该显示信号提供一第二数据信号至该第一像素驱动电路的该第一电容。

13. 如权利要求12所述的驱动方法,其特征在于,接收该显示信号,并根据该第一像素驱动电路的该驱动电流以及该显示信号提供该第二数据信号至该第一像素驱动电路的该第一电容包含:

当该第一像素驱动电路的该驱动电流不同于该显示信号的一显示电流,根据该驱动电流与该显示电流的差值提供该第二数据信号至该第一像素驱动电路的该第一电容。

14. 如权利要求12所述的驱动方法,其特征在于,还包含:

当该第一像素驱动电路的该驱动电流受到检测时,禁能该第三及该第四像素驱动电路的数据输入单元。

15. 如权利要求12所述的驱动方法,其特征在于,还包含:

当该第一像素驱动电路的该驱动电流受到检测时,禁能该第三及该第四像素驱动电路的控制单元。

像素驱动电路及其驱动方法

技术领域

[0001] 本发明是关于一种像素驱动电路及其驱动方法,且特别是有关于一种不受高频效应影响的像素驱动电路及其驱动方法。

背景技术

[0002] 随着平面电视、平板电脑的普及,液晶显示技术亦迅速地发展。一般来说,液晶显示装置透过数据信号控制液晶分子的偏转程度来达成不同灰阶效果。

[0003] 然而随着解析度及图框频率提高,电路操作的扫描信号以及数据信号频率也随之提高,使得液晶的介电系数受到操作频率的影响而改变,亦即频率越高则介电系数越低。在介电系数降低的情况下,液晶电容值亦随之降低造成液晶电容两端的电压下降,此现象将进一步影响液晶分子的偏转程度及液晶显示装置的灰阶效果。

[0004] 目前常见的解决方式是利用储存电容来稳定此电压的下降,但在操作频率越高的应用中,例如:场序显示器(field sequential display),又或是在高介电系数液晶的应用中,例如蓝相液晶(blue phase liquid crystal)、铁电液晶(ferroelectric liquid crystal),皆需要很大面积的储存电容,而使显示器的开口率造成很大的损失。

[0005] 另外,液晶显示装置中的驱动晶体管的次临界电流(sub-threshold current)使得液晶电容的充电电压过高而造成多余的功率损耗,且驱动晶体管在长时间的电流应力(current stress)下常有临界电压(threshold voltage)偏移的问题。

发明内容

[0006] 本发明的一态样是在于提供一种像素驱动电路。像素驱动电路包含第一电容、数据输入单元、液晶电容、控制单元以及驱动单元。第一电容具有第一端用以接收第一参考电压、以及第二端。数据输入单元电性耦接第一电容,数据输入单元根据第一扫描信号将数据信号输入至第一电容的第二端。液晶电容具有第一端用以接收第一操作信号、以及第二端。驱动单元电性耦接数据输入单元、第一电容的第二端以及液晶电容的第二端,其中当第一扫描信号禁能数据输入单元后,驱动单元用以根据数据信号控制液晶电容的第二端的电压。控制单元电性耦接驱动单元,控制单元用以产生第二扫描信号以重置液晶电容的第二端电压。

[0007] 本发明的次一态样是在于提供一种像素驱动电路。像素驱动电路包含第一电容、数据输入单元、液晶电容、控制单元以及驱动单元。第一电容具有第一端用以接收第一参考电压、以及第二端。数据输入单元电性耦接第一电容,数据输入单元根据第一扫描信号将数据信号输入至第一电容的第二端。液晶电容具有第一端用以接收第一操作信号、以及第二端。控制单元电性耦接液晶电容,控制单元用以根据第二扫描信号控制液晶电容的第二端电压。驱动单元电性耦接数据输入单元、第一电容的第二端以及液晶电容的第二端,其中当第一扫描信号禁能数据输入单元后,驱动单元用以根据数据信号控制液晶电容的第二端的电压。

[0008] 本发明的另一态样是在于提供一种驱动方法。用以驱动第一至第四如上所述的像素驱动电路,其中第一及第二像素驱动电路的数据输入单元用以接收第一列第一扫描信号,第三及第四像素驱动电路的数据输入单元用以接收第二列第一扫描信号,第一及第三像素驱动电路的数据输入单元电性耦接第一数据线,第二及第四像素驱动电路电性耦接第二数据线,驱动方法包含:提供第一列扫描信号致能脉冲,以致能第一及第二像素驱动电路的数据输入单元;提供具第一准位的第一数据信号至第一像素驱动电路的第一电容;检测第一像素驱动电路的驱动电流,其中驱动电流根据第一数据信号产生且流过第一像素驱动电路的驱动单元;以及接收显示信号,并根据第一像素驱动电路的驱动电流以及显示信号提供第二数据信号至第一像素驱动电路的第一电容。

[0009] 综上所述,透过本发明的像素驱动电路的一实施方式,使得像素驱动电路受扫描信号以及数据信号的高频效应影响降低,透过本发明的像素驱动电路的另一实施方式不仅使得像素驱动电路受扫描信号以及数据信号的高频效应影响降低,同时降低了液晶电容受到驱动单元的次临界电流影响,且透过本发明的驱动方法更进一步使得驱动单元的临界电压受到补偿。

附图说明

[0010] 为让本发明的上述和其他目的、特征、优点与实施例能更明显易懂,附图的说明如下:

[0011] 图1A绘示根据本发明内容的一实施例中一种像素驱动电路的示意图;

[0012] 图1B绘示图1A中像素驱动电路的操作波形的示意图;

[0013] 图1C绘示根据本发明内容的一实施例中一种像素驱动电路的示意图;

[0014] 图1D绘示图1C中像素驱动电路的操作波形的示意图;

[0015] 图2A绘示根据本发明内容的一实施例中一种像素驱动电路的示意图;

[0016] 图2B绘示图2A中像素驱动电路的操作波形的示意图;

[0017] 图2C绘示根据本发明内容的一实施例中一种像素驱动电路的示意图;

[0018] 图2D绘示图2C中像素驱动电路的操作波形的示意图;

[0019] 图3A绘示根据本发明内容的一实施例中一种像素驱动电路的示意图;

[0020] 图3B绘示图3A中像素驱动电路的操作波形的示意图;

[0021] 图3C绘示根据本发明内容的一实施例中一种像素驱动电路的示意图;

[0022] 图3D绘示图3C中像素驱动电路的操作波形的示意图;

[0023] 图4A绘示根据本发明内容的一实施例中一种像素驱动电路的示意图;

[0024] 图4B绘示图4A中像素驱动电路的操作波形的示意图;

[0025] 图5A绘示根据本发明内容的一实施例中一种驱动方法的示意图;以及

[0026] 图5B绘示根据本发明内容的一实施例中一种像素驱动系统的示意图。

[0027] 其中,附图标记:

[0028] 100,100a,200,200a,300,300a:像素驱动电路

[0029] 110,110a:数据输入单元 120,120a:驱动单元

[0030] 130,230,230a:控制单元 340,340a:开关单元

[0031] A,B,C:端点 C1,C2:电容

- [0032] CLC:液晶电容 F1:第一画面
- [0033] F2:第二画面
- [0034] M1,M1',M2,M2',M3,M3',M4,M4':晶体管
- [0035] Id,Id':驱动电流 S1,S2,S3:扫描信号
- [0036] t10~t30,t10'~t30',t10''~t30'',t10'''~t30''':时间
- [0037] VCOM:操作信号 VDATA:数据信号
- [0038] VSS,VDD:参考电压
- [0039] 500a:驱动方法
- [0040] 500b:像素驱动系统
- [0041] 300(1)~300(4):像素驱动电路
- [0042] D1,D2:数据线
- [0043] 505,506:检测单元
- [0044] S510~S540:步骤

具体实施方式

[0045] 以下内容提供许多不同实施例或例证用以实施本发明的不同特征。特殊例证中的元件及配置在以下讨论中被用来简化本发明。所讨论的任何例证只用来作解说的用途,并不会以任何方式限制本发明或其例证的范围和意义。此外,本发明在不同例证中可能重复引用数字符号且/或字母,这些重复皆为了简化及阐述,其本身并未指定以下讨论中不同实施例且/或配置之间的关系。

[0046] 在全篇说明书与权利要求保护范围所使用的用词(terms),除有特别注明外,通常具有每个用词使用在此领域中、在此发明的内容中与特殊内容中的平常意义。某些用以描述本发明的用词将于下或在此说明书的别处讨论,以提供本领域技术人员在有关本发明的描述上额外的引导。

[0047] 关于本文中所使用的“耦接”或“连接”,均可指二或多个元件相互直接作实体或电性接触,或是相互间接作实体或电性接触,而“耦接”或“连接”还可指二或多个元件相互操作或动作。在本文中,使用第一、第二与第三等等的词汇,是用于描述各种元件、组件、区域、层与/或区块是可以被理解的。但是这些元件、组件、区域、层与/或区块不应该被这些术语所限制。这些词汇只限于用来辨别单一元件、组件、区域、层与/或区块。因此,在下文中的一第一元件、组件、区域、层与/或区块也可被称为第二元件、组件、区域、层与/或区块,而不脱离本发明的本意。如本文所用,词汇“与/或”包含了列出的关联项目中的一个或多个的任何组合。

[0048] 请参阅图1A,图1A绘示根据本发明内容的一实施例中一种像素驱动电路100的示意图。实际应用中,本实施例的像素驱动电路100可用于液晶显示装置(Liquid Crystal Display,LCD)中,液晶显示装置可以是电视荧幕、电脑荧幕、手机荧幕、触控式手持装置的荧幕以及其他具显示功能的显示装置,本发明并不以此为限。液晶显示装置中可包含多个如图1A所示的像素驱动电路100,用以组成完整的显示画面。

[0049] 如图1A所示,像素驱动电路100包含电容C1、数据输入单元110、液晶电容CLC、驱动单元120以及控制单元130。

[0050] 电容C1具有第一端用以接收参考电压 V_{SS} 、以及第二端A。在此实施例中,参考电压 V_{SS} 为逻辑低准位,在其他实施例中,参考电压 V_{SS} 可以为任意电压准位,本发明并不以此为限。

[0051] 数据输入单元110电性耦接电容C1,数据输入单元110根据扫描信号S1将数据信号 V_{DATA} 输入至电容C1的第二端A。在此实施例中,数据输入单元110包含晶体管M1,晶体管M1具有第一端用以接收数据信号 V_{DATA} 、第二端电性耦接电容C1的第二端A与驱动单元120、以及控制端用以接收扫描信号S1。

[0052] 液晶电容 C_{LC} 具有第一端B用以接收操作信号 V_{-COM} 、以及第二端C。液晶电容 C_{LC} 之间夹有液晶分子,液晶电容 C_{LC} 可以根据其第一端B与第二端C之间的电压控制液晶分子的正向偏转或反向偏转,例如当液晶电容 C_{LC} 第一端B与第二端C之间的电压为正电压则控制液晶分子正向偏转,当液晶电容 C_{LC} 第一端B与第二端C之间的电压为负电压则控制液晶分子负向偏转,需注意到液晶分子的偏转程度(亦即正向偏转程度或负向偏转程度)会进一步影响液晶显示装置的灰阶效果。例如,当液晶分子正向偏转到最大时液晶显示装置则显示纯黑,或当液晶分子负向偏转到最大时液晶显示装置则显示纯白,而液晶分子的偏转程度介于上述两者之间时液晶显示装置则显示介于纯黑及纯白之间的灰色。在其他例中,亦可以是当液晶电容 C_{LC} 第一端B与第二端C之间的电压为正电压则控制液晶分子负向偏转,当液晶电容 C_{LC} 第一端B与第二端C之间的电压为负电压则控制液晶分子正向偏转,本发明并不以此为限。

[0053] 驱动单元120电性耦接数据输入单元110、电容C1的第二端A以及液晶电容 C_{LC} 的第二端C,其中当扫描信号S1禁能数据输入单元110后,驱动单元120用以根据数据信号 V_{DATA} 控制液晶电容 C_{LC} 的第二端C的电压。在此实施例中,驱动单元120包含晶体管M2,晶体管M2具有第一端、第二端电性耦接液晶电容 C_{LC} 的第二端C、以及控制端电性耦接电容C1的第二端A以及数据输入单元110。如图1A所示,晶体管M1、M2以正型晶体管作为举例,亦即其控制端由正电压准位致能。实际应用中晶体管M1、M2可为P型金氧半场效晶体管(pMOSFET)、N型金氧半场效晶体管(nMOSFET)、P型双极性接面晶体管、N型双极性接面晶体管或其他等效的晶体管,本发明并不以此为限。其中负型晶体管的实施例可见于图1C(晶体管M1'以及晶体管M2'),详细描述见后说明。

[0054] 控制单元130电性耦接驱动单元120,控制单元130用以产生第二扫描信号S2以重置液晶电容 C_{LC} 的第二端C的电压。

[0055] 进一步来说,请一并参阅图1A以及图1B。图1B绘示图1A中像素驱动电路100的操作波形的示意图。可以看到的是首先,扫描信号S1致能数据输入单元110时(例如在第一画面F1中时间 $t_{10} \sim t_{11}$ 内或是第二画面F2中时间 $t_{20} \sim t_{21}$ 内,图1B仅绘示两画面时间,实际应用中可以有三个画面以上,本发明并不以此为限),数据信号 V_{DATA} 透过数据输入单元110传递至电容C1的第二端A并将数据信号 V_{DATA} 储存至电容C1,驱动单元120根据扫描信号S2控制液晶电容 C_{LC} 的第二端C的电压,此时虽然驱动单元120的晶体管M2的控制端接收到数据信号 V_{DATA} 使得晶体管M2导通,然而可以看到晶体管M2的第一端所接收到的扫描信号S2在此时为禁能状态,在此实施例中禁能状态的预设准位为逻辑低准位,亦即在此时扫描信号S2可以透过导通的晶体管M2将液晶电容 C_{LC} 的第二端C重置至逻辑低准位。其他实例中用以重置液晶电容 C_{LC} 的第二端C的电压(亦即预设准位)可以为逻辑高准位或任意电压准位,本发明并不以此为限。在此时期内驱动单元120不会产生驱动电流 I_d 仅对液晶电容 C_{LC} 的第二端C的电

压重置以及将数据信号 V_{DATA} 储存至电容 $C1$,故此时期(亦即在第一画面 $F1$ 中时间 $t10 \sim t11$ 内或是第二画面 $F2$ 中时间 $t20 \sim t21$ 内等)又称为数据写入及重置时期(data input&reset period)。此外,可以看到上述的驱动单元120中的晶体管 $M2$ 使用于源极随耦器(source follower)的架构。亦即以晶体管 $M2$ 的栅极(控制端)作为输入端,晶体管 $M2$ 的源极(第二端)作为输出端的电路架构。

[0056] 接着,在扫描信号 $S1$ 禁能后控制单元130致能晶体管 $M2$ 所接收到的扫描信号 $S2$ (例如在第一画面 $F1$ 中时间 $t12 \sim t20$ 内或是第二画面 $F2$ 中时间 $t22 \sim t30$ 内),在此实施例中控制单元130电性耦接于晶体管 $M2$ 的第一端,在一些实施例中控制单元130可以电性耦接于晶体管 $M2$ 的第二端如图2A所示,详细描述见后说明。由于前一时期(亦即在第一画面 $F1$ 中时间 $t10 \sim t11$ 内或是第二画面 $F2$ 中时间 $t20 \sim t21$ 内)数据信号 V_{DATA} 储存至电容 $C1$,因此当扫描信号 $S2$ 致能时,驱动单元120的晶体管 $M2$ 便提供驱动电流 I_d 对液晶电容 C_{LC} 充电,使得液晶电容 C_{LC} 的第二端C的电压从先前重置的电压准位(例如逻辑低准位)充电至相应数据信号 V_{DATA} 的目标电压准位。进一步来说,在此时期内液晶电容 C_{LC} 的第二端C的电压可以公式(1)表示如下:

[0057] $V_C = V_{DATA} - V_{th}$ ……公式(1);

[0058] 其中, V_C 为液晶电容 C_{LC} 的第二端C的电压, V_{DATA} 为数据信号, V_{th} 为驱动单元120中晶体管 $M2$ 的临界电压(threshold voltage)。一般来说,晶体管 $M2$ 的临界电压 V_{th} 理想上为一定值,因此晶体管 $M2$ 对液晶电容 C_{LC} 的第二端C充电至上述电压 V_C 的电压准位仅会受到不同的数据信号 V_{DATA} 影响,例如 V_{th} 为0.5V,当 V_{DATA} 为1V时晶体管 $M2$ 将液晶电容 C_{LC} 充电至0.5V,又当 V_{DATA} 为2V时晶体管 $M2$ 将液晶电容 C_{LC} 充电至1.5V,藉此控制液晶分子的偏转程度(亦即正向偏转程度或负向偏转程度)。上述所列举的数值仅用以举例说明,并非用以限制或建议必须使用该数值。

[0059] 除此之外,除了控制液晶电容 C_{LC} 的第二端C的电压可以改变液晶分子的偏转程度(亦即正向偏转程度或负向偏转程度),在此实施例中还可以透过液晶电容 C_{LC} 的第一端B所接收的操作信号 V_{COM} 来控制液晶分子偏转的极性,亦即将液晶分子由正向偏转切换至负向偏转或是由负向偏转切换至正向偏转。举例来说,如图1B中操作信号 V_{COM} 在第一画面 $F1$ 中为逻辑低准位,而在第二画面 $F2$ 中时则切换至逻辑高准位,液晶分子可以例如在操作信号 V_{COM} 为逻辑低准位时呈现正向偏转,而控制液晶电容 C_{LC} 的第二端C的电压则进一步改变液晶分子的正向偏转程度。液晶分子可以例如在操作信号 V_{COM} 为逻辑高准位时由正向偏转切换至负向偏转,而控制液晶电容 C_{LC} 的第二端C的电压则进一步改变液晶分子的负向偏转程度,在其他实施例中液晶分子的正向偏转与负向偏转可以分别对应逻辑高准位以及逻辑低准位的操作信号 V_{COM} ,或任意电压准位的操作信号 V_{COM} ,本发明并不以此为限。

[0060] 如先前所述液晶电容 C_{LC} 的第一端B以及第二端C的电压会影响液晶分子的偏转程度(亦即正向偏转程度或负向偏转程度),而进一步影响液晶显示装置的灰阶效果,因此当晶体管 $M2$ 将液晶电容 C_{LC} 充电至上述的目标电压准位时,液晶显示装置的发光单元(未绘示)在此时期(亦即在第一画面 $F1$ 中时间 $t12 \sim t20$ 内或是第二画面 $F2$ 中时间 $t22 \sim t30$ 内等)灰阶显示,故此时期又称为灰阶显示时期(emission period)。透过上述图1A、图1B的实施例,尽管在扫描信号 $S1$ 以及数据信号 V_{DATA} 频率很高的情况下,亦即扫描信号 $S1$ 致能的时间很短(第一画面 $F1$ 中时间 $t10 \sim t11$ 或是第二画面 $F2$ 中时间 $t20 \sim t21$ 很短)的情况下,由于在扫描

信号S1致能先将数据信号 V_{DATA} 储存至电容C1,因此在第一扫描信号S1禁能数据输入单元110时,驱动单元120仍然能够持续对液晶电容 C_{LC} 充电,藉此让像素驱动电路100不受扫描信号S1以及数据信号 V_{DATA} 的高频效应影响。

[0061] 此外,在一些实施例中,像素驱动电路100更包含电容C2与液晶电容 C_{LC} 并联耦接,如图1A所示,此电容C2可用以当液晶电容 C_{LC} 充电至上述的目标电压准位时,稳定此目标电压准位。

[0062] 请参阅图1C以及图1D,图1C绘示根据本发明内容的一实施例中一种像素驱动电路100a的示意图。图1D绘示图1C中像素驱动电路100a的操作波形的示意图。可以看到图1C中像素驱动电路100a与图1A中像素驱动电路100不同的是数据输入单元110a、驱动单元120a中的晶体管M1'、M2'为负型晶体管,亦即其控制端由负电压准位致能。而电容C1接收的参考电压 V_{DD} 在此实施例中为逻辑高准位,在其他实施例中,参考电压 V_{DD} 可以为任意电压准位,本发明并不以此为限。因此像素驱动电路100a的差别仅在于数据输入单元110a、驱动单元120a中的晶体管M1'、M2'致能的电压准位与数据输入单元110、驱动单元120中的晶体管M1、M2致能的电压准位不同,且驱动电流 I_d' 流向相反,其他像素驱动电路100a内的操作(例如重置、数据写入、灰阶显示等)类似于先前所述的像素驱动电路100,在此不另赘述。类似地,在此实施例中的驱动单元120a中的晶体管M2'使用于源极随耦器(source follower)的架构。亦即以晶体管M2'的栅极(控制端)作为输入端,晶体管M2'的源极(第二端)作为输出端的电路架构。

[0063] 请参阅图2A以及图2B,图2A绘示根据本发明内容的一实施例中一种像素驱动电路200的示意图。图2B绘示图2A中像素驱动电路200的操作波形的示意图。可以看到,先前所述图1A中像素驱动电路100中控制单元130电性耦接于晶体管M2的第一端,而将扫描信号S2传送至晶体管M2的第一端,而图2A中不同的是像素驱动电路200控制单元230电性耦接于晶体管M2的第二端。进一步来说,控制单元230包含晶体管M3具有第一端电性耦接电容C1的第一端、第二端电性耦接驱动单元120以及液晶电容 C_{LC} 的第二端C、以及控制端用以接收扫描信号S2。此外如图2B所示,在此实施例中,首先扫描信号S2致能于第一画面F1中时间 $t_{10}' \sim t_{11}'$ 或是第二画面F2中时间 $t_{20}' \sim t_{21}'$,使得晶体管M3导通并重置液晶电容 C_{LC} 的第二端C的电压为参考电压 V_{SS} 的电压准位,接着才进行后续的数据写入(第一画面F1中时间 $t_{11}' \sim t_{12}'$ 或是第二画面F2中时间 $t_{21}' \sim t_{22}'$)以及灰阶显示(第一画面F1中时间 $t_{12}' \sim t_{20}'$ 或是第二画面F2中时间 $t_{22}' \sim t_{30}'$)。像素驱动电路200内的数据写入、灰阶显示等操作类似于先前所述的像素驱动电路100,在此不另赘述。因此同样地透过上述图2A、图2B的实施例,尽管在扫描信号S1以及数据信号 V_{DATA} 频率很高的情况下,亦即扫描信号S1致能的时间很短的情况下,由于在扫描信号S1致能先将数据信号 V_{DATA} 储存至电容C1,因此在第一扫描信号S1禁能数据输入单元110时,驱动单元120仍然能够持续对液晶电容 C_{LC} 充电,藉此让像素驱动电路100不受扫描信号S1以及数据信号 V_{DATA} 的高频效应影响。同样地,在此实施例中的驱动单元120中的晶体管M2使用于源极随耦器(source follower)的架构。亦即以晶体管M2的栅极(控制端)作为输入端,晶体管M2的源极(第二端)作为输出端的电路架构。

[0064] 请参阅图2C以及图2D,图2C绘示根据本发明内容的一实施例中一种像素驱动电路200a的示意图。图2D绘示图2C中像素驱动电路200a的操作波形的示意图。可以看到图2C中像素驱动电路200a与图2A中像素驱动电路200不同的是数据输入单元110a、驱动单元120a

以及控制单元230a中的晶体管M1'、M2'、M3'为负型晶体管,亦即其控制端由负电压准位致能。而电容C1接收的参考电压 V_{DD} 在此实施例中为逻辑高准位,在其他实施例中,参考电压 V_{DD} 可以为任意电压准位,本发明并不以此为限。因此像素驱动电路200a的差别仅在于数据输入单元110a、驱动单元120a以及控制单元230a中的晶体管M1'、M2'、M3'致能的电压准位与数据输入单元110、驱动单元120以及控制单元230中的晶体管M1、M2、M3致能的电压准位不同,其他像素驱动电路200a内的操作类似于先前所述的像素驱动电路200,在此不另赘述。类似地,在此实施例中的驱动单元120a中的晶体管M2'使用于源极随耦器(source follower)的架构。亦即以晶体管M2'的栅极(控制端)作为输入端,晶体管M2'的源极(第二端)作为输出端的电路架构。

[0065] 请参阅图3A以及图3B,图3A绘示根据本发明内容的一实施例中一种像素驱动电路300的示意图。图3B绘示图3A中像素驱动电路300的操作波形的示意图。可以看到图3A中的像素驱动电路300相较图2A中的像素驱动电路200更包含开关单元340电性耦接于驱动单元120以及参考电压 V_{DD} 之间,开关单元340根据扫描信号S3导通参考电压 V_{DD} 至驱动单元120。进一步来说,开关单元340包含晶体管M4,晶体管M4具有第一端用以接收参考电压 V_{DD} 、第二端电性耦接驱动单元120、以及控制端用以接收扫描信号S3。如图3B所示,类似于图2A中的像素驱动电路200,在此实施例中首先扫描信号S2致能于第一画面F1中时间 $t_{10}'' \sim t_{11}''$ (或是第二画面F2中时间 $t_{20}'' \sim t_{21}''$),使得晶体管M3导通并重置液晶电容 C_{LC} 的第二端C的电压为参考电压 V_{SS} 的电压准位,接着进行后续的数据写入(第一画面F1中时间 $t_{11}'' \sim t_{12}''$ 或是第二画面F2中时间 $t_{21}'' \sim t_{22}''$),不同的是在灰阶显示时期内(第一画面F1中时间 $t_{12}'' \sim t_{20}''$ 或是第二画面F2中时间 $t_{22}'' \sim t_{30}''$ 内)透过扫描信号S3致能晶体管M4,将参考电压 V_{DD} 导通至驱动单元120的晶体管M2,使得晶体管M2在扫描信号S3致能的期间内提供驱动电流 I_d 至液晶电容 C_{LC} 。在此需注意到,此实施例中扫描信号S3致能的期间(第一画面F1中时间 $t_{13}'' \sim t_{14}''$)较灰阶显示时期(第一画面F1中时间 $t_{12}'' \sim t_{20}''$ 或是第二画面F2中时间 $t_{22}'' \sim t_{30}''$)短,藉此降低了液晶电容 C_{LC} 已充电完成后仍然持续受到晶体管M2的次临界电流(sub-threshold current)影响,举例来说开关单元340在第一画面F1中时间 $t_{14}'' \sim t_{20}''$ 禁能,因此驱动单元120在此时期内并不会产生次临界电流(sub-threshold current),因此透过上述图3A、图3B的实施例,不仅让像素驱动电路不受扫描信号以及数据信号的高频效应影响,同时降低了液晶电容受到驱动单元的次临界电流影响。本实施例中开关单元340的致能时间可以为任意小于灰阶显示时期的时间,本发明并不以此为限。同样地,在此实施例中的驱动单元120中的晶体管M2使用于源极随耦器(source follower)的架构。亦即以晶体管M2的栅极(控制端)作为输入端,晶体管M2的源极(第二端)作为输出端的电路架构。

[0066] 请参阅图3C以及图3D,图3C绘示根据本发明内容的一实施例中一种像素驱动电路300a的示意图。图3D绘示图3C中像素驱动电路300a的操作波形的示意图。可以看到图3C中像素驱动电路300a与图3A中像素驱动电路300不同的是数据输入单元110a、驱动单元120a、控制单元230a以及开关单元340a中的晶体管M1'、M2'、M3'、M4'为负型晶体管,亦即其控制端由负电压准位致能。而电容C1接收的参考电压 V_{DD} 在此实施例中为逻辑高准位,开关单元340a所接收的参考电压 V_{SS} 在此实施例中为逻辑低准位,在其他实施例中,参考电压 V_{DD} 、 V_{SS} 可以为任意电压准位,本发明并不以此为限。因此像素驱动电路300a的差别仅在于数据输

入单元110a、驱动单元120a、控制单元230a以及开关单元340a中的晶体管M1'、M2'、M3'、M4'致能的电压准位与数据输入单元110、驱动单元120、控制单元230以及开关单元340中的晶体管M1、M2、M3、M4致能的电压准位不同,其他像素驱动电路300a内的操作类似于先前所述的像素驱动电路300,在此不另赘述。类似地,在此实施例中的驱动单元120a中的晶体管M2'使用于源极随耦器(source follower)的架构。亦即以晶体管M2'的栅极(控制端)作为输入端,晶体管M2'的源极(第二端)作为输出端的电路架构。

[0067] 请参阅图4A以及图4B,图4A绘示根据本发明内容的一实施例中一种像素驱动电路400的示意图。图4B绘示图4A中像素驱动电路400的操作波形的示意图。在此请一并参阅图2A以及图2B,可以看到相较于像素驱动电路200,像素驱动电路400中控制单元430的晶体管M5的控制端用以接收扫描信号S4,其中在此实施例中扫描信号S4与扫描信号S1同时致能,或者说扫描信号S4与扫描信号S1致能的时间至少部分重叠,使得像素驱动电路400同时进行数据写入及灰阶显示。同样地,在此实施例中的驱动单元120中的晶体管M2使用于源极随耦器(source follower)的架构。亦即以晶体管M2的栅极(控制端)作为输入端,晶体管M2的源极(第二端)作为输出端的电路架构。且补充说明的是在此实施例中晶体管M2与晶体管M5具有相同或实质相同的制程参数。进一步来说,流经晶体管M2与晶体管M5的驱动电流Id2以及Id5可分别以公式(2)、公式(3)表示如下:

$$\begin{aligned} Id2 &= \frac{1}{2} \mu_2 C_2 \frac{W_2}{L_2} (V_{gs2} - V_{th2})^2 \\ [0068] \quad &= \frac{1}{2} \mu_2 C_2 \frac{W_2}{L_2} (V_{DATA} - V_C - V_{th2})^2 \\ [0069] \quad &\dots\dots\text{公式(2)} \end{aligned}$$

$$\begin{aligned} Id5 &= \frac{1}{2} \mu_5 C_5 \frac{W_5}{L_5} (V_{gs5} - V_{th5})^2 \\ [0070] \quad &= \frac{1}{2} \mu_5 C_5 \frac{W_5}{L_5} (V_{BIAS} - V_{SS} - V_{th5})^2 \\ [0071] \quad &\dots\dots\text{公式(3)} \end{aligned}$$

[0072] 其中Vgs2、Vgs5分别为晶体管M2、晶体管M5的栅极与源极的间的电压差,Vth2、Vth5分别为晶体管M2、晶体管M5的临界电压(threshold voltage),W2、W5分别为晶体管M2、晶体管M5的通道宽度,L2、L5分别为晶体管M2、晶体管M5的通道长度,C2、C5分别为晶体管M2、晶体管M5的栅极电容,μ2、μ5分别为晶体管M2、晶体管M5的等效载子迁移率(equivalent carrier mobility),VDATA为数据信号,Vc为液晶电容CLC的第二端C的电压,VBIAS为扫描信号S4的致能电压准位(如图4B所示),VSS为参考电压。晶体管的制程参数所指的是晶体管在制作过程中已定义的参数,亦即上述的通道宽度(W2、W5)、通道长度(L2、L5)、栅极电容(C2、C5)、等效载子迁移率(μ2、μ5)以及临界电压(Vth2、Vth5)。在此实施例中,当晶体管M2、M5导通时,亦即在第一画面F1中时间t10''~t12''内或是第二画面F2中时间t20''~t22''内,流经晶体管M2与晶体管M5的驱动电流Id2以及Id5相等(Id2=Id5),且晶体管M2与晶体管M5具有相同的制程参数(W2=W5,L2=L5,C2=C5,μ2=μ5),因此上述的公式(2)、(3)可以进一步化简为公式(4):

$$\begin{aligned}
 I_{d2} &= \frac{1}{2} \mu_2 C_2 \frac{W_2}{L_2} (V_{\text{DATA}} - V_C - V_{\text{th}_2})^2 \\
 [0073] \quad &= I_{d5} = \frac{1}{2} \mu_5 C_5 \frac{W_5}{L_5} (V_{\text{BIAS}} - V_{\text{SS}} - V_{\text{th}_5})^2 \\
 &\Rightarrow V_{\text{DATA}} - V_C = V_{\text{BIAS}} - V_{\text{SS}} \\
 &\Rightarrow V_C = V_{\text{DATA}} - V_{\text{BIAS}} + V_{\text{SS}}
 \end{aligned}$$

[0074]公式(4);

[0075] 可以看到公式(4)中液晶电容 C_L 的第二端C的电压仅受到数据信号 V_{DATA} 、扫描信号 S_4 的致能电压准位 V_{BIAS} 以及参考电压 V_{SS} 的影响,并不受晶体管M2以及晶体管M5的临界电压(V_{th_2} 、 V_{th_5})影响,一般来说,晶体管的临界电压会受到长时间的电流应力(current stress)而有偏移的现象而影响液晶电容 C_L 的充电,然而透过上述图4A、图4B的实施例,不仅让像素驱动电路不受扫描信号以及数据信号的高频效应影响,同时降低了液晶电容受到驱动单元的临界电压影响。

[0076] 请参阅图5A以及图5B。图5A绘示根据本发明内容的一实施例中一种驱动方法500a的示意图,驱动方法500a用以驱动如前所述的像素驱动电路200、200a、300、300a。图5B绘示根据本发明内容的一实施例中一种像素驱动系统500b的示意图,在此为方便说明图5B所绘示的像素驱动系统500b为驱动方法500a应用于像素驱动电路300的实施例,实际应用中驱动方法500a可以应用于像素驱动电路200、200a、300、300a,亦可用于具相等性的像素驱动电路上,本发明并不以此为限。如图5B所示,像素驱动电路300(1)、300(2)的数据输入单元110用以接收第一列扫描信号 $S_1(n)$,像素驱动电路300(3)、300(4)的数据输入单元110用以接收第二列扫描信号 $S_1(n+1)$,像素驱动电路300(1)、300(3)的数据输入单元110电性耦接数据线D1,像素驱动电路300(2)、300(4)电性耦接数据线D2,如图5A所示,此实施例中的驱动方法500a首先执行步骤S510,提供第一列扫描信号 $S_1(n)$ 致能脉冲,以致能像素驱动电路300(1)、300(2)的数据输入单元110。

[0077] 接着,执行步骤S520,提供具第一准位 V_{REF1} 的第一数据信号 V_{DATA1} 至像素驱动电路300(1)的电容C1。

[0078] 接着,执行步骤S530,检测像素驱动电路300(1)的驱动电流 I_d ,其中驱动电流 I_d 根据第一数据信号 V_{DATA1} 产生且流过像素驱动电路300(1)的驱动单元120。进一步来说步骤S530包含同时致能扫描信号 S_2 、 S_3 、 S_4 ,在其他实施例中,例如驱动方法500a应用于像素驱动电路200、200a的实施例中,步骤S530包含同时致能扫描信号 $S_2(n)$ 、 $S_3(n)$ 。而可以看到像素驱动系统500b更包含检测单元505、506电性耦接每一行像素驱动电路的参考电压 V_{DD} ,因此检测单元505在步骤S530时可以检测像素驱动电路300(1)的驱动电流 I_d 。

[0079] 接着,执行步骤S540,接收显示信号(未绘示),并根据像素驱动电路300(1)的驱动电流 I_d 以及显示信号提供第二数据信号 V_{DATA2} 至像素驱动电路300(1)的电容C1。在一些实施例中,步骤S540更包含步骤S541'(未绘示),当像素驱动电路300(1)的驱动电流 I_d 不同于显示信号的显示电流,根据驱动电流 I_d 与显示电流的差值提供第二数据信号 V_{DATA2} 至像素驱动电路300(1)的电容C1。

[0080] 进一步来说,如先前所述,一般来说晶体管的临界电压会受到长时间的电流应力

(current stress)而有偏移的现象而影响液晶电容的充电,使得每一像素驱动电路的驱动电流 I_d 在数据信号相同的情形下,仍随着时间而变动,进而影响液晶显示装置的显示亮度,或造成像素亮度不均等现象。因此步骤S540提供的显示信号的显示电流正相关于每一像素驱动电路在一时刻下预计显示的亮度,且显示信号的显示电流值相等于由晶体管的原始临界电压(尚未偏移的临界电压)所产生的驱动电流值。因此当像素驱动电路300(1)中晶体管M2的临界电压偏移,而使得驱动电流 I_d 随着时间变动而不同于具第一准位 V_{REF1} 的第一数据信号 V_{DATA1} 所对应的显示电流,步骤S540则提供具第二准位 V_{REF2} 的第二数据信号 V_{DATA2} 至像素驱动电路300(1)的电容C1,其中第二准位 V_{REF2} 与第一准位 V_{REF1} 不同。以下以数值举例说明,并非用以限制或建议必须使用该数值。例如,第一数据信号 V_{DATA1} 所对应的显示电流为1mA,而检测单元505实际所检测到的像素驱动电路300(1)的驱动电流 I_d 为0.9mA,则代表晶体管M2的临界电压 V_{th2} 已产生偏移(举例来说 V_{th2} 由0.5V上升为0.6V),则步骤S540则提供具第二准位 V_{REF2} 的第二数据信号 V_{DATA2} 至像素驱动电路300(1)的电容C1,其中第二准位 V_{REF2} 在此例中可以例如较第一准位 V_{REF1} 高0.1V。藉此,可让像素驱动电路300(1)的驱动电流 I_d 回复到显示电流而不受到临界电压的偏移影响,透过调整数据信号让像素驱动电路300(1)的驱动单元120的临界电压 V_{th2} 受到补偿。在其他实施例中,临界电压 V_{th2} 的偏移可以是降低电压,而第二准位 V_{REF2} 可以较第一准位 V_{REF1} 低,本发明并不以此为限。

[0081] 在一些实施例中,若第一像素驱动电路300(1)的驱动电流 I_d 仍然不同于显示信号的显示电流,则重复步骤S540直至像素驱动电路300(1)的驱动电流 I_d 相等于显示信号的显示电流。以上述例子来说,第一次提供的第二准位 V_{REF2} 可以例如较第一准位 V_{REF1} 高0.05V,然而虽第一像素驱动电路300(1)的驱动电流 I_d 因此较接近于显示信号的显示电流,仍然尚未完全相等,则检测单元550将再次检测像素驱动电路300(1)的驱动电流 I_d ,而步骤S540则再提供第二准位 V_{REF2} 较第一准位 V_{REF1} 高0.1V,让像素驱动电路300(1)的驱动电流 I_d 回复到显示电流。换言之,透过上述驱动方法500a,能够让原先未被补偿的第一数据信号 V_{DATA1} ,调整为第二数据信号 V_{DATA2} ,使得驱动电流 I_d 能不受晶体管的临界电压偏移所影响而保持固定为对应的显示信号的显示电流。

[0082] 换言之,上述步骤可以并根据第一像素驱动电路的驱动电流以及显示信号提供第二数据信号至第一像素驱动电路的第一电容。显示信号可以例如是由外部接收未经调整的信号,亦即上述系统用以控制像素显示灰阶的信号,而实际用以驱动像素的信号为第二数据信号,则会根据驱动电流所反映的晶体管的特性变化来进行调整。进而降低晶体管的特性变化所造成的影响。

[0083] 在一些实施例中,驱动方法500a更包含执行步骤S550(未绘示),当像素驱动电路300(1)的驱动电流 I_d 受到检测时,禁能像素驱动电路300(3)、300(4)的数据输入单元110,以及禁能像素驱动电路300(3)、300(4)的控制单元230。在一些实施例中,当像素驱动电路300(1)的驱动电流 I_d 受到检测时,禁能像素驱动电路300(3)、300(4)的开关单元340。如图5B所示,当像素驱动电路300(1)的驱动电流 I_d 受到检测时,像素驱动电路300(3)、300(4)中的晶体管M1、M3、M4皆为禁能,换言之,当提供 $S1(n)$ 、 $S2(n)$ 及 $S3(n)$ 的脉冲为致能准位(在此例中为逻辑高准位)时, $S1(n+1)$ 、 $S2(n+1)$ 及 $S3(n+1)$ 为禁能准位。除此之外,由于数据线D2被提供禁能准位的电压(此例中为0V),像素驱动电路300(2)的晶体管M2因此为禁能,因此可以确保驱动电流仅会流入像素驱动电路300(1)。也就是说,在本实施例中,同一时间下仅

检测、补偿一像素驱动电路,例如图5B首先检测、补偿像素驱动电路300(1),而后像素驱动电路300(2)、300(3)、300(4)的驱动电流 I_d 再依序受到检测,以其及各自的驱动单元120的临界电压 V_{th2} 依序受到补偿。在其他实施例中,检测的顺序可以任意调换,例如可以是像素驱动电路300(1)、300(3)、300(2)、300(4)的顺序,或是像素驱动电路300(4)、300(3)、300(2)、300(1)的顺序,并不限于像素驱动电路300(1)、300(2)、300(3)、300(4)的顺序。

[0084] 综上所述,透过本发明的像素驱动电路的一实施方式,使得像素驱动电路受扫描信号以及数据信号的高频效应影响降低,透过本发明的像素驱动电路的另一实施方式不仅使得像素驱动电路受扫描信号以及数据信号的高频效应影响降低,同时降低了液晶电容受到驱动单元的次临界电流影响,且透过本发明的驱动方法更进一步使得驱动单元的临界电压受到补偿。

[0085] 虽然本发明已以实施方式公开如上,但其并非用以限定本发明,任何本领域的技术人员,在不脱离本发明的精神和范围内,当可作各种的更动与修改,因此本发明的保护范围当视后附的权利要求书保护范围所界定者为准。

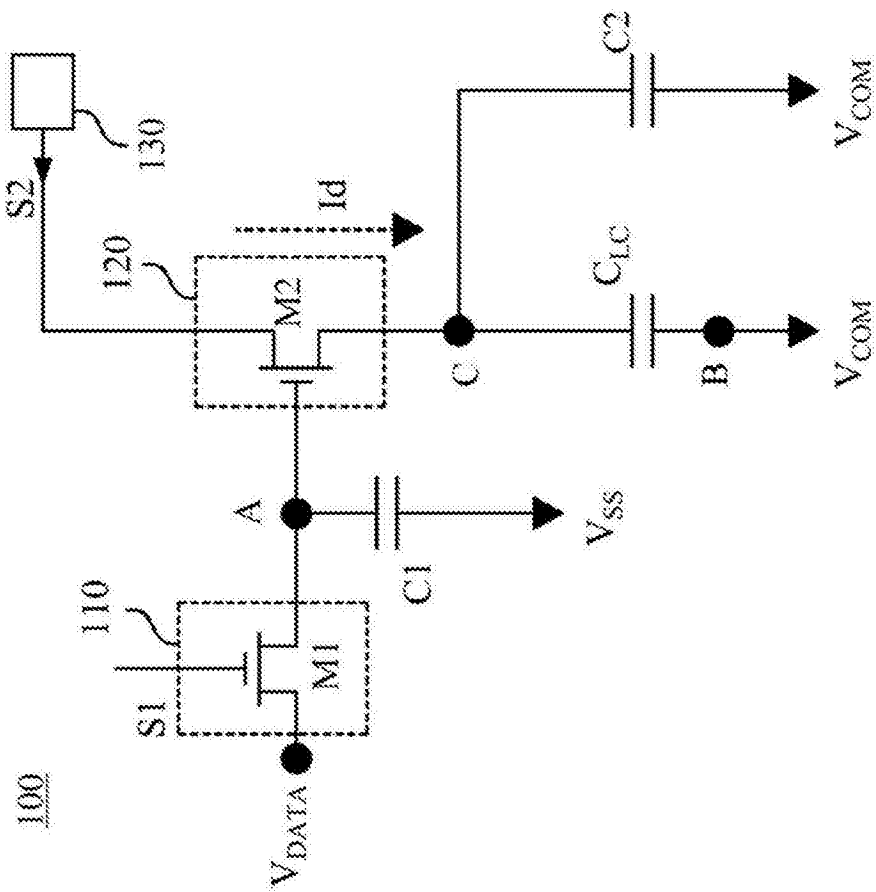


图1A

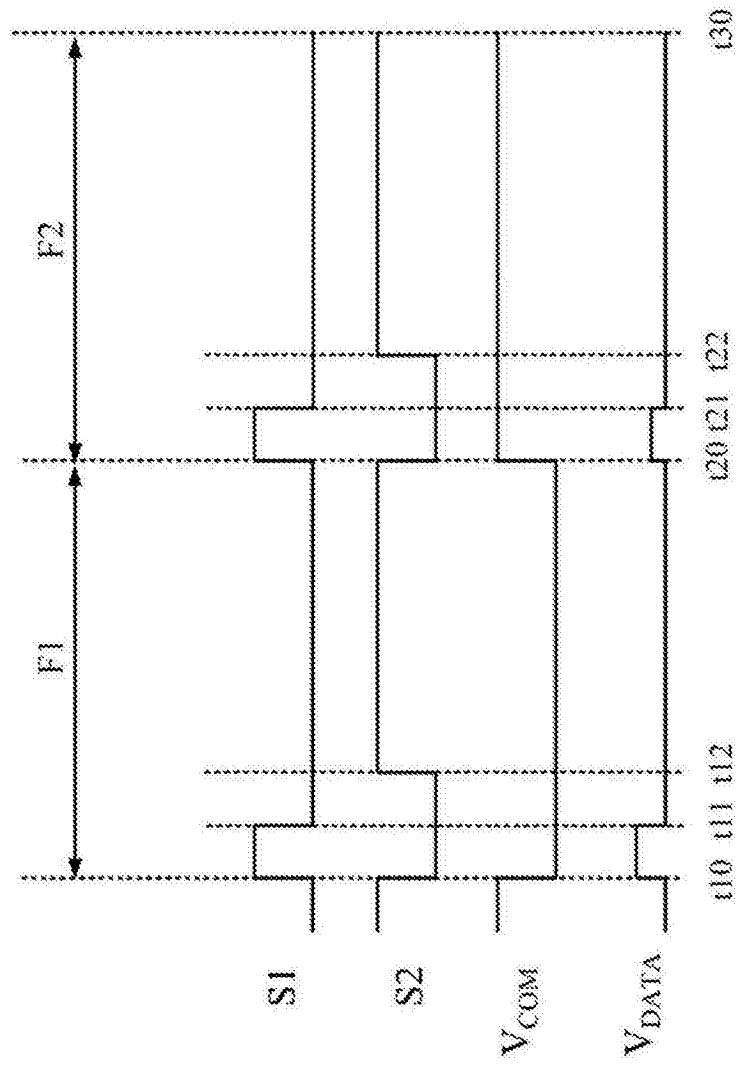


图1B

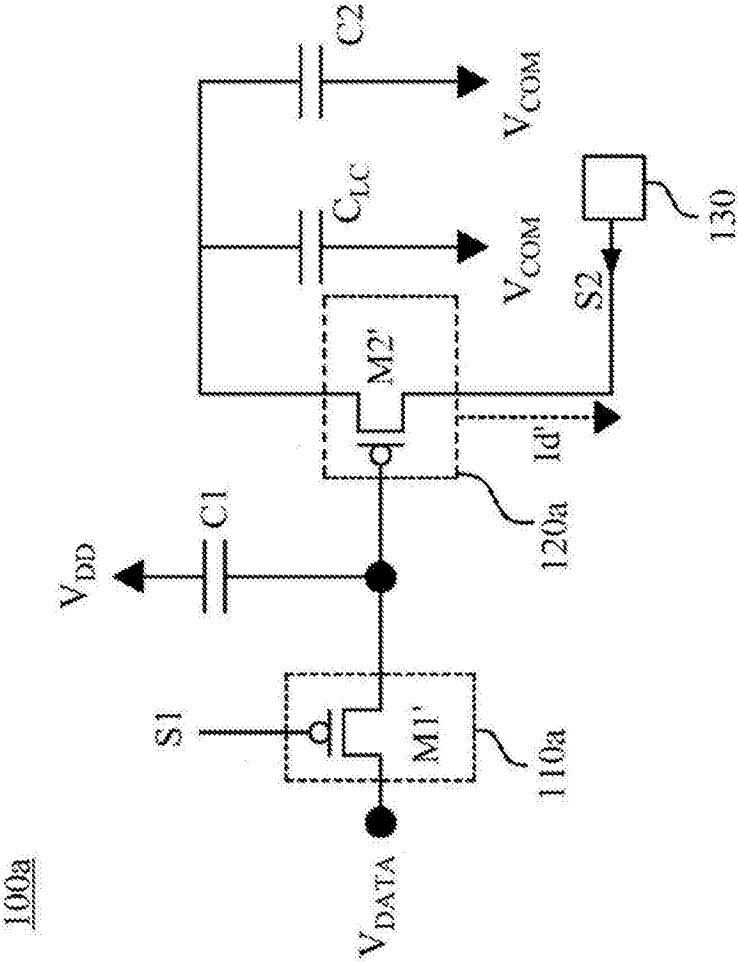


图1C

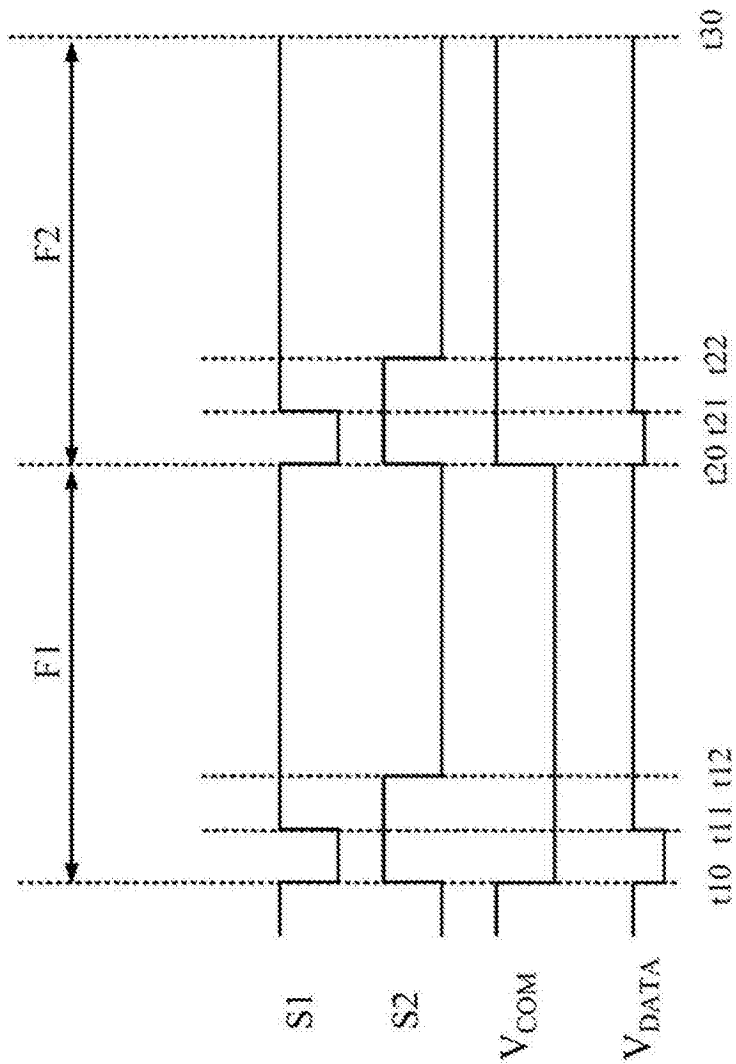


图1D

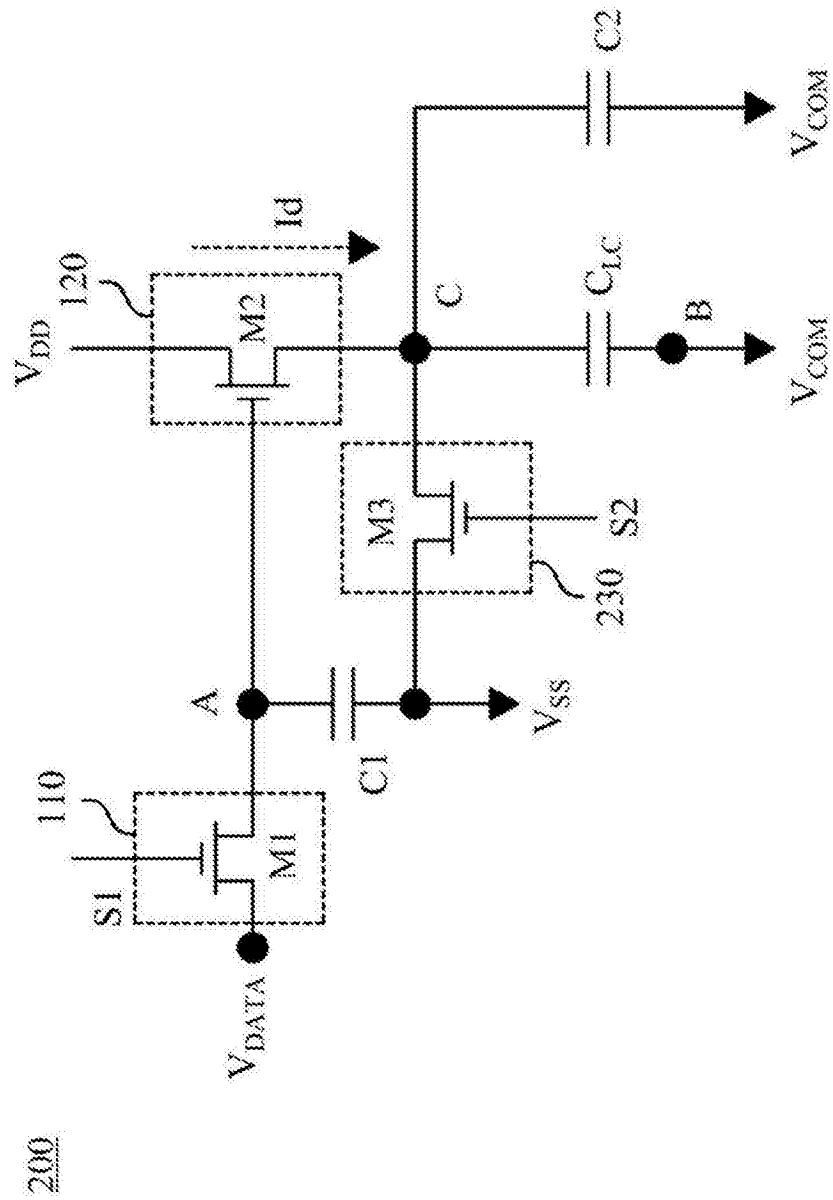


图2A

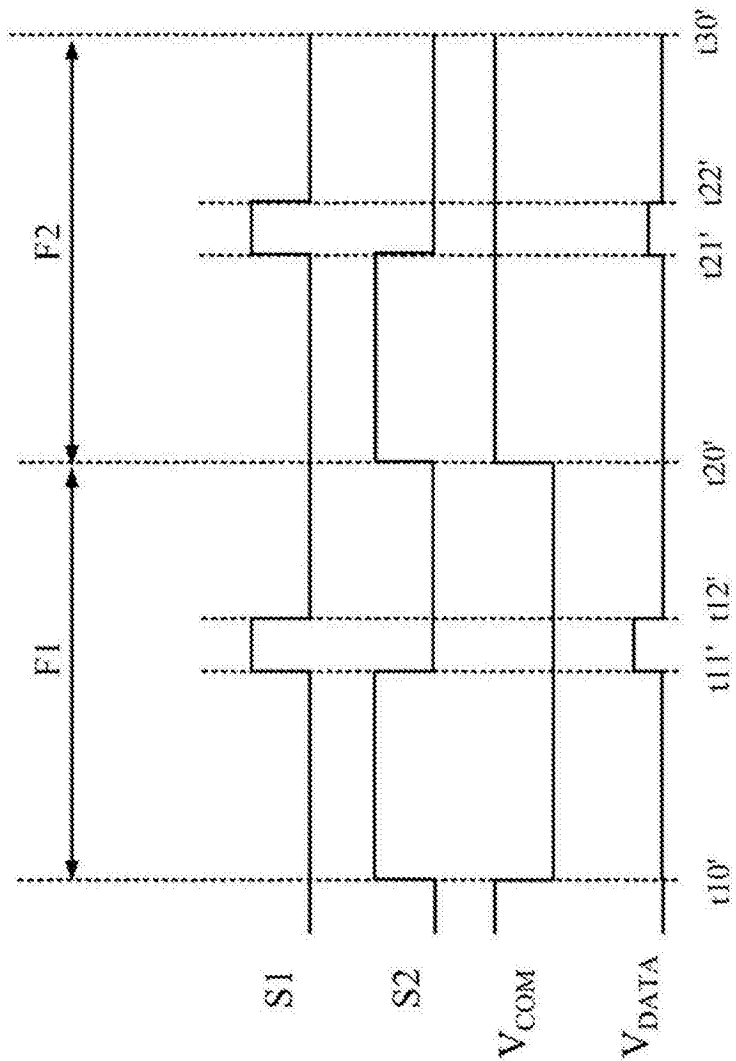


图2B

200a

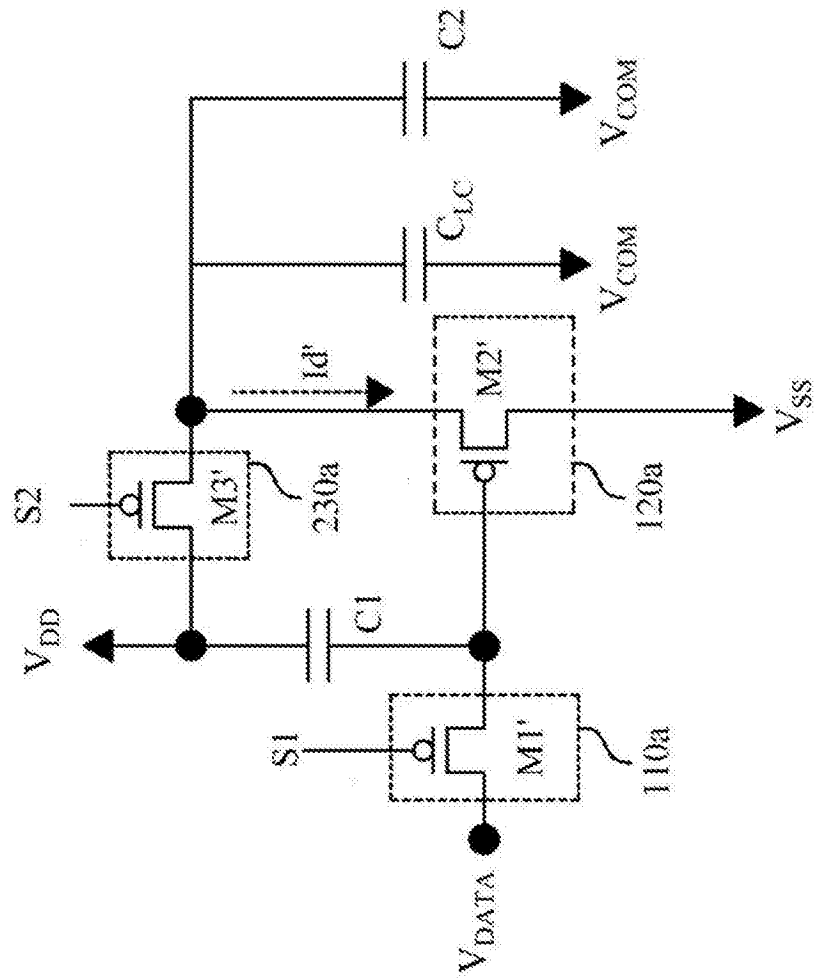


图2C

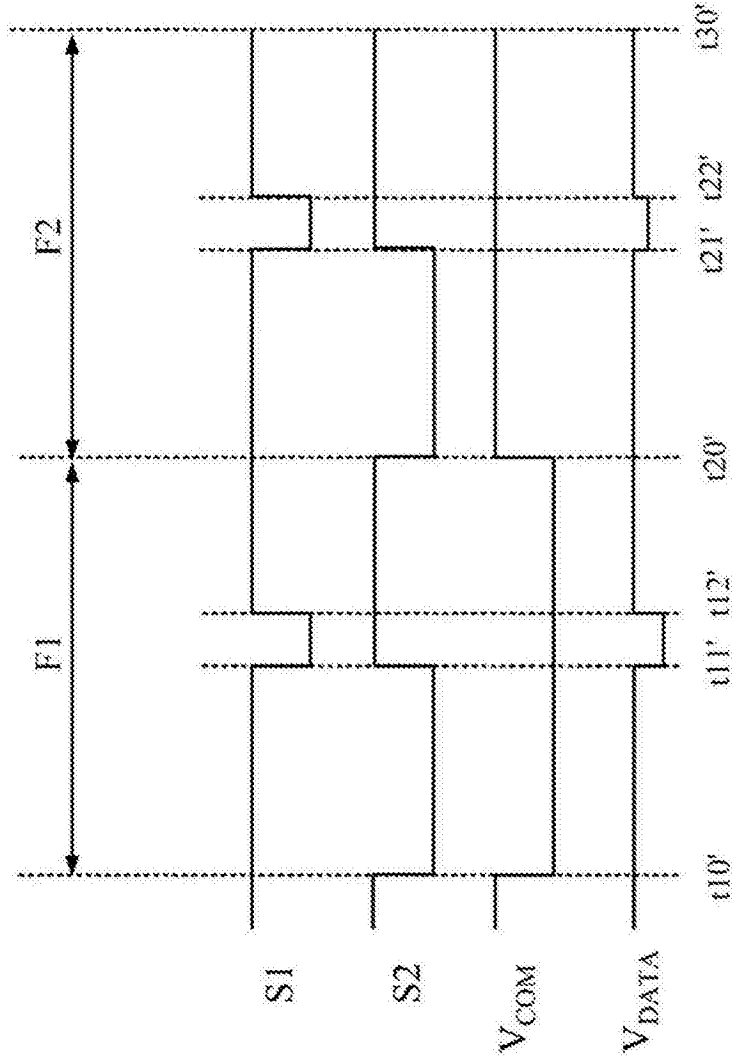


图2D

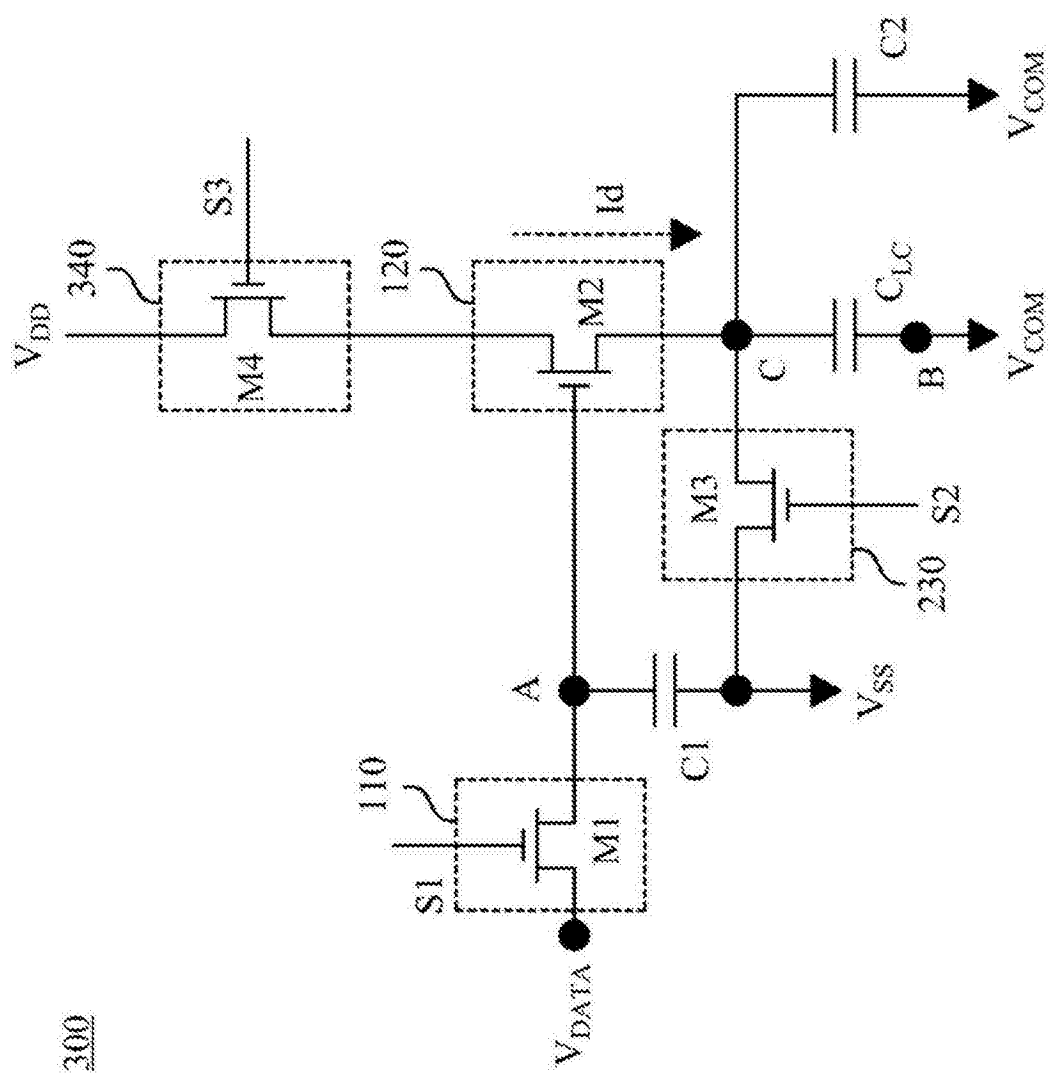


图3A

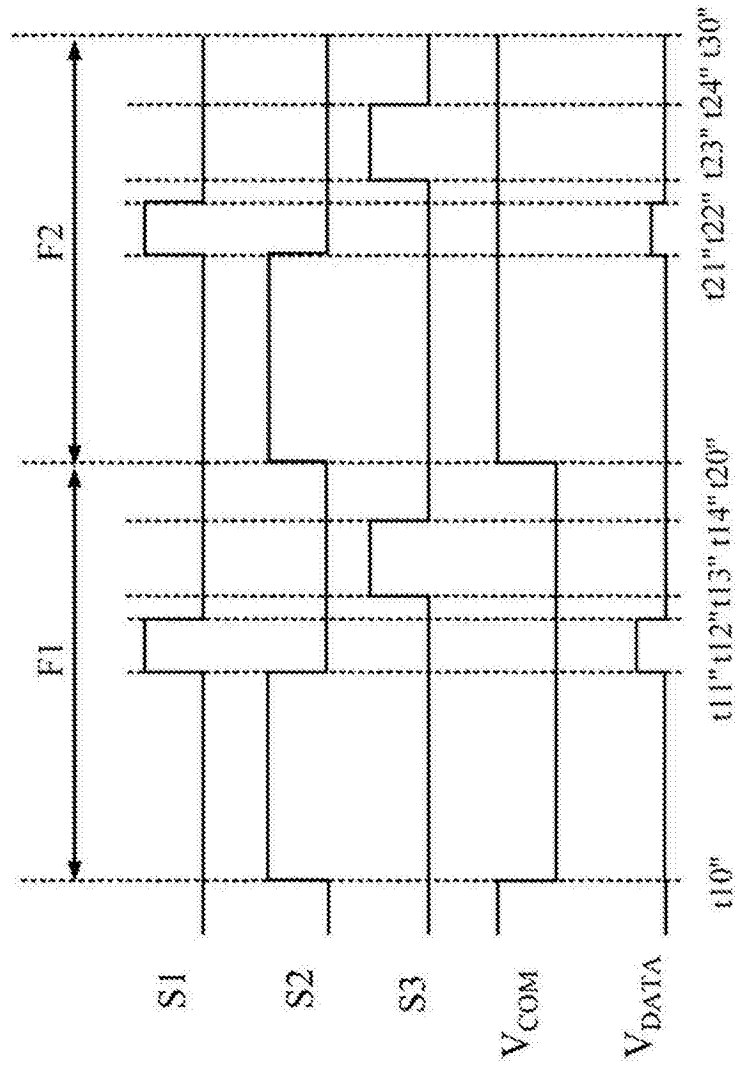


图3B

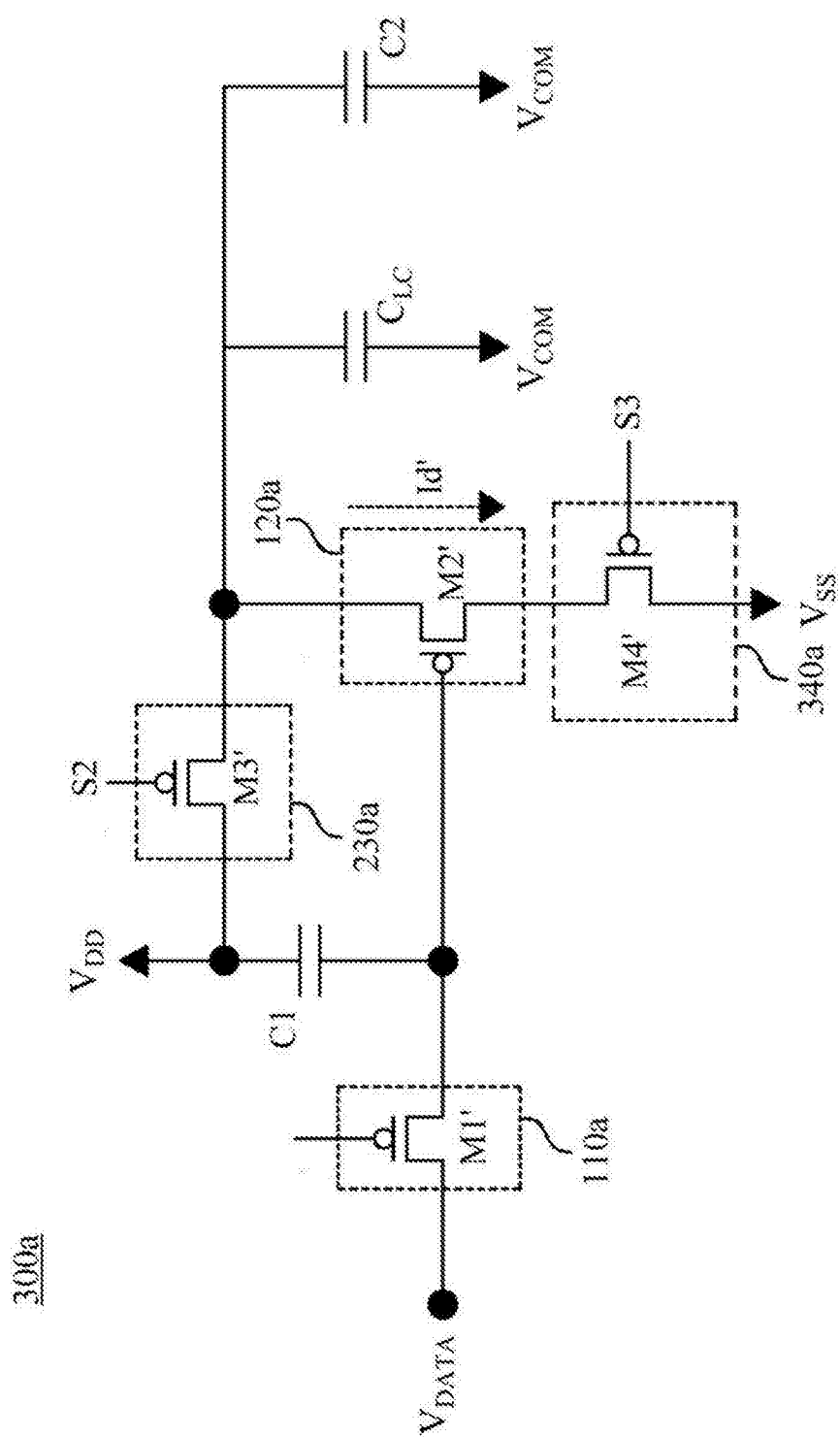


图3C

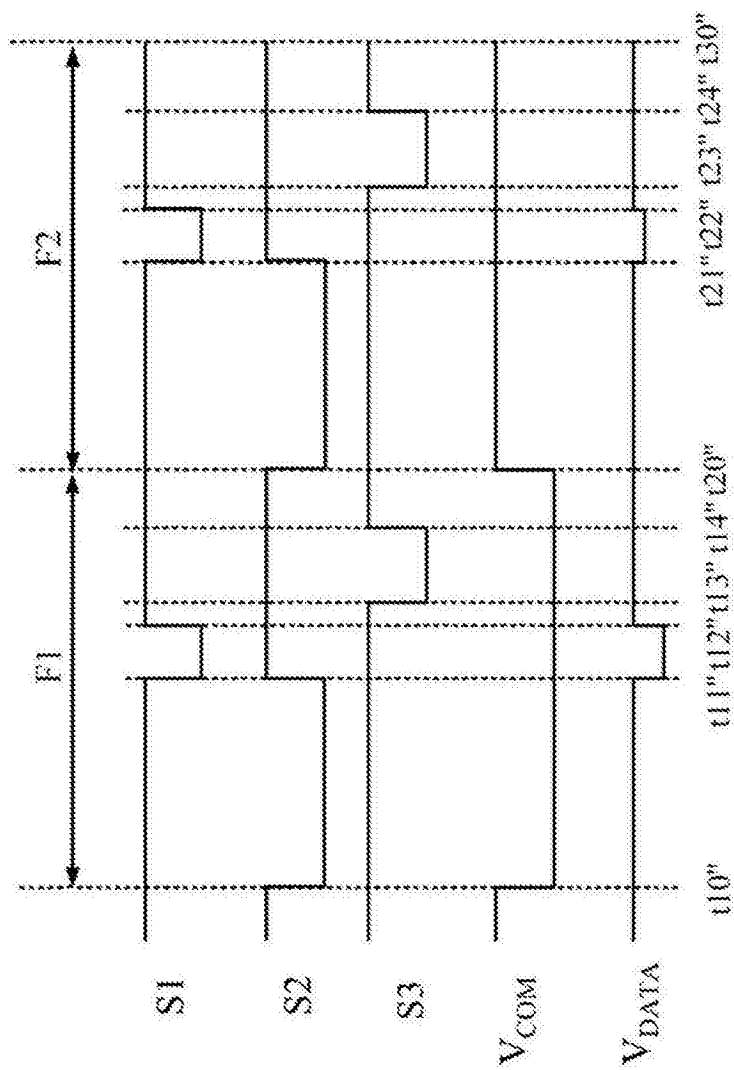


图3D

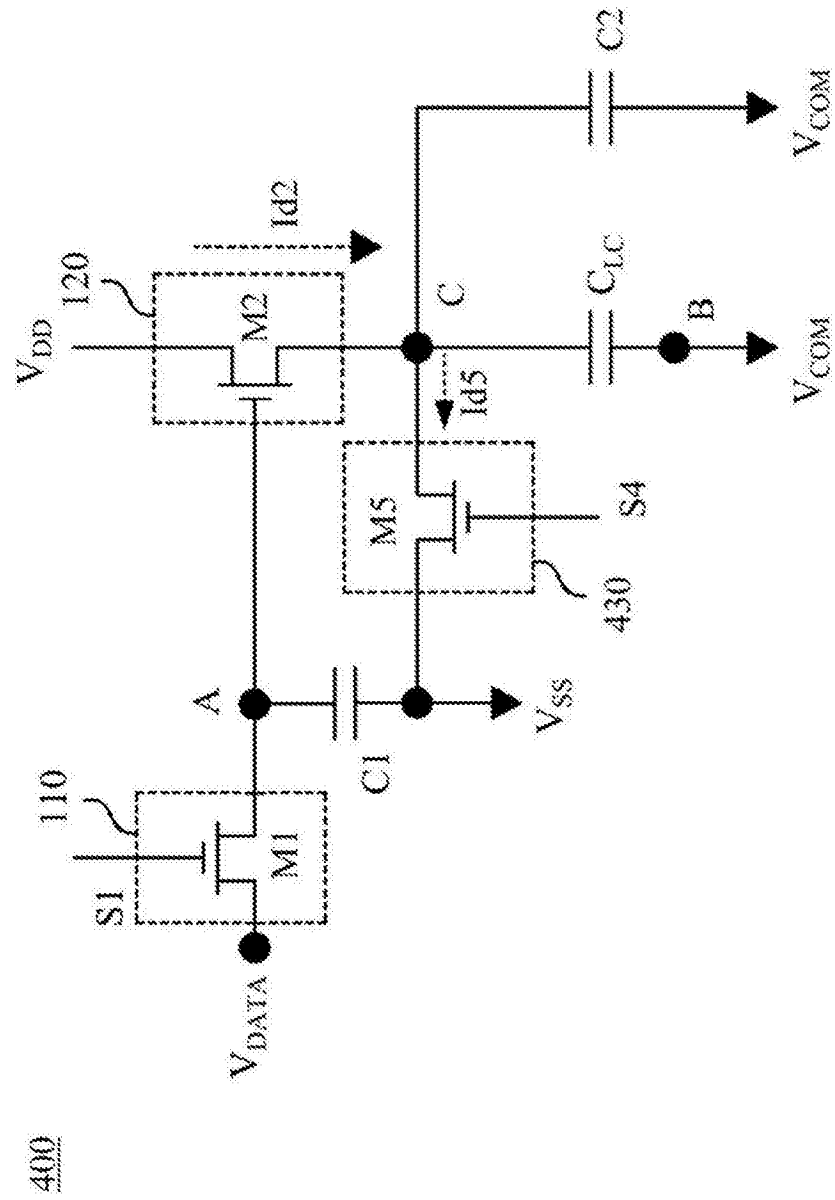


图4A

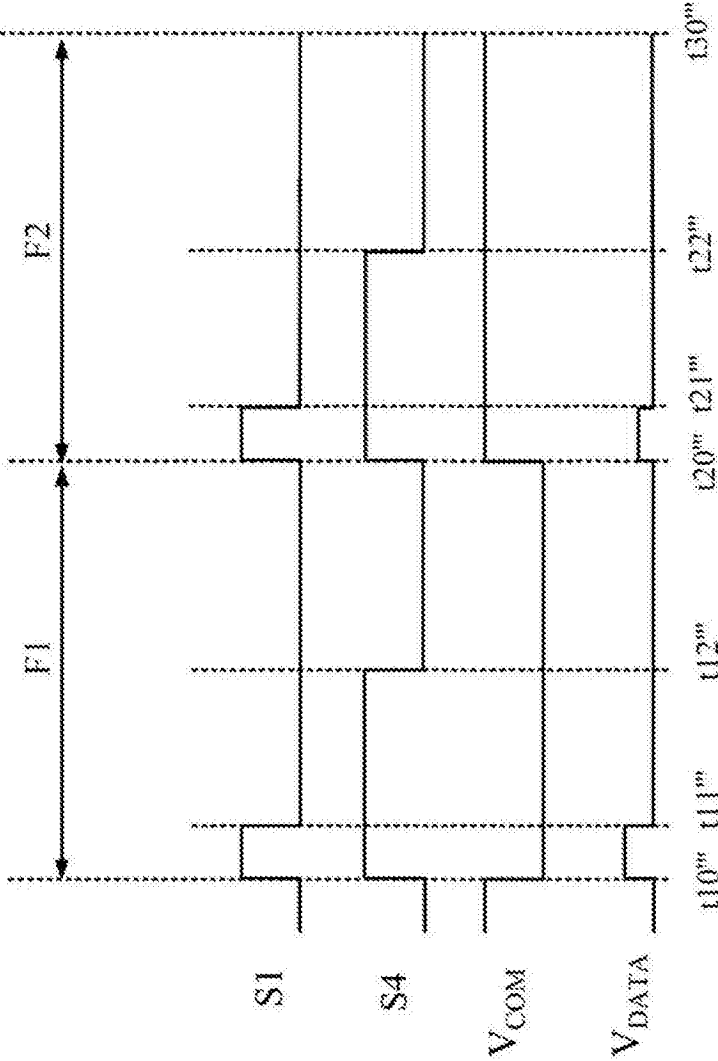


图4B

500a

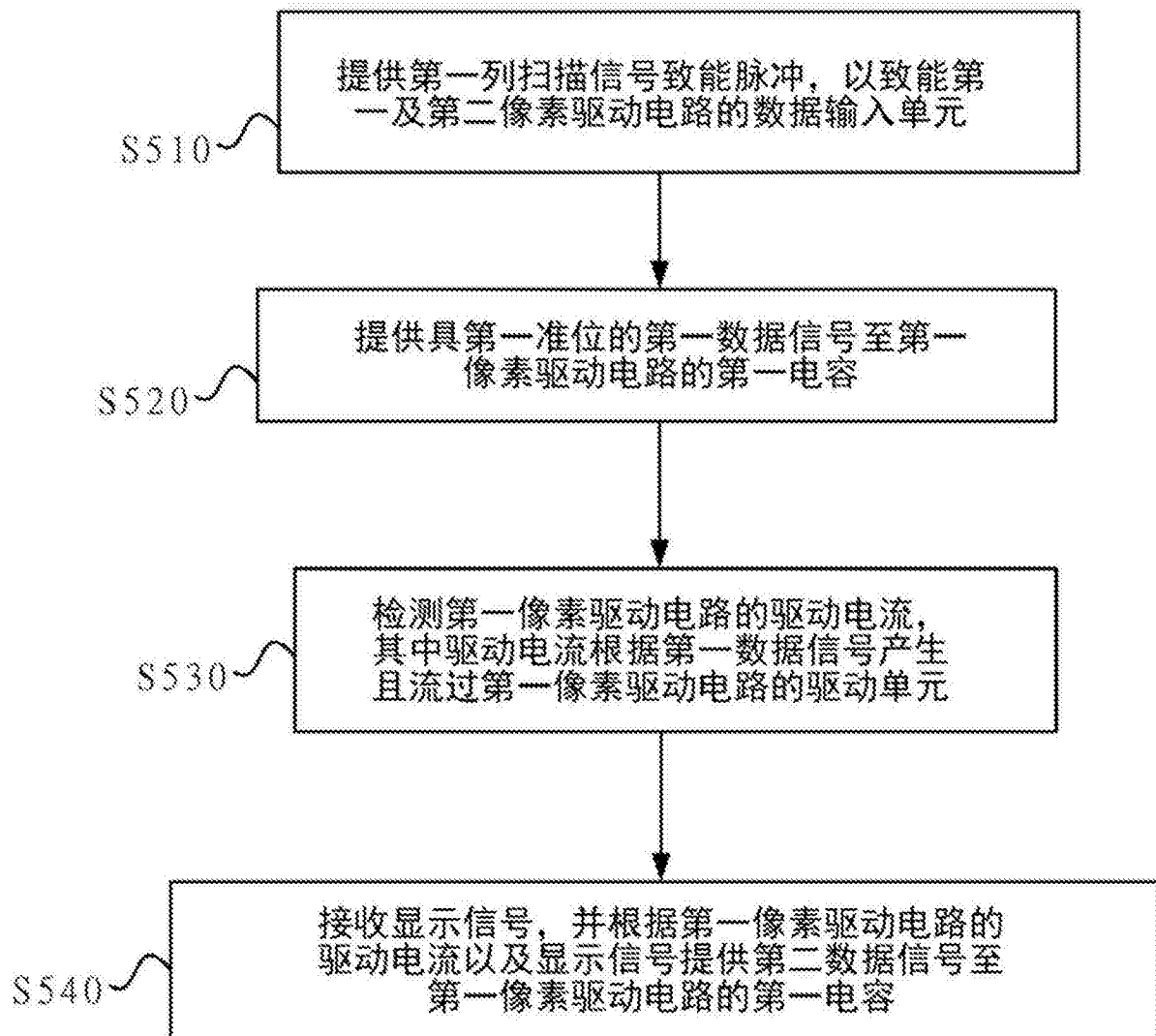


图5A

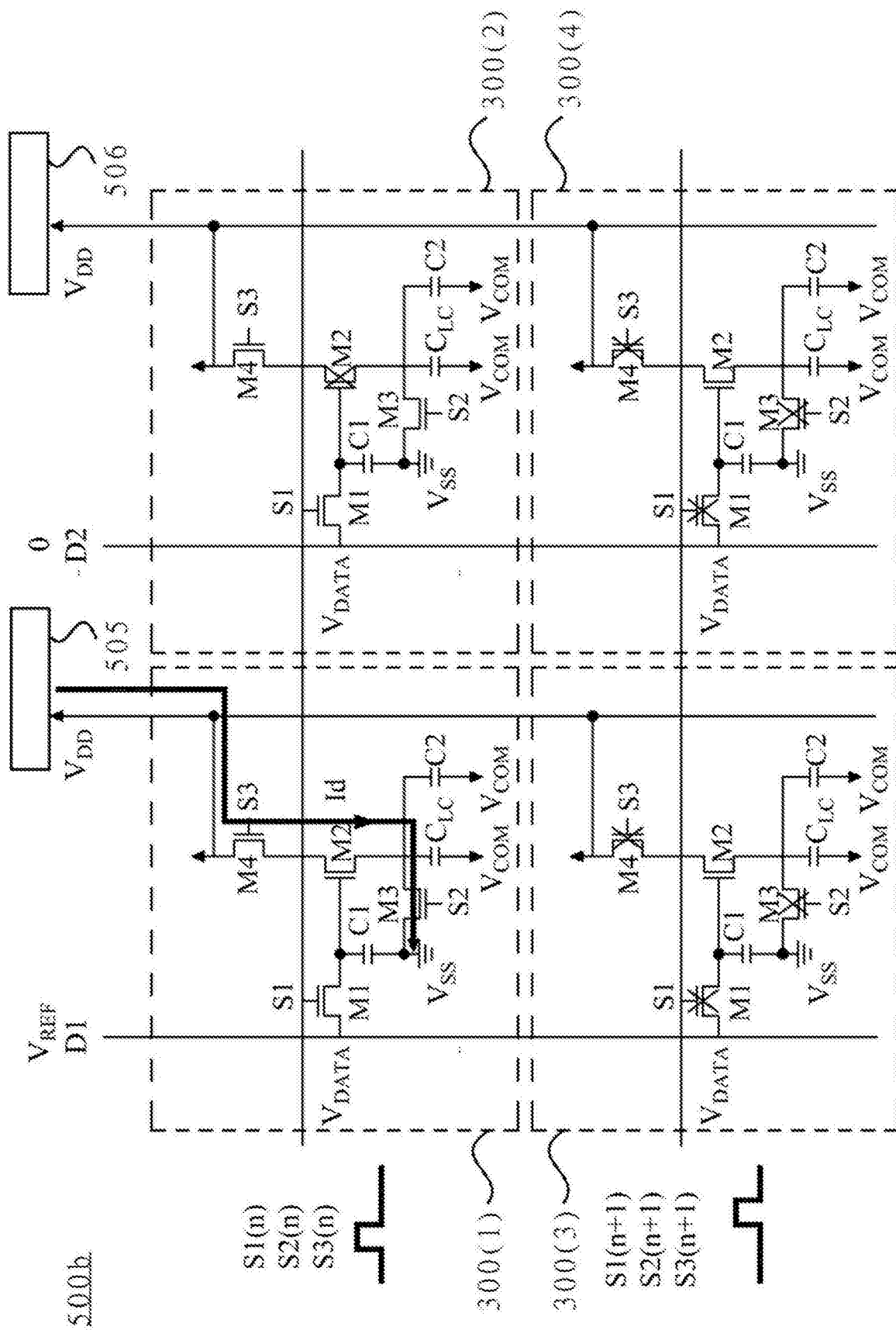


图5B

专利名称(译)	像素驱动电路及其驱动方法		
公开(公告)号	CN105679264A	公开(公告)日	2016-06-15
申请号	CN201610107183.6	申请日	2016-02-26
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	洪嘉泽 小泽德郎 谢嘉定 曾柏翔 郭家玮 林志隆		
发明人	洪嘉泽 小泽德郎 谢嘉定 曾柏翔 郭家玮 林志隆		
IPC分类号	G09G3/36 G02F1/1362		
CPC分类号	G09G3/3659 G09G3/3677 G09G3/3688 G09G2300/0819 G09G2310/0202 G09G2310/061 G09G2310/063 G09G3/36 G02F1/136213		
优先权	104139731 2015-11-27 TW		
其他公开文献	CN105679264B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素驱动电路及其驱动方法，该像素驱动电路包含第一电容、数据输入单元、液晶电容、控制单元以及驱动单元。第一电容具有第一端用以接收第一参考电压、以及第二端。数据输入单元用以根据第一扫描信号将数据信号输入至第一电容的第二端。液晶电容具有第一端用以接收第一操作信号、以及第二端。控制单元用以根据第二扫描信号控制液晶电容的第二端电压。当第一扫描信号禁能数据输入单元后，驱动单元用以根据数据信号控制液晶电容的第二端的电压。

