



(12) 发明专利申请

(10) 申请公布号 CN 104485079 A

(43) 申请公布日 2015. 04. 01

(21) 申请号 201410851563. 1

(22) 申请日 2014. 12. 31

(71) 申请人 深圳市华星光电技术有限公司
地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 肖军城

(74) 专利代理机构 深圳翼盛智成知识产权事务所 (普通合伙) 44300

代理人 黄威

(51) Int. Cl.
G09G 3/36(2006. 01)

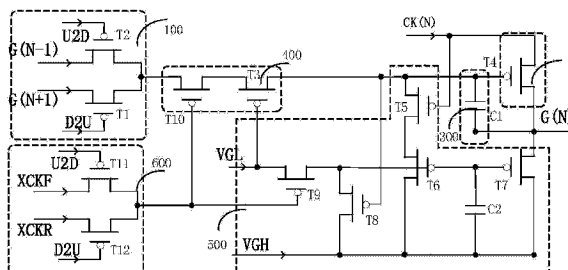
权利要求书3页 说明书7页 附图6页

(54) 发明名称

用于液晶显示装置的 GOA 电路

(57) 摘要

本发明公开一种用于液晶显示装置的阵列基板行扫描驱动 (Gate Driver On Array ;GOA) 电路, 所述液晶显示装置包括多条扫描线, 所述 GOA 电路包含级联的多个移位缓存单元。第 N 级移位缓存单元控制对第 N 级扫描线充电。该第 N 级移位缓存单元包括正反向扫描控制电路、上拉电路、自举电容电路、栅极信号点漏电防治电路及下拉维持电路。所述自举电容电路、所述栅极信号点漏电防治电路及所述下拉维持电路共同连接构成一栅极信号点用以提高所述栅极信号点的稳定性以及减少开关的使用。



1. 一种用于液晶显示装置的 GOA 电路,其特征在于,所述液晶显示装置包括多条扫描线,所述 GOA 电路包含级联的多个移位缓存单元,其中第 N 级移位缓存单元控制对第 N 级扫描线 (G(N)) 充电,其特征在于,所述第 N 级移位缓存单元包括:

下拉维持电路 (500),连接所述第 N 级扫描线 (G(N));自举电容电路 (300),连接所述下拉维持电路 (500);栅极信号点 (Q) 漏电防治电路 (400),连接所述自举电容电路 (300);正反向扫描控制电路 (100),连接所述栅极信号点 ((Q)) 漏电防治电路;及上拉电路 (200),连接所述自举电容电路 (300);

其中所述自举电容电路 (300)、所述栅极信号点 (Q) 漏电防治电路 (400) 及所述下拉维持电路 (500) 共同连接构成一栅极信号点 (Q(N));

所述所述上拉电路 (200)、所述自举电容电路 (300) 及所述栅极信号点 (Q) 漏电防治电路 (400) 分别与所述第 N 级扫描线 (G(N)) 连接;

所述正反向扫描控制电路 (100) 分别与第 N-1 级扫描线 (G(N-1)) 以及第 N+1 级扫描线 (G(N+1)) 连接;

所述下拉维持电路 (500) 包括:

第一开关 (T9),其控制端连接所述栅极信号点 (Q) 漏电防治电路 (400),其输出端连接第一电路点 (P(N));第二开关 (T8),其控制端连接栅极信号点 (Q(N)),其输出端连接所述第一电路点 (P(N));

第三开关 (T7),其控制端连接所述第一电路点 (P(N)),其输入端连接高恒压源 (VGH),其输出端连接所述第 N 级扫描线 (G(N));

第四开关 (T6),其控制端连接所述第一电路点 (P(N)),其输入端连接所述高恒压源 (VGH);

第五开关 (T5),其控制端接收第 N 级的第一时钟信号 ((CK(N)),其输入端连接所述第四开关 (T6) 的输出端,其输出端连接所述栅极信号点 (Q(N));及

第一电容 (C2),其两端分别连接所述高恒压源 (VGH) 及所述第一电路点 (P(N))。

2. 如权利要求 1 所述的用于液晶显示装置的 GOA 电路,其特征在于,所述正反向扫描控制电路 (100) 包括:

第六开关 (T1),其控制端接收下传控制信号 (U2D),其输入端连接所述第 N-1 级扫描线 (G(N-1)),其输出端连接所述栅极信号点 (Q) 漏电防治电路 (400);及

第七开关 (T2),其控制端接收上传控制信号 (D2U),其输入端连接所述第 N+1 级扫描线 (G(N+1)),其输出端与所述第五开关 (T1) 的输出端及所述栅极信号点 (Q) 漏电防治电路 (400) 共同连接。

3. 如权利要求 2 所述的用于液晶显示装置的 GOA 电路,其特征在于,所述栅极信号点 (Q) 漏电防治电路 (400) 包括:

第九开关 (T3),其控制端与所述第一开关 (T9) 的控制端及所述第一开关 (T9) 的输入端共同连接以接收第 N 级的第二时钟信号 ((XCK(N)),其输入端连接所述第六开关 (T1) 的输出端以及所述第七开关 (T2) 的输出端,其输出端连接所述栅极信号点 (Q(N))。

4. 如权利要求 3 所述的用于液晶显示装置的 GOA 电路,其特征在于,所述第 N 级的第二时钟信号 ((XCK(N)) 与所述第 N 级的第一时钟信号 ((CK(N)) 互为反向信号。

5. 如权利要求 2 所述的用于液晶显示装置的 GOA 电路,其特征在于,所述栅极信号点

(Q) 漏电防治电路 (400) 包括：

第九开关 (T3)，其控制端及所述第一开关 (T9) 的输入端分别连接低恒压源 (VGL)，输出端连接所述栅极信号点 (Q(N))；

第十开关 (T10)，其控制端连接所述第一开关 (T9) 的控制端连接，其输入端连接所述第六开关 (T1) 的输出端以及所述第七开关 (T2) 的输出端，其输出端连接所述第九开关 (T3) 的输入端。

6. 如权利要求 5 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述第十开关 (T10) 的控制端及所述第一开关 (T9) 的控制端共同连接以接收所述第 N 级的第二时钟信号 ((XCK(N)))。

7. 如权利要求 1 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述上拉电路 (200) 包括：

第八开关 (T4)，其控制端连接所述栅极信号点 (Q(N))，其输入端连接所述第 N 级的第一时钟信号 ((CK(N)))，其输出端连接所述第 N 级扫描线 (G(N))。

8. 如权利要求 1 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述自举电容电路 (300) 包括：

第二电容 (C1)，其两端分别连接所述栅极信号点 (Q(N)) 以及所述第 N 级扫描线 (G(N))。

9. 如权利要求 1 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述第二开关 (T8) 的输入端连接所述高恒压源 (VGH)。

10. 如权利要求 1 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述第 N 级移位缓存单元还包括下拉控制电路 (600)，所述下拉控制电路 (600) 包括：

第十一开关 (T11)，其控制端接收下传控制信号 (U2D)，

其输入端接收第二正向时钟信号 (XCKF)，其输出端连接所述下拉维持电路 (500) 与所述栅极信号点 (Q) 漏电防治电路 (400)；

第十二开关 (T12)，其控制端接收上传控制信号 (D2U)，其输入端接收第二反向时钟信号 (XCKR)，其输出端连接所述下拉维持电路 (500) 与所述栅极信号点 (Q) 漏电防治电路 (400)。

11. 如权利要求 10 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述第十一开关 (T11) 的输出端、所述第十二开关 (T12) 的输出端及所述第一开关 (T9) 的控制端共同连接。

12. 如权利要求 11 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述第二开关 (T8) 的输入端连接所述第一开关 (T9) 的控制端。

13. 如权利要求 11 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述下拉维持电路 (500) 进一步包括：

第十三开关 (T13)，其控制端连接所述栅极信号点 (Q(N))，其输入端连接所述第一开关 (T9) 的控制端，其输出端连接所述第一电路点 (P(N))。

14. 如权利要求 11 所述的用于液晶显示装置的 GOA 电路，其特征在于，所述下拉维持电路 (500) 进一步包括：

第十四开关 (T14)，其控制端接收第 N-1 级的第二时钟信号 ((XCK(N-1)))，其输入端连

接所述第四开关 (T6) 的输出端,其输出端连接所述栅极信号点 (Q(N))。

15. 如权利要求 11 所述的用于液晶显示装置的 GOA 电路,其特征在于,所述下拉维持电路 (500) 进一步包括:

第十四开关 (T14),其控制端接收第 N-2 级的第二时钟信号 (XCK(N-2)),其输入端连接所述第四开关 (T6) 的输出端,其输出端连接所述栅极信号点 (Q(N))。

16. 如权利要求 1-15 任一项所述的用于液晶显示装置的 GOA 电路,其特征在于,所述第一至第十四开关是 PMOS 晶体管。

用于液晶显示装置的 GOA 电路

【技术领域】

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种基于 LTPS(Low-Temperature Poly-Si)的 PMOS(P-channel Metal Oxide Semiconductor)用于液晶显示装置的 GOA(Gate Driver On Array,阵列基板行扫描驱动)电路。

【背景技术】

[0002] GOA,就是利用现有薄膜晶体管液晶显示器数组(Array)制程将栅极(Gate)行扫描驱动信号电路制作在数组基板上,实现对栅极逐行扫描的驱动方式的一项技术。

[0003] 随着低温多晶硅半导体(LTPS)薄膜晶体管(TFT)的发展,而且由于 LTPS 半导体本身超高载流子迁移率的特性,相应的面板周边集成电路,也就是 GOA 便成为大家关注的焦点,并且很多人投入到系统整合面板(System on Panel, SOP)的相关技术研究,并逐步成为现实,由于 LTPS 可以用离子布置技术调节 TFT 类型,可以选择 NMOS, PMOS 和 CMOS 的电路,但是 CMOS 和 NMOS 在光罩成本上较 PMOS 会大幅的提升,而且 CMOS 的电路结构过于复杂,很难做到超窄边框的设计,当针对小尺寸的显示装置时,这个显得尤为重要,PMOS 电路在成本上及电路结构上的优势,使其逐渐成为主流。再者,电路的信号使用和功耗考虑是 GOA 电路的重要考虑部分,所以在设计 LTPS 电路时必须考虑到此类问题,并且考虑到小尺寸产品的扫描特性,正反向扫描和正反向控制比较重要的前提下,一种基于 LTPS 的 PMOS 的 GOA 电路对于解决上述问题是有相当帮助的。

【发明内容】

[0004] 本发明的目的在于提供一种基于 LTPS 的 PMOS 的用于液晶显示装置 GOA 电路。

[0005] 为实现上述目的,本发明提供一种用于液晶显示装置的 GOA 电路,所述液晶显示装置包括多条扫描线,所述 GOA 电路包含级联的多个移位缓存单元。第 N 级移位缓存单元控制对第 N 级扫描线充电。该第 N 级移位缓存单元包括正反向扫描控制电路、上拉电路、自举电容电路、栅极信号点漏电防治电路及下拉维持电路。

[0006] 下拉维持电路连接所述第 N 级扫描线。自举电容电路连接所述下拉维持电路。栅极信号点漏电防治电路连接所述自举电容电路。正反向扫描控制电路连接所述栅极信号点漏电防治电路。上拉电路连接所述自举电容电路。

[0007] 所述自举电容电路、所述栅极信号点漏电防治电路及所述下拉维持电路共同连接构成一栅极信号点。

[0008] 所述上拉电路、所述自举电容电路及所述栅极信号点漏电防治电路分别与所述第 N 级扫描线连接。所述正反向扫描控制电路分别与第 N-1 级扫描线以及第 N+1 级扫描线连接。

[0009] 所述下拉维持电路包括:第一开关,其控制端连接所述栅极信号点漏电防治电路,其输出端连接第一电路点。第二开关,其控制端连接栅极信号点,其输出端连接所述第一电路点。第三开关,其控制端连接所述第一电路点,其输入端连接高恒压源,其输出端连

接所述第 N 级扫描线。第四开关,其控制端连接所述第一电路点,其输入端连接所述高恒压源。第五开关,其控制端接收第 N 级的第一时钟信号,其输入端连接所述第四开关的输出端,其输出端连接所述栅极信号点。第一电容,其两端分别连接所述高恒压源及所述第一电路点。

[0010] 在一实施例中,所述正反向扫描控制电路包括:

[0011] 第六开关,其控制端接收下传控制信号,其输入端连接所述第 N-1 级扫描线,其输出端连接所述栅极信号点漏电防治电路。

[0012] 第七开关,其控制端接收上传控制信号,其输入端连接所述第 N+1 级扫描线,其输出端与所述第五开关的输出端及所述栅极信号点漏电防治电路共同连接。

[0013] 在一实施例中,所述栅极信号点漏电防治电路包括:

[0014] 第九开关,其控制端与所述第一开关的控制端及所述第一开关的输入端共同连接以接收第 N 级的第二时钟信号,其输入端连接所述第六开关的输出端以及所述第七开关的输出端,其输出端连接所述栅极信号点。

[0015] 在一实施例中,所述栅极信号点漏电防治电路包括:

[0016] 第九开关,其控制端及所述第一开关的输入端分别连接

[0017] 低恒压源,输出端连接所述栅极信号点。

[0018] 第十开关,其控制端连接所述第一开关的控制端连接,其输入端连接所述第六开关的输出端以及所述第七开关的输出端,其输出端连接所述第九开关的输入端。

[0019] 在一实施例中,所述第十开关的控制端及所述第一开关的控制端共同连接以接收所述第 N 级的第二时钟信号。

[0020] 在一实施例中,所述上拉电路包括:

[0021] 第八开关,其控制端连接所述栅极信号点,其输入端连接所述第 N 级的第一时钟信号,其输出端连接所述第 N 级扫描线。

[0022] 在一实施例中,所述自举电容电路包括:

[0023] 第二电容,其两端分别连接所述栅极信号点以及所述第 N 级扫描线。

[0024] 在一实施例中,所述第二开关的输入端连接所述高恒压源。

[0025] 在一实施例中,所述第 N 级移位缓存单元还包括下拉控制电路,所述下拉控制电路包括:

[0026] 第十一开关,其控制端接收下传控制信号,其输入端接收第二正向时钟信号,其输出端连接所述下拉维持电路与所述栅极信号点漏电防治电路。

[0027] 第十二开关,其控制端接收上传控制信号,其输入端接收第二反向时钟信号,其输出端连接所述下拉维持电路与所述栅极信号点漏电防治电路。

[0028] 在一实施例中,所述第十一开关的输出端、所述第十二开关的输出端及所述第一开关的控制端共同连接。

[0029] 在一实施例中,所述第二开关的输入端连接所述第一开关的控制端。

[0030] 在一实施例中,所述下拉维持电路进一步包括:

[0031] 第十三开关,其控制端连接所述栅极信号点,其输入端连接所述第一开关的控制端,其输出端连接所述第一电路点。

[0032] 在一实施例中,所述下拉维持电路进一步包括:

[0033] 第十四开关,其控制端接收第 N-1 级的第二时钟信号,其输入端连接所述第四开关的输出端,其输出端连接所述栅极信号点。

[0034] 在一实施例中,所述下拉维持电路进一步包括:

[0035] 第十四开关,其控制端接收第 N-2 级的第二时钟信号,其输入端连接所述第四开关的输出端,其输出端连接所述栅极信号点。

[0036] 在一实施例中,所述第 N 级的第二时钟信号与所述第 N 级的第一时钟信号互为反向信号。

[0037] 在一实施例中,所述第一至第十四开关是 PMOS 晶体管。通过本发明的上述技术方案,产生的有益技术效果在于:

[0038] 1. 基于 LTPS 的 PMOS GOA 电路设计。

[0039] 2. 具备正反向扫描和正反向控制的功能,能够保证显示装置的各种驱动形式,保证电路长时间操作的稳定性。

[0040] 3. 通过所述第一时钟信号和所述第二时钟信号及所述第一电容搭配,实现所述栅极信号点和所述第 N 级扫描线的下拉维持功能。通过这样完美的组合,减少了电路中信号线的使用和开关的数量。同时通过所述第二开关的输入端及所述第十二开关的输入端的连接,改善下拉维持电路的功能。

[0041] 4. 使用一个直流的低电位,用于非作用期间的所述第一电路点的维持,保证所述栅极信号点和所述第 N 级扫描线的纹波 (Ripple) 的消除。

[0042] 5. 透过设置常开的所述第九开关来调节电路漏电,达到稳定电路的功效。

【附图说明】

[0043] 图 1 为本发明的第一优选实施例的 GOA 的电路示意图。

[0044] 图 2 为本发明的第二优选实施例的 GOA 的电路示意图。

[0045] 图 3 为本发明的第三优选实施例的 GOA 的电路示意图。

[0046] 图 4 为本发明的第四优选实施例的 GOA 的电路示意图。

[0047] 图 5 为本发明的第五优选实施例的 GOA 的电路示意图。

[0048] 图 6 为本发明的第六优选实施例的 GOA 的电路示意图。

[0049] 图 7 为本发明的第七优选实施例的 GOA 的电路示意图。

[0050] 图 8 为图 1 至图 5 中的 GOA 电路在反向扫描时的信号的波形示意图。

[0051] 图 9 为图 1 至图 5 中的 GOA 电路在正向扫描时的信号的波形示意图。

[0052] 图 10 为图 6 至图 7 中的 GOA 电路在反向扫描时的信号的波形示意图。

[0053] 图 11 为图 6 至图 7 中的 GOA 电路在正向扫描时的信号的波形示意图。

【具体实施方式】

[0054] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0055] 图 1 为本发明的第一优选实施例的 GOA 的电路示意图。所述 GOA 电路用于液晶显

示装置,所述液晶显示装置包括多条扫描线,所述 GOA 电路包含级联的多个移位缓存单元。第 N 级移位缓存单元控制对第 N 级扫描线充电。该第 N 级移位缓存单元包括正反向扫描控制电路 (100)、上拉电路 (200)、自举电容电路 (300)、栅极信号点 (Q) 漏电防治电路 (400) 及下拉维持电路 (500)。

[0056] 下拉维持电路 (500) 连接所述第 N 级扫描线 (G(N))。自举电容电路 (300) 连接所述下拉维持电路 (500)。栅极信号点 (Q) 漏电防治电路 (400) 连接所述自举电容电路 (300)。正反向扫描控制电路 (100) 连接所述栅极信号点 ((Q)) 漏电防治电路。上拉电路 (200) 连接所述自举电容电路 (300)。

[0057] 所述自举电容电路 (300)、所述栅极信号点 (Q) 漏电防治电路 (400) 及所述下拉维持电路 (500) 共同连接构成一栅极信号点 (Q(N))。

[0058] 所述所述上拉电路 (200)、所述自举电容电路 (300) 及所述栅极信号点 (Q) 漏电防治电路 (400) 分别与所述第 N 级扫描线 (G(N)) 连接。所述正反向扫描控制电路 (100) 分别与第 N-1 级扫描线 (G(N-1)) 以及第 N+1 级扫描线 (G(N+1)) 连接。

[0059] 所述下拉维持电路 (500) 包括:第一开关 (T9),其控制端端连接所述栅极信号点 (Q) 漏电防治电路 (400),其输出端连接第一电路点 (P(N))。第二开关 (T8),其控制端连接栅极信号点 (Q(N)),其输出端连接所述第一电路点 (P(N))。所述第二开关 (T8) 的输入端连接所述高恒压源 (VGH)。第三开关 (T7),其控制端连接所述第一电路点 (P(N)),其输入端连接高恒压源 (VGH),其输出端连接所述第 N 级扫描线 (G(N))。第四开关 (T6),其控制端连接所述第一电路点 (P(N)),其输入端连接所述高恒压源 (VGH)。第五开关 (T5),其控制端接收第 N 级的第一时钟信号 ((CK(N)),其输入端连接所述第四开关 (T6) 的输出端,其输出端连接所述栅极信号点 (Q(N))。第一电容 (C2),其两端分别连接所述高恒压源 (VGH) 及所述第一电路点 (P(N))。

[0060] 所述正反向扫描控制电路 (100) 包括第六开关 (T1) 及第七开关 (T2)。所述第六开关 (T1),其控制端接收下传控制信号 (U2D),其输入端连接所述第 N-1 级扫描线 (G(N-1)),其输出端连接所述栅极信号点 (Q) 漏电防治电路 (400)。所述第七开关 (T2),其控制端接收上传控制信号 (D2U),其输入端连接所述第 N+1 级扫描线 (G(N+1)),其输出端与所述第五开关 (T1) 的输出端及所述栅极信号点 (Q) 漏电防治电路 (400) 共同连接。所述正反向扫描控制电路 (100) 负责所述 GOA 电路的正反向扫描以及上拉信号的控制,在电路内部负责电路的级间传递。

[0061] 所述栅极信号点 (Q) 漏电防治电路 (400) 包括第九开关 (T3),所述第九开关 (T3) 的控制端与所述第一开关 (T9) 的控制端及输入端共同连接以接收第 N 级的第二时钟信号 ((XCK(N))。第九开关 (T3) 的输入端连接所述第六开关 (T1) 的输出端以及所述第七开关 (T2) 的输出端,其输出端连接所述栅极信号点 (Q(N))。所述栅极信号点 (Q) 漏电防治电路 (400) 负责防止所述栅极信号点 (Q(N)) 电位漏电的问题,同时非作用期间,调节所述栅极信号点 (Q(N)) 的电位。

[0062] 所述上拉电路 (200) 包括第八开关 (T4),其控制端连接所述栅极信号点 (Q(N)),其输入端连接所述第 N 级的第一时钟信号 ((CK(N)),其输出端连接所述第 N 级扫描线 (G(N))。所述上拉电路 (200) 负责所述第 N 级的第一时钟信号 ((CK(N)) 输出,将合理控制所述栅极信号点 (Q(N)) 电位后,有效的输出所需要的所述第 N 级扫描线 (G(N)) 的信号。

[0063] 所述自举电容电路 (300) 包括第二电容 (C1), 其两端分别连接所述栅极信号点 (Q(N)) 以及所述第 N 级扫描线 (G(N))。所述自举电容电路 (300) 负责电路所述栅极信号点 (Q(N)) 的电位抬升, 保证所述第 N 级的第一时钟信号 ((CK(N)) 的顺利输出, 所述栅极信号点 (Q(N)) 的电位处理是所述 GOA 电路的关键, 将直接决定电路的性能和面板的显示。

[0064] 在本优选实施例中, 通过第 N 级的第一时钟信号 ((CK(N)) 及第 N 级的第二时钟信号 ((XCK(N)) 负责所述 GOA 电路的下拉维持。

[0065] 图 2 为本发明的第二优选实施例的 GOA 的电路示意图。本优选实施例与第一优选实施例的区别在于: 所述栅极信号点 (Q) 漏电防治电路 (400) 还包括第十开关 (T10)。且所述第一开关 (T9)、所述第九开关 (T3) 连接的方式也不相同。所述第九开关 (T3), 其控制端及所述第一开关 (T9) 的输入端分别连接低恒压源 (VGL), 输出端连接所述栅极信号点 (Q(N))。所述第十开关 (T10), 其控制端连接所述第一开关 (T9) 的控制端连接, 其输入端连接所述第六开关 (T1) 的输出端以及所述第七开关 (T2) 的输出端, 其输出端连接所述第九开关 (T3) 的输入端。所述第一开关 (T9) 的输入端及所述第九开关 (T3) 共同连接至低恒压源 (VGL)。所述第十开关 (T10) 的控制端及所述第一开关 (T9) 的控制端共同连接以接收所述第 N 级的第二时钟信号 ((XCK(N))。

[0066] 本优选实施例中, 通过所述栅极信号点 (Q) 漏电防治电路 (400) 设置所述第十开关 (T10) 及改变部分电路, 进一步改善漏电问题及消除所述栅极信号点 (Q(N)) 的波形异常问题。

[0067] 图 3 为本发明的第三优选实施例的 GOA 的电路示意图。本优选实施例与第二优选实施例的区别在于: 所述第 N 级移位缓存单元还包括下拉控制电路 (600)。所述下拉控制电路 (600) 包括第十一开关 (T11) 及第十二开关 (T12)。第十一开关 (T11), 其控制端接收下拉控制信号 (U2D), 其输入端接收第二正向时钟信号 (XCKF), 其输出端连接所述下拉维持电路 (500) 与所述栅极信号点 (Q) 漏电防治电路 (400)。第十二开关 (T12), 其控制端接收上传控制信号 (D2U), 其输入端接收第二反向时钟信号 (XCKR), 其输出端连接所述下拉维持电路 (500) 与所述栅极信号点 (Q) 漏电防治电路 (400)。所述下拉控制电路 (600) 负责电路在维持阶段的下拉, 保持正反向的控制结构独立, 用于负责所述第 N 级扫描线 (G(N)) 的级连传递 (Cascade transfer)。

[0068] 在本优选实施例中, 所述下拉维持电路 (500) 采用一组互反的所述第 N 级的第一时钟信号 ((CK(N)) 和所述第 N 级的第二时钟信号 ((XCK(N)) 的信号进行作用, 所述第二正向时钟信号 (XCKF) 及所述第二反向时钟信号 (XCKR) 在第一阶段将所述低恒压源 (VGL) 引入到所述第四开关 (T6) 以及所述第三开关 (T7) 的控制端, 通过所述第一电容 (C2) 对低电位进行存储, 此时的所述第五开关 (T5) 处于关闭状态, 只有当所述第 N 级的第一时钟信号 ((CK(N)) 为低电位时, 所述第五开关 (T5), 所述第四开关 (T6) 形成通路, 对所述 GOA 电路的所述栅极信号点 (Q(N)) 下拉, 这样所述第二正向时钟信号 (XCKF) 及所述第二反向时钟信号 (XCKR) 和所述第一电容 (C2) 的配合, 可以很好的维持所述栅极信号点 (Q(N)) 和所述第 N 级扫描线 (G(N)) 的高电位, 保证所述 GOA 电路的正常输出。

[0069] 图 4 为本发明的第四优选实施例的 GOA 的电路示意图。本优选实施例与第三优选实施例的区别在于: 所述第二开关 (T8) 不连接所述高恒压源 (VGH), 而是连接所述第一开关 (T9) 的控制端。

[0070] 在本优选实施例中,在作用期间,将所述第二正向时钟信号(XCKP)及所述第二反向时钟信号(XCKR)的高电位引入所述第四开关(T6)以及所述第三开关(T7)的控制端,能够较好的关断所述第四开关(T6)以及所述第三开关(T7),避免漏电。

[0071] 图5为本发明的第五优选实施例的GOA的电路示意图。本优选实施例与第三优选实施例的区别在于:所述下拉维持电路(500)进一步包括:第十三开关(T13),其控制端连接所述栅极信号点(Q(N)),其输入端连接所述第一开关(T9)的控制端,其输出端连接所述第一电路点(P(N))。

[0072] 在本优选实施例中,增加所述第十三开关(T13),在电路输出期间,强化将所述第四开关(T6)以及所述第三开关(T7)的控制端拉到高电位的功用,进一步增强所述GOA的电路性能。

[0073] 图6为本发明的第六优选实施例的GOA的电路示意图。本优选实施例与第三优选实施例的区别在于:所述下拉维持电路(500)进一步包括:第十四开关(T14),其控制端接收第N-1级的第二时钟信号((XCK(N-1))),其输入端连接所述第四开关(T6)的输出端,其输出端连接所述栅极信号点(Q(N))。

[0074] 在本优选实施例中,增加所述第十四开关(T14),在电路输出期间,强化将所述第四开关(T6)以及所述第三开关(T7)的控制端拉到低电位的功用,进一步增强所述GOA的电路性能。保证下拉地的时间增长,增强下拉的功能。

[0075] 图7为本发明的第七优选实施例的GOA的电路示意图。本优选实施例与第六优选实施例的区别在于:所述第十四开关(T14)的控制端接收第N-2级的第二时钟信号((XCK(N-2)))。

[0076] 在本优选实施例中,因为第十四开关(T14)的控制端端的改进,在电路输出期间,强化将所述第四开关(T6)以及所述第三开关(T7)的控制端拉到低电位的功用,波形错开下拉,进一步增强所述GOA的电路性能。保证下拉地的时间增长,增强下拉的功能。

[0077] 图1至图8中,所述第一至第十四开关是PMOS TFT。其控制端指的是栅极,其输入端指的是源极、其输出端指的是漏极。

[0078] 参考图8及图9。图8为图1至图5中的GOA电路在反向扫描时的信号的波形示意图。图9为图1至图5中的GOA电路在正向扫描时的信号的波形示意图。上传控制信号(D2U)是反向扫描的控制信号,下传控制信号(U2D)是正向扫描的控制信号,分别负责正反向扫描功能的启动。

[0079] 第N级的第一时钟信号((CK(N)))和第N级的第二时钟信号((XCK(N)))负责所述GOA电路的信号输出,和所述栅极信号点(Q(N))的电位的下拉维持,是一组相反的Clock信号

[0080] 高恒压源(VGH)、低恒压源(VGL)为输入的恒压控制讯号,高恒压源(VGH)为高电位,低恒压源(VGL)为恒压低电位,其中要求负责提供所述GOA电路中的高低电位。其他则为所述GOA电路关键节点产生的输出讯号。

[0081] 参考图10及图11。图10为图6至图7中的GOA电路在反向扫描时的信号的波形示意图。图11为图6至图7中的GOA电路在正向扫描时的信号的波形示意图。上传控制信号(D2U)和下传控制信号(U2D)是正反向扫描的控制信号,负责正反向扫描功能的启动,用到四组信号,相应的第N级的第一时钟信号((CK(N)))和第N级的第二时钟信号((XCK(N)))

随着不同的电路技术顺序交错变化。

[0082] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

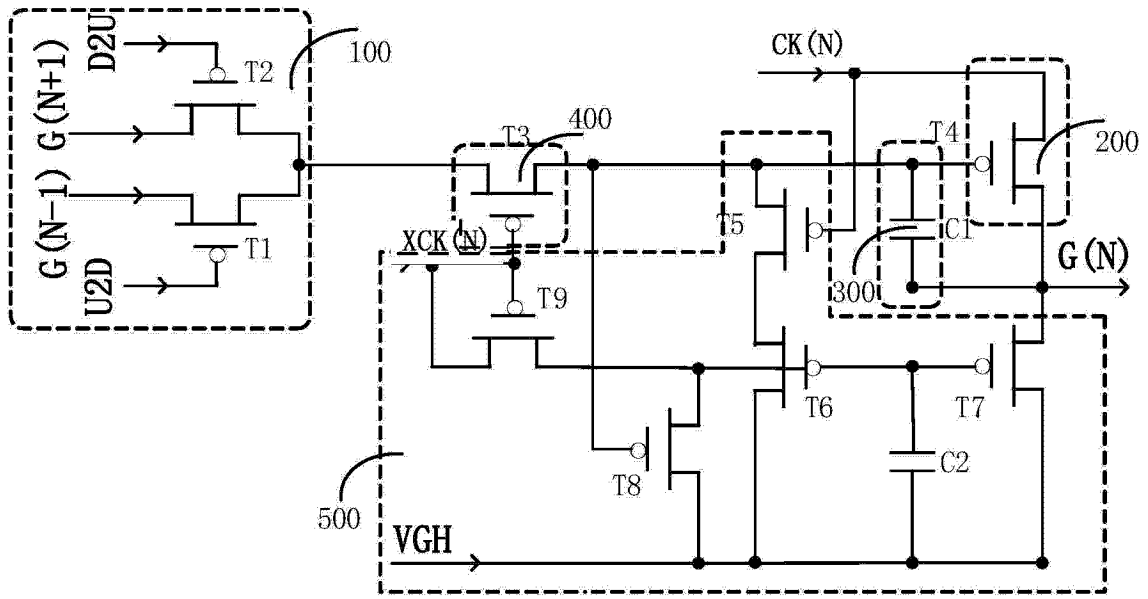


图 1

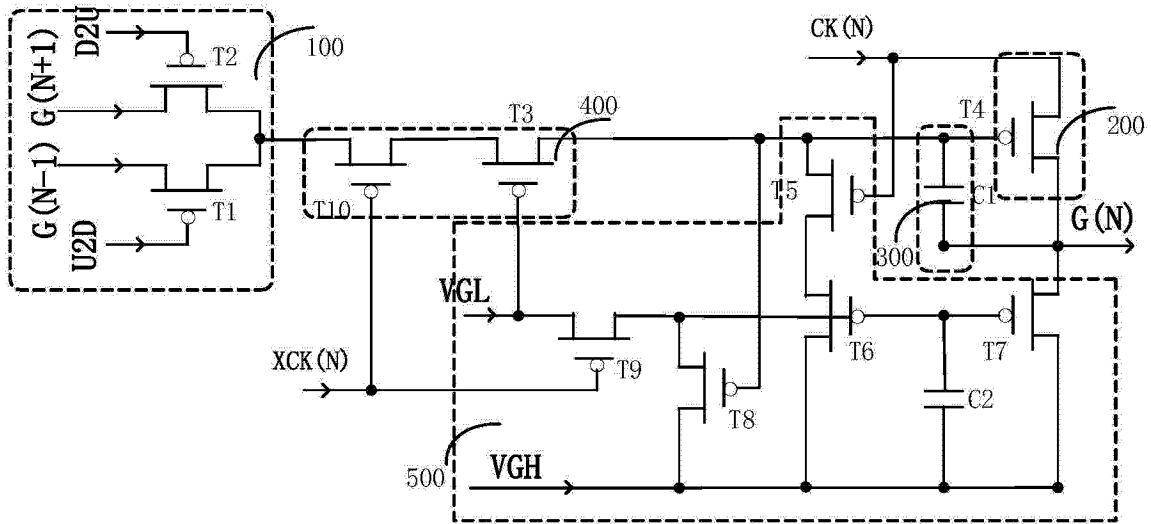


图 2

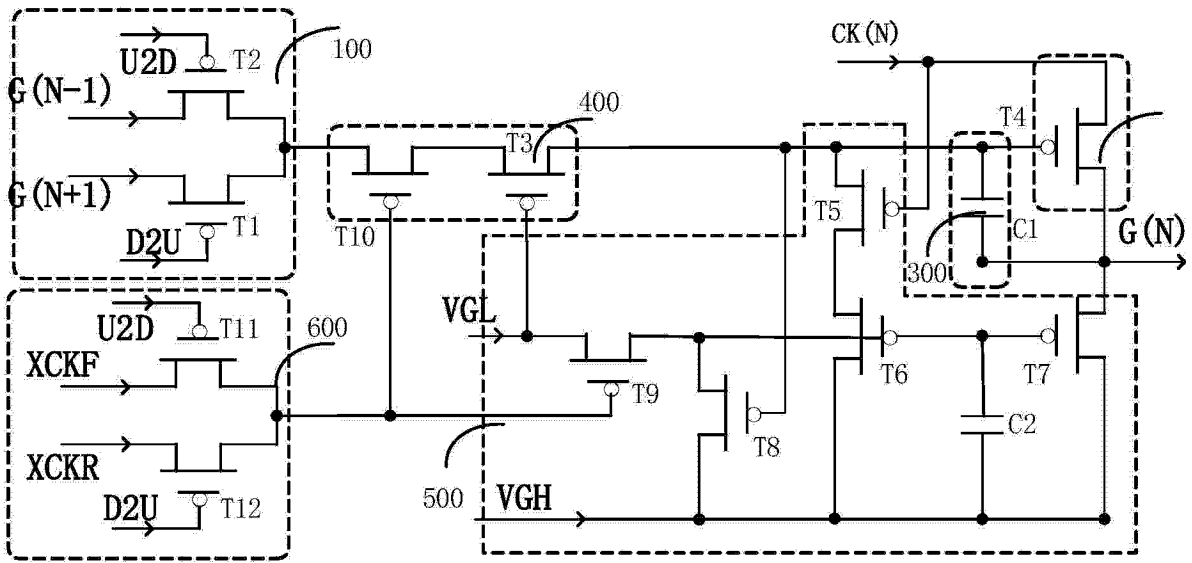


图 3

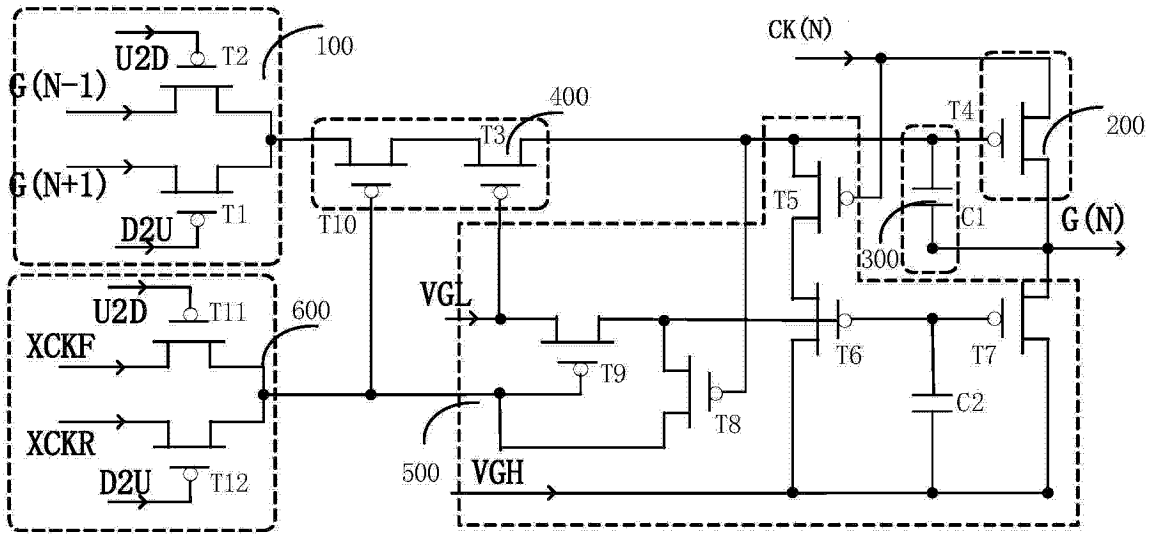


图 4

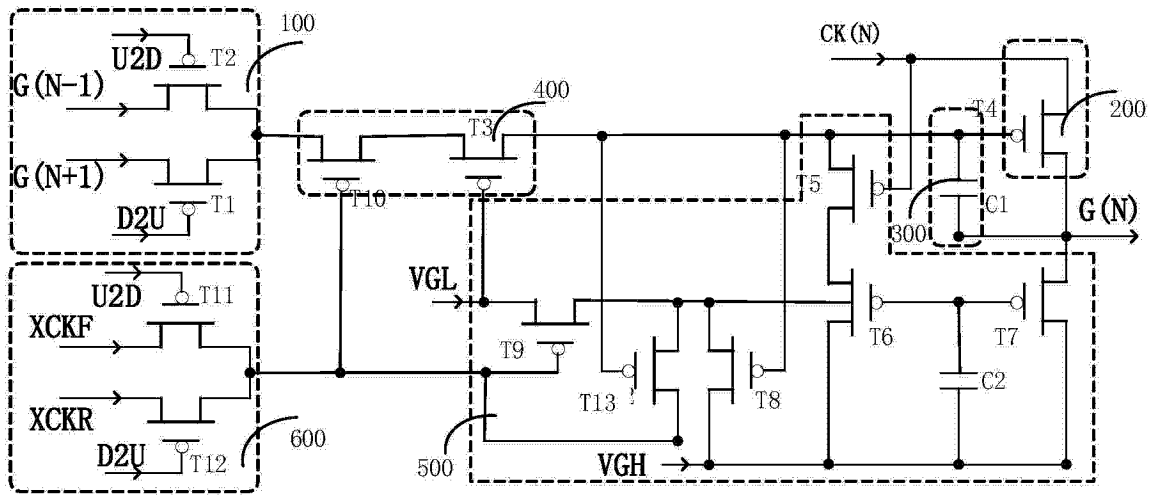


图 5

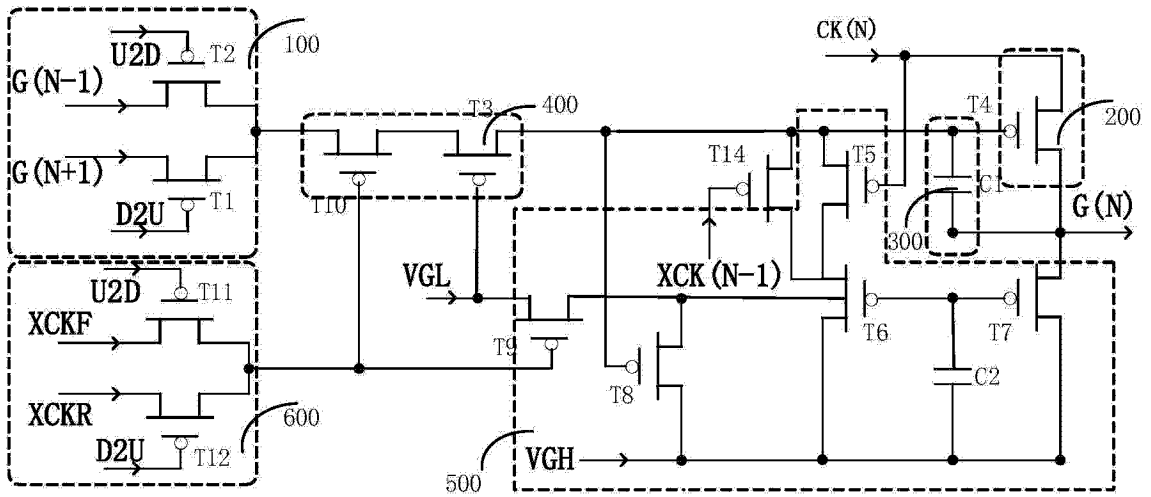


图 6

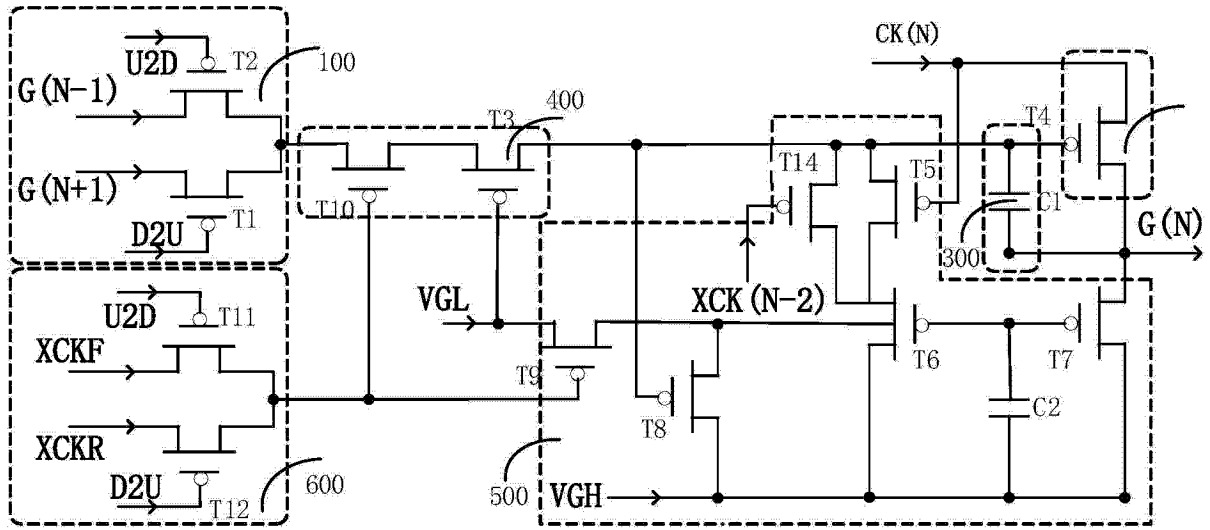


图 7

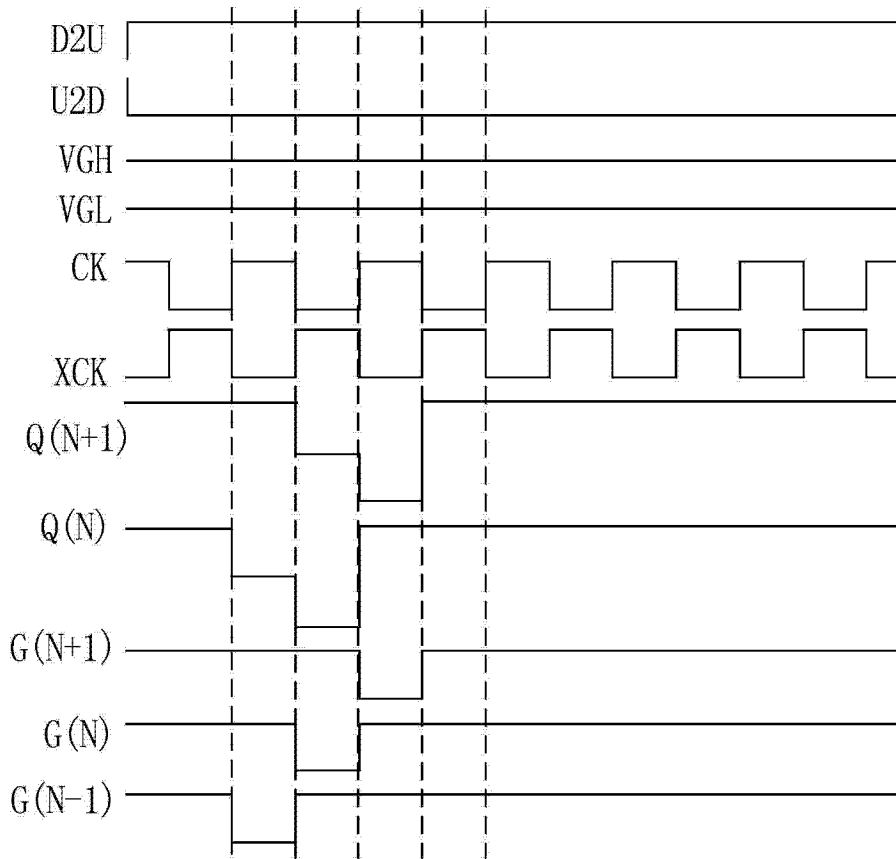


图 8

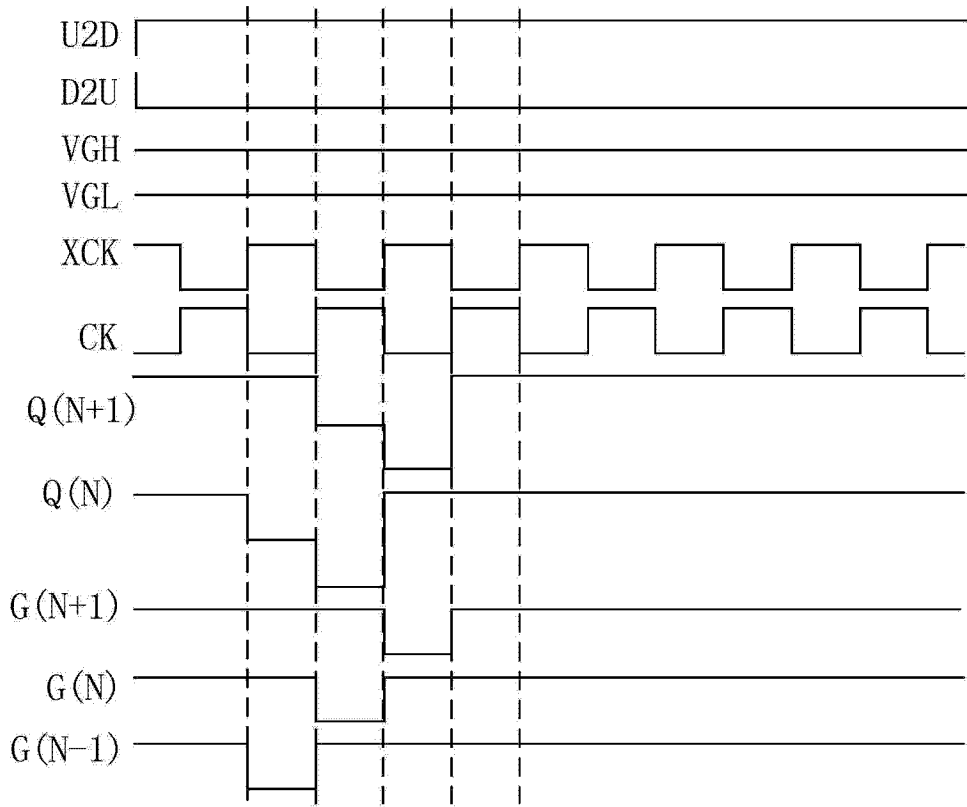


图 9

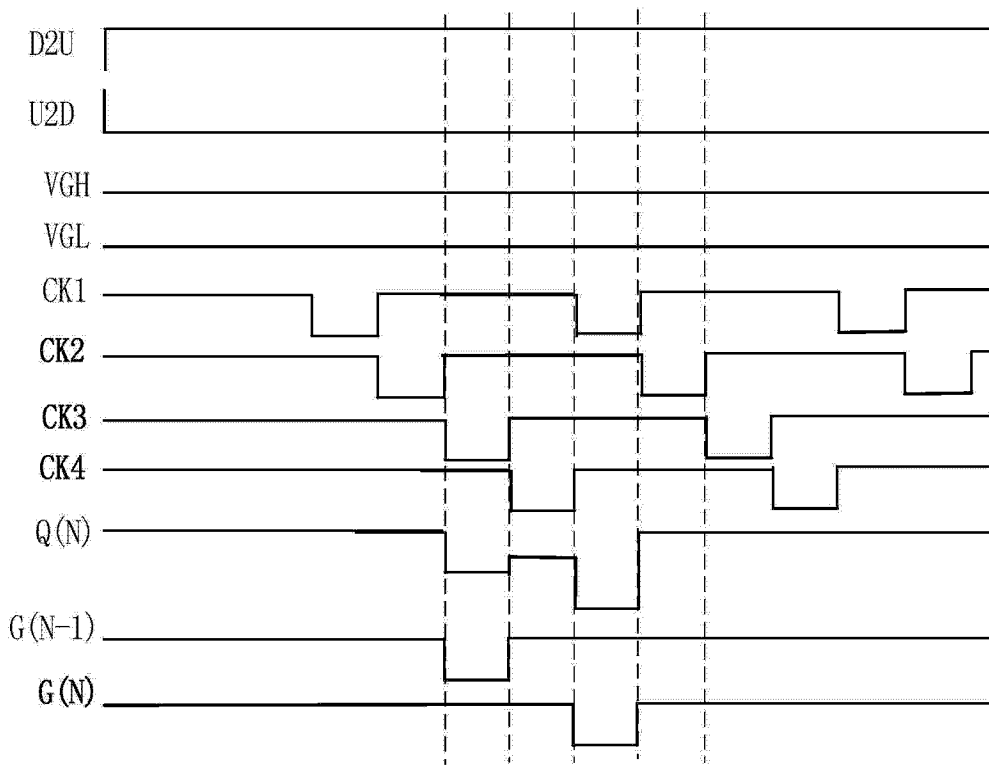


图 10

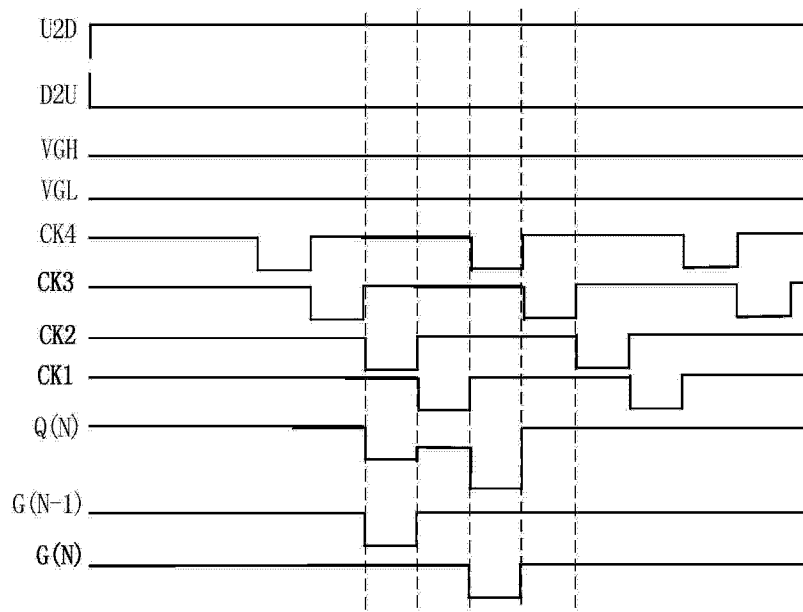


图 11

专利名称(译)	用于液晶显示装置的GOA电路		
公开(公告)号	CN104485079A	公开(公告)日	2015-04-01
申请号	CN201410851563.1	申请日	2014-12-31
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	肖军城		
发明人	肖军城		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2310/0286 G11C19/28 G09G2310/08 G09G2230/00 G09G2330/04		
代理人(译)	黄威		
其他公开文献	CN104485079B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种用于液晶显示装置的阵列基板行扫描驱动(Gate Driver On Array ; GOA)电路, 所述液晶显示装置包括多条扫描线, 所述GOA电路包含级联的多个移位缓存单元。第N级移位缓存单元控制对第N级扫描线充电。该第N级移位缓存单元包括正反向扫描控制电路、上拉电路、自举电容电路、栅极信号点漏电防治电路及下拉维持电路。所述自举电容电路、所述栅极信号点漏电防治电路及所述下拉维持电路共同连接构成一栅极信号点用以提高所述栅极信号点的稳定性以及减少开关的使用。

