



(12) 发明专利申请

(10) 申请公布号 CN 104050940 A

(43) 申请公布日 2014. 09. 17

(21) 申请号 201410200595. 5

(22) 申请日 2014. 05. 13

(30) 优先权数据

103108739 2014. 03. 12 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 林志隆 涂俊达 郑贤薰 林敬恒
辛坤莹

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 史新宏

(51) Int. Cl.

G09G 3/36 (2006. 01)

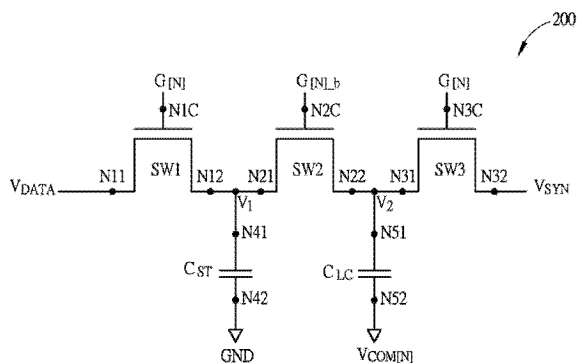
权利要求书2页 说明书6页 附图10页

(54) 发明名称

液晶显示器的像素电路及其控制方法

(57) 摘要

本发明披露了一种液晶显示器的像素电路及其控制方法。该液晶显示器的像素电路包含第一开关、第二开关、第三开关、储存电容及液晶电容。第一开关依据第一栅极线的电位，控制数据线与储存电容之间的电性连接。第二开关依据第二栅极线的电位，控制储存电容与液晶电容之间的电性连接。第三开关依据第一栅极线的电位，控制偏压线与液晶电容之间的电性连接。在液晶显示器的每一帧周期内，当第一开关及第三开关开启时，第二开关关闭，而当第二开关开启时，第一开关及第三开关关闭。



1. 一种液晶显示器的像素电路,包含:

一第一开关,包含一第一端、一第二端及一控制端,该第一端接收一数据电压,而该控制端耦接至一第一栅极线;

一第二开关,包含一第一端、一第二端及一控制端,该第二开关的该第一端耦接至该第一开关的该第二端,而该第二开关的该控制端耦接至一第二栅极线;

一第三开关,包含一第一端、一第二端及一控制端,该第三开关的该第一端耦接至该第二开关的该第二端,该第三开关的该第二端接收一偏压,而该第三开关的该控制端耦接至该第一栅极线;

一储存电容,包含一第一端及一第二端,该储存电容的该第一端耦接至该第一开关的该第二端及该第二开关的该第一端;以及

一液晶电容,包含一第一端及一第二端,该液晶电容的该第一端耦接至该第二开关的该第二端及该第三开关的该第一端,而该液晶电容的该第二端耦接至一共同电极;

其中在该液晶显示器的每一帧周期内,当该第一开关及该第三开关开启时,该第二开关关闭;及

其中在该液晶显示器的每一帧周期内,当该第二开关开启时,该第一开关及该第三开关关闭。

2. 如权利要求1所述的像素电路,其中该共同电极的电位每隔一个帧周期于两个电位之间切换。

3. 如权利要求1所述的像素电路,其中当该第一栅极线的电位等于一第一电位时,该第二栅极线的电位等于一第二电位,且该第一电位大于该第二电位;及

其中当该第二栅极线的电位等于该第一电位时,该第一栅极线的电位等于该第二电位。

4. 如权利要求1所述的像素电路,其中该偏压随该数据电压的电位而于多个电位之间切换。

5. 如权利要求4所述的像素电路,其中当该数据电压的电位为零伏特时,该偏压也为零伏特。

6. 一种控制一液晶显示器的一像素电路的方法,该像素电路包含一第一开关、一第二开关、一第三开关、一储存电容及一液晶电容,该第一开关的一第一端接收至一数据电压,该第一开关的一第二端耦接至该第二开关的一第一端及该储存电容的一第一端,该第一开关的一控制端耦接至一第一栅极线,该第二开关的一第二端耦接至该第三开关的一第一端及该液晶电容的一第一端,该第二开关的一控制端耦接至一第二栅极线,该第三开关的一第二端耦接至一偏压,该第三开关的一控制端耦接至该第一栅极线,且该液晶电容的一第二端耦接至一共同电极,该方法包含:

在该液晶显示器的每一帧周期内,当开启该第一开关及该第三开关时,关闭该第二开关;及

在该液晶显示器的每一帧周期内,当开启该第二开关时,关闭该第一开关及该第三开关。

7. 如权利要求6所述的方法,还包含:

其中每隔一个帧周期,将该共同电极的电位于两个电位之间切换。

8. 如权利要求 6 所述的方法,其中当该第一栅极线的电位等于一第一电位时,该第二栅极线的电位等于一第二电位,且该第一电位大于该第二电位;及

其中当该第二栅极线的电位等于该第一电位时,该第一栅极线的电位等于该第二电位。

9. 如权利要求 6 所述的方法,其中该偏压随该数据电压的电位而于多个电位之间切换。

10. 如权利要求 9 所述的方法,其中当该数据电压的电位为零伏特时,该偏压也为零伏特。

液晶显示器的像素电路及其控制方法

技术领域

[0001] 本发明涉及一种液晶显示器的像素电路及其控制方法,特别是涉及一种可快速对像素进行充电的液晶显示器的像素电路及其控制方法。

背景技术

[0002] 液晶显示器 (liquid crystal display, LCD) 发展至今已多年,早期液晶电视发展着力于重量轻、体积小,并且成功取代笨重且大体积的映像管显示器 (cathode ray tube display)。近年来,消费者追求高品质的影音娱乐与声光效果,于是液晶电视研发目标转向于高画质与大尺寸电视,以符合消费市场的期待。由于蓝相液晶 (blue phase liquid crystal ;BPLC) 有着较传统液晶快 10 倍以上的反应速度,而使蓝相液晶显示器被誉为下一代的高阶显示器。但因蓝相液晶的等效电容值较传统液晶大,以至于现有技术中的 1T2C (一个晶体管两个电容) 像素电路,无法快速地将蓝相液晶充电至所需的灰阶电压。此外,蓝相液晶也较传统液晶需要更高的操作电压,以达到较大的穿透度。

[0003] 请参考图 1,图 1 为现有技术的液晶显示器的像素电路 100 的电路图。像素电路 100 采用 1T2C 的架构,而包含开关 T_A 、储存电容 C_{ST} 及液晶电容 C_{LC} ,其中开关 T_A 为一个晶体管。开关 T_A 的控制端依据栅极线 G_N 的电位,控制开关 T_A 的开启和关闭。当开关 T_A 开启时,液晶显示器的数据线上的数据电压 V_{DATA} 即会被施加到储存电容 C_{ST} 和液晶电容 C_{LC} ,以对储存电容 C_{ST} 和液晶电容 C_{LC} 进行充电,而使得像素电路 100 的灰阶电压被更新 (refresh)。然而,因蓝相液晶的储存电容 C_{ST} 和液晶电容 C_{LC} 相较于传统液晶的大数十倍甚至一百多倍,故藉由 1T2C 架构的像素电路 100 已不足以快速地将蓝相液晶的储存电容 C_{ST} 和液晶电容 C_{LC} 充电至所需的灰阶电压。

发明内容

[0004] 本发明的一实施例提供一种液晶显示器的像素电路。像素电路包含第一开关、第二开关、第三开关、储存电容以及液晶电容。第一开关包含第一端、第二端及控制端。第一开关的第一端接收数据电压,第一开关的控制端耦接至第一栅极线。第二开关包含第一端、第二端及控制端,第二开关的第一端耦接至第一开关的第二端,而第二开关的控制端耦接至第二栅极线。第三开关包含第一端、第二端及控制端,第三开关的第一端耦接至第二开关的第二端,第三开关的第二端接收偏压,第三开关的控制端耦接至第一栅极线。储存电容包含第一端及第二端,储存电容的第一端耦接至第一开关的第二端及第二开关的第一端。液晶电容包含第一端及第二端,液晶电容的第一端耦接至第二开关的第二端及第三开关的第一端,液晶电容的第二端耦接至共同电极。其中在液晶显示器的每一帧周期内,当第一开关及第三开关开启时,第二开关关闭,而当第二开关开启时,第一开关及第三开关关闭。

[0005] 本发明的一实施例提供一种控制液晶显示器的像素电路的方法。像素电路包含第一开关、第二开关、第三开关、储存电容及液晶电容。第一开关的第一端接收数据电压,第一开关的第二端耦接至第二开关的第一端及储存电容的第一端,而第一开关的控制端耦接至

第一栅极线。第二开关的第二端耦接至第三开关的第一端及液晶电容的第一端,而第二开关的控制端耦接至第二栅极线。第三开关的第二端接收偏压,而第三开关的控制端耦接至第一栅极线。液晶电容的第二端耦接至共同电极。所述方法包含:在液晶显示器的每一帧周期内,当开启第一开关及第三开关时,关闭第二开关;及在液晶显示器的每一帧周期内,当开启第二开关时,关闭第一开关及第三开关。

[0006] 通过本发明实施例的像素电路,在每一帧周期内,当更新(refresh)任一像素的显示数据时,可分两时段对像素进行控制。在第一时段,像素电路的储存电容及液晶电容被电性隔离,并分别地被充电。在第二时段,储存电容及液晶电容之间的电性连结会被建立,而使储存电容及液晶电容可彼此分享电荷。藉此,像素电路的储存电容及液晶电容的电位可在极短的充电时间内被更新至所需的灰阶电压。

附图说明

[0007] 图1为现有技术的液晶显示器的像素电路的电路图。

[0008] 图2为本发明一实施例的液晶显示器的像素电路的电路图。

[0009] 图3为图2的像素电路的时序图。

[0010] 图4示出了图2及图1的像素电路于驱动具相同电容值的储存电容及液晶电容时,其像素的电压的波形。

[0011] 图5至图7示出了图2的像素电路于各种数据电压及偏压下,且储存电容的第二端接地时,藉由计算机模拟辅助所得到的电位 V_1 及 V_2 的波形。

[0012] 图8至图10示出了图2的像素电路于各种数据电压及偏压下,且储存电容的第二端耦接至共同电极时,藉由计算机模拟辅助所得到的电位 V_1 及 V_2 的波形。

[0013] 附图符号说明

[0014]	100、200	像素电路
[0015]	401、402、403、501、502、601、602、	曲线
[0016]	701、702、801、802、901、902、	
[0017]	1001、1002	
[0018]	C_{ST}	储存电容
[0019]	C_{LC}	液晶电容
[0020]	GND	接地端
[0021]	G_N	栅极线
[0022]	$G_{[N]}$	第一栅极线
[0023]	$G_{[N]_b}$	第二栅极线
[0024]	N11、N21、N31、N41、N51	第一端
[0025]	N12、N22、N32、N42、N52	第二端
[0026]	N1C、N2C、N3C	控制端
[0027]	SW1	第一开关
[0028]	SW2	第二开关
[0029]	SW3	第三开关
[0030]	T_1	第一时段

[0031]	T_2	第二时段
[0032]	T_A	开关
[0033]	T_F	帧周期
[0034]	V_1 、 V_2	电位
[0035]	V_H	第一电位
[0036]	V_L	第二电位
[0037]	$V_{COM[N]}$	共同电极
[0038]	V_{DATA}	数据电压
[0039]	V_{SYN}	偏压

具体实施方式

[0040] 请参考图 2, 图 2 为本发明一实施例的液晶显示器的像素电路 200 的电路图。像素电路 200 采用 3T2C (三个晶体管两个电容) 的架构, 而包含第一开关 SW1、第二开关 SW2、第三开关 SW3、储存电容 C_{ST} 及液晶电容 C_{LC} 。其中第一开关 SW1、第二开关 SW2 和第三开关 SW3 可分别为一个晶体管。

[0041] 第一开关 SW1 的第一端 N11 从液晶显示器的数据线接收数据电压 V_{DATA} , 第一开关 SW2 的第二端 N12 耦接至第二开关 SW2 的第一端 N21 及储存电容 C_{ST} 的第一端 N41, 而第一开关 SW1 的控制端 N1C 耦接至第一栅极线 $G_{[N]}$ 。第二开关 SW2 的第二端 N22 耦接至第三开关 SW3 的第一端 N31 及液晶电容 C_{LC} 的第一端 N51, 而第二开关 SW2 的控制端 N2C 耦接至第二栅极线 $G_{[N]_b}$ 。第三开关 SW3 的第二端 N32 接收偏压 V_{SYN} , 而第三开关 SW3 的控制端 N3C 耦接至第一栅极线 $G_{[N]}$ 。在本实施例中, 液晶电容 C_{LC} 的第二端 N52 耦接至共同电极 $V_{COM[N]}$, 而储存电容 C_{ST} 的第二端 N42 耦接至接地端 GND。在本发明另一实施例中, 储存电容 C_{ST} 的第二端 N42 以及液晶电容 C_{LC} 的第二端 N52 都耦接至共同电极 $V_{COM[N]}$ 。

[0042] 第一开关 SW1 及第三开关 SW3 会依据第一栅极线 $G_{[N]}$ 的电位而开启或关闭, 而第二开关 SW2 会依据第二栅极线 $G_{[N]_b}$ 的电位而开启或关闭。请参考图 3 并同时参照图 2, 图 3 为图 2 的像素电路 200 的时序图。在液晶显示器的每一帧周期 (frame period) 内, 可分为第一时段 T_1 及第二时段 T_2 。在第一时段 T_1 , 第一栅极线 $G_{[N]}$ 的电位为第一电位 V_H , 第二栅极线 $G_{[N]_b}$ 的电位为第二电位 V_L , 而使得第一开关 SW1 及第三开关 SW3 被开启, 第二开关 SW2 被关闭。其中, 第一电位 V_H 大于第二电位 V_L 。在第二时段 T_2 , 第一栅极线 $G_{[N]}$ 的电位为第二电位 V_L , 而第二栅极线 $G_{[N]_b}$ 的电位为第一电位 V_H , 而使得第二开关 SW2 被开启, 而第一开关 SW1 及第三开关 SW3 被关闭。此外, 共同电极 $V_{COM[N]}$ 的电位会每隔一个帧周期 T_F 于两个电位之间切换, 以使像素进行极性反转。如图 3 所示, 本实施例中, 共同电极 $V_{COM[N]}$ 的电位会每隔一个帧周期 T_F 于 20 伏特及零伏特之间切换。但本发明并不以此为限, 本领域的技术人员应可明白共同电极 $V_{COM[N]}$ 的电位可于其他电位之间进行切换。

[0043] 藉由第一栅极线 $G_{[N]}$ 及第二栅极线 $G_{[N]_b}$ 电位的切换, 在第一时段 T_1 , 储存电容 C_{ST} 及液晶电容 C_{LC} 因第二开关 SW2 被关闭而被电性隔离, 并且因第一开关 SW1 及第三开关 SW3 的开启而分别地被数据电压 V_{DATA} 及偏压 V_{SYN} 充电。由此可知, 在第一时段 T_1 , 数据电压 V_{DATA} 只会对储存电容 C_{ST} 充电, 但不会对液晶电容 C_{LC} 充电; 而偏压 V_{SYN} 只会对液晶电容 C_{LC} 充电, 但不会对储存电容 C_{ST} 充电。也由于储存电容 C_{ST} 及液晶电容 C_{LC} 分别地被数据电压 V_{DATA} 及

偏压 V_{SYN} 充电, 故像素电路 200 的充电速度会较现有技术中的像素电路 100 只靠数据电压 V_{DATA} 同时对储存电容 C_{ST} 及液晶电容 C_{LC} 的充电的速度快。因此, 藉由分别对储存电容 C_{ST} 及液晶电容 C_{LC} 充电的方式可以缩短充电所需的时间, 而使像素的灰阶电位可在极短的时间内被更新 (refresh)。

[0044] 此外, 在第二时段 T_2 , 像素电路 200 的储存电容 C_{ST} 及液晶电容 C_{LC} 则会因第二开关 SW2 的开启而彼此电性连接, 并且因第一开关 SW1 及第三开关 SW3 的关闭而停止被数据电压 V_{DATA} 及偏压 V_{SYN} 充电。也由于储存电容 C_{ST} 及液晶电容 C_{LC} 在第二时段 T_2 彼此电性连接, 故储存电容 C_{ST} 及液晶电容 C_{LC} 可彼此地分享电荷, 而使得储存电容 C_{ST} 的第一端 N41 的电位 V_1 会等于液晶电容 C_{LC} 的第一端 N51 的电位 V_2 。此时, 电位 V_1 及 V_2 可以表示成:

$$[0045] \quad V_1 = V_2 = V_{\text{DATA}} \left(\frac{C_{\text{ST}}}{C_{\text{ST}} + C_{\text{LC}}} \right) + V_{\text{SYN}} \left(\frac{C_{\text{LC}}}{C_{\text{ST}} + C_{\text{LC}}} \right)$$

[0046] 倘若储存电容 C_{ST} 与液晶电容 C_{LC} 具有相同的电容值, 则:

$$[0047] \quad V_1 = V_2 = \frac{1}{2} V_{\text{DATA}} + \frac{1}{2} V_{\text{SYN}}$$

[0048] 由上述方程式可知, 藉由控制数据电压 V_{DATA} 及偏压 V_{SYN} , 即可使像素的灰阶电位达到所期望的电位。请参考图 4, 图 4 为图 2 的像素电路 200 与图 1 的像素电路 100 用以驱动具有相同电容值的储存电容 C_{ST} 及液晶电容 C_{LC} 时, 其像素的电压的波形图。其中, 曲线 401 表示数据电压 V_{DATA} 的波形, 曲线 402 表示像素电路 100 的储存电容 C_{ST} 及液晶电容 C_{LC} 与开关 T_A 连接处的电压的波形, 而曲线 403 表示像素电路 200 的电位 V_1 的波形。在像素电路 100 及 200 的储存电容 C_{ST} 的电容值皆为 10 皮法拉 (pF), 且像素电路 100 及 200 的液晶电容 C_{LC} 的电容值皆为 10 皮法拉 (pF) 的情况下, 像素电路 200 的充电速度明显地较像素电路 100 的充电速度快。

[0049] 请再参考图 2。为使像素电路 200 得以更有效率地将像素的灰阶电位更新至所期望的电位。本发明一实施例中, 偏压 V_{SYN} 可随数据电压 V_{DATA} 的电位而于多个电位之间切换。例如, 偏压 V_{SYN} 可于 25 伏特、10 伏特及零伏特之间切换。但本发明并不以此为限, 偏压 V_{SYN} 亦可在其他多个电位之间进行切换。更进一步地来说, 当数据电压 V_{DATA} 的电位较高时, 可结合较高电位的偏压 V_{SYN} ; 而当数据电压 V_{DATA} 的电位较低时, 可结合较低电位的偏压 V_{SYN} 。举例来说, 当像素的灰阶值等于最高灰阶值 255, 而使得数据电压 V_{DATA} 有较高的电位时, 则可使用 25 伏特的偏压 V_{SYN} 。当像素的灰阶值等于 125 时, 则可使用 10 伏特的偏压 V_{SYN} 。当像素的灰阶值等于最低灰阶值 0, 而使数据电压 V_{DATA} 的电位为零伏特时, 则可使用零伏特的偏压 V_{SYN} 。

[0050] 请参考图 5 至图 7 并同时参照图 2, 图 5 至图 7 示出了图 2 的像素电路 200 于各种数据电压 V_{DATA} 及偏压 V_{SYN} 下, 且储存电容 C_{ST} 的第二端 N42 接地时, 藉由计算机模拟辅助所得到的电位 V_1 及 V_2 的波形。其中, 模拟的条件为储存电容 C_{ST} 及液晶电容 C_{LC} 的电容值皆为 10 皮法拉 (pF)。第一栅极线 $G_{[\text{N}]}$ 及第二栅极线 $G_{[\text{N}]_b}$ 的电位分别在 30 伏特及负 10 伏特之间切换, 而在第一时段 T_1 , 第一栅极线 $G_{[\text{N}]}$ 的电位为 30 伏特, 第二栅极线 $G_{[\text{N}]_b}$ 的电位则为负 10 伏特。此外, 共同电极 $V_{\text{COM}[\text{N}]}$ 的电位在 20 伏特及零伏特之间切换。图 5 中的曲线 501 及 502 分别表示所模拟得到的电位 V_1 及 V_2 的波形, 而此时数据电压 V_{DATA} 及偏压 V_{SYN} 在第一

时段 T_1 分别为 15 伏特及 25 伏特。由图 5 可看出,在第一时段 T_1 之间,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为负 20 伏特,而在第一时段 T_1 之后,因像素的极性反转,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为 19.4 伏特。图 6 中的曲线 601 及 602 则是分别表示在另一种模拟情况下所模拟得到的电位 V_1 及 V_2 的波形,而此时数据电压 V_{DATA} 及偏压 V_{SYN} 在第一时段 T_1 分别为 15 伏特及 10 伏特。由图 6 可看出,在第一时段 T_1 之间,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为负 12.5 伏特,而在第一时段 T_1 之后,因像素的极性反转,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为 12.4 伏特。图 7 中的曲线 701 及 702 则分别表示在另一种模拟情况下所模拟得到的电位 V_1 及 V_2 的波形,而此时数据电压 V_{DATA} 及偏压 V_{SYN} 在第一时段 T_1 分别为 10 伏特及零伏特。由图 7 可看出,在第一时段 T_1 之间,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为负 5 伏特,而在第一时段 T_1 之后,因像素的极性反转,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为 5 伏特。因此,由图 5 至图 7 所模拟的结果可看出,像素于每个帧周期进行反转后,其电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差的决定值大致相等,而可使像素可稳定地显示对应的灰阶。

[0051] 请参考图 8 至图 10 并同时参照图 2,图 8 至图 10 示出了图 2 的像素电路 200 于各种数据电压 V_{DATA} 及偏压 V_{SYN} 下,且储存电容 C_{ST} 的第二端 N42 耦接至共同电极 $V_{COM[N]}$ 时,藉由计算机模拟辅助所得到的电位 V_1 及 V_2 的波形。其中,模拟的条件亦为储存电容 C_{ST} 及液晶电容 C_{LC} 的电容值皆为 10 皮法拉 (pF)。第一栅极线 $G_{[N]}$ 及第二栅极线 $G_{[N]_b}$ 的电位分别在 30 伏特及负 10 伏特之间切换,而在第一时段 T_1 ,第一栅极线 $G_{[N]}$ 的电位为 30 伏特,第二栅极线 $G_{[N]_b}$ 的电位则为负 10 伏特。此外,共同电极 $V_{COM[N]}$ 的电位在 20 伏特及零伏特之间切换。图 8 中的曲线 801 及 802 分别表示所模拟得到的电位 V_1 及 V_2 的波形,而此时数据电压 V_{DATA} 及偏压 V_{SYN} 在第一时段 T_1 分别为 15 伏特及 25 伏特。由图 8 可看出,在第一时段 T_1 之间,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为负 20 伏特,而在第一时段 T_1 之后,因像素的极性反转,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为 19.2 伏特。图 9 中的曲线 901 及 902 则是分别表示在另一种模拟情况下所模拟得到的电位 V_1 及 V_2 的波形,而此时数据电压 V_{DATA} 及偏压 V_{SYN} 在第一时段 T_1 分别为 15 伏特及 10 伏特。由图 9 可看出,在第一时段 T_1 之间,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为负 12.5 伏特,而在第一时段 T_1 之后,因像素的极性反转,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为 12.2 伏特。图 10 中的曲线 1001 及 1002 则分别表示在另一种模拟情况下所模拟得到的电位 V_1 及 V_2 的波形,而此时数据电压 V_{DATA} 及偏压 V_{SYN} 在第一时段 T_1 分别为 10 伏特及零伏特。由图 10 可看出,在第一时段 T_1 之间,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为负 5 伏特,而在第一时段 T_1 之后,因像素的极性反转,电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差为 4.91 伏特。因此,由图 8 至图 10 所模拟的结果可看出,像素于每个帧周期进行反转后,其电位 V_1 及 V_2 与共同电极 $V_{COM[N]}$ 之间的电压差的决定值大致相等,而可使像素可稳定地显示对应的灰阶。

[0052] 请再参考图 3,在上述实施例,第一栅极线 $G_{[N]}$ 的电位讯号的上升边缘 (rising edge) 在时序上会与第二栅极线 $G_{[N]_b}$ 的电位讯号的下降边缘 (falling edge) 对齐,且第一栅极线 $G_{[N]}$ 的电位讯号的下降边缘在时序上会与第二栅极线 $G_{[N]_b}$ 的电位讯号的上升边缘对齐,但本发明并不以此为限。举例来说,在本发明另一实施例中,在第一时段 T_1 及第二时段 T_2 之间还可插入第三时段,而在此第三时段内第一栅极线 $G_{[N]}$ 及第二栅极线 $G_{[N]_b}$ 的电位都会为第二电位 V_L ,而使得第一开关 SW1、第二开关 SW2 及第三开关 SW3 在第三时段内都

被关闭。之后,在第一时段 T_1 ,才开启第一开关 SW1 及第三开关 SW3,并关闭第二开关 SW2;在第二时段 T_2 ,则开启第二开关 SW2,而关闭第一开关 SW1 及第三开关 SW3。

[0053] 综上所述,通过本发明实施例的像素电路,在每一帧周期内,当更新任一像素的显示数据时,可分两时段对像素进行控制。在第一时段,像素电路的储存电容及液晶电容被电性隔离,并分别地被充电。在第二时段,储存电容及液晶电容之间的电性连结会被建立,而使储存电容及液晶电容可彼此分享电荷。藉此,像素电路的储存电容及液晶电容的电位可在极短的充电时间内被更新至所需的灰阶电压。

[0054] 以上所述仅为本发明的较佳实施例,凡依本发明的权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

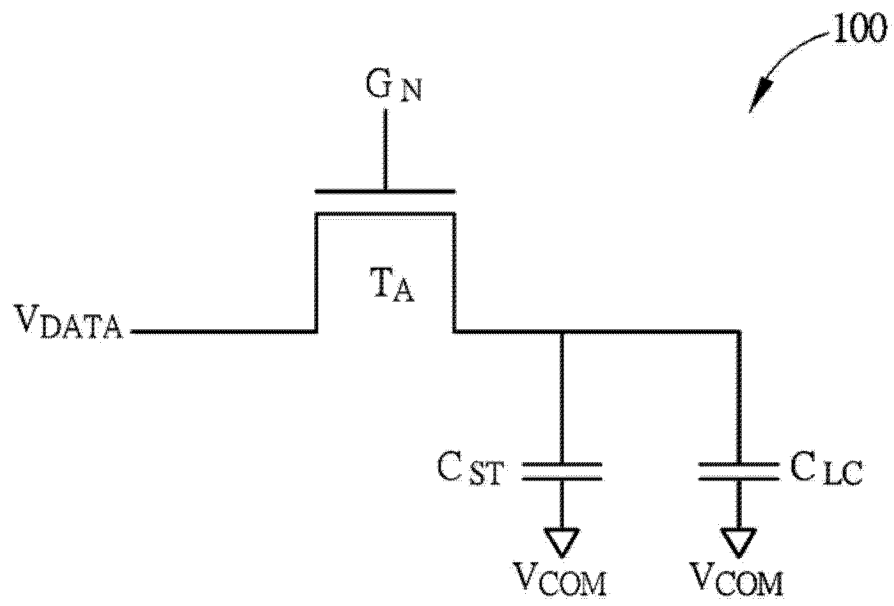


图 1

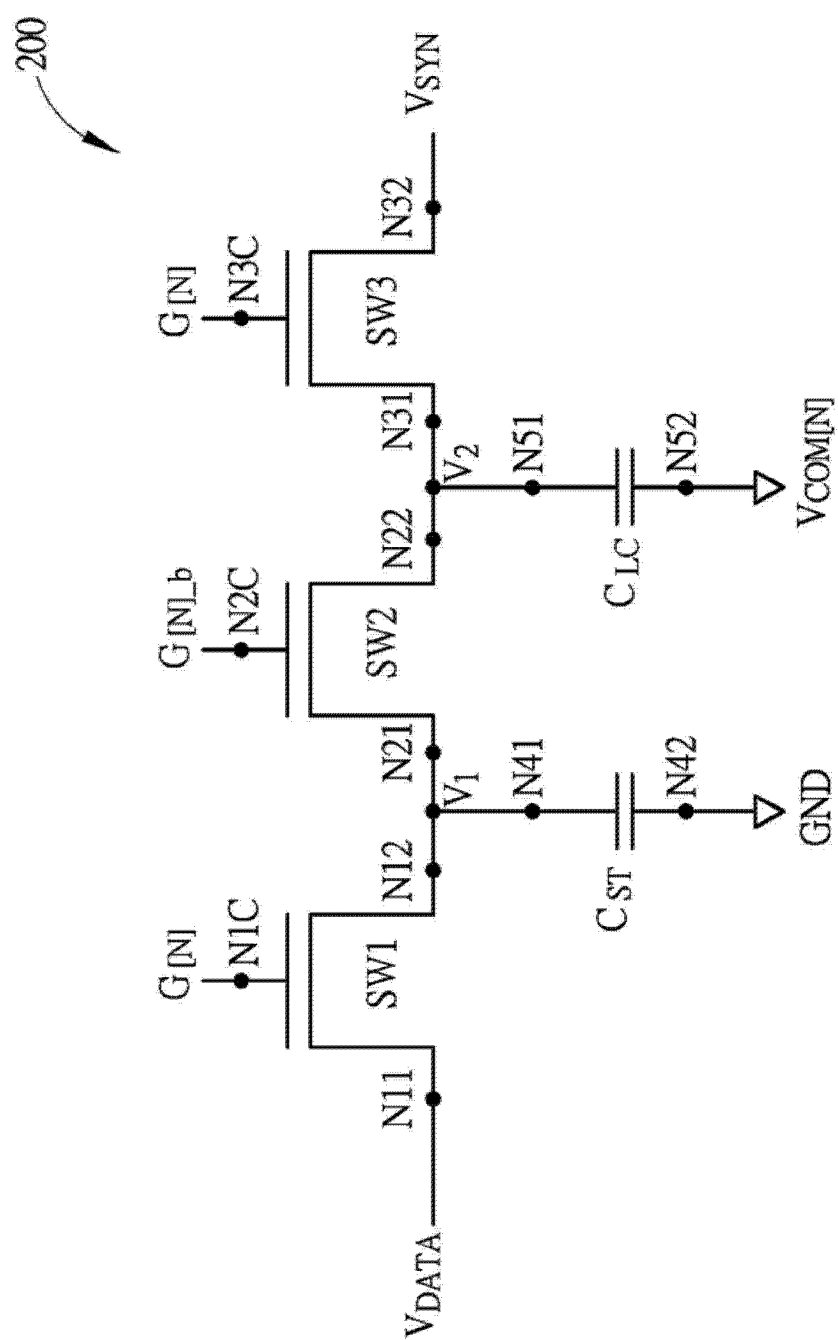


图 2

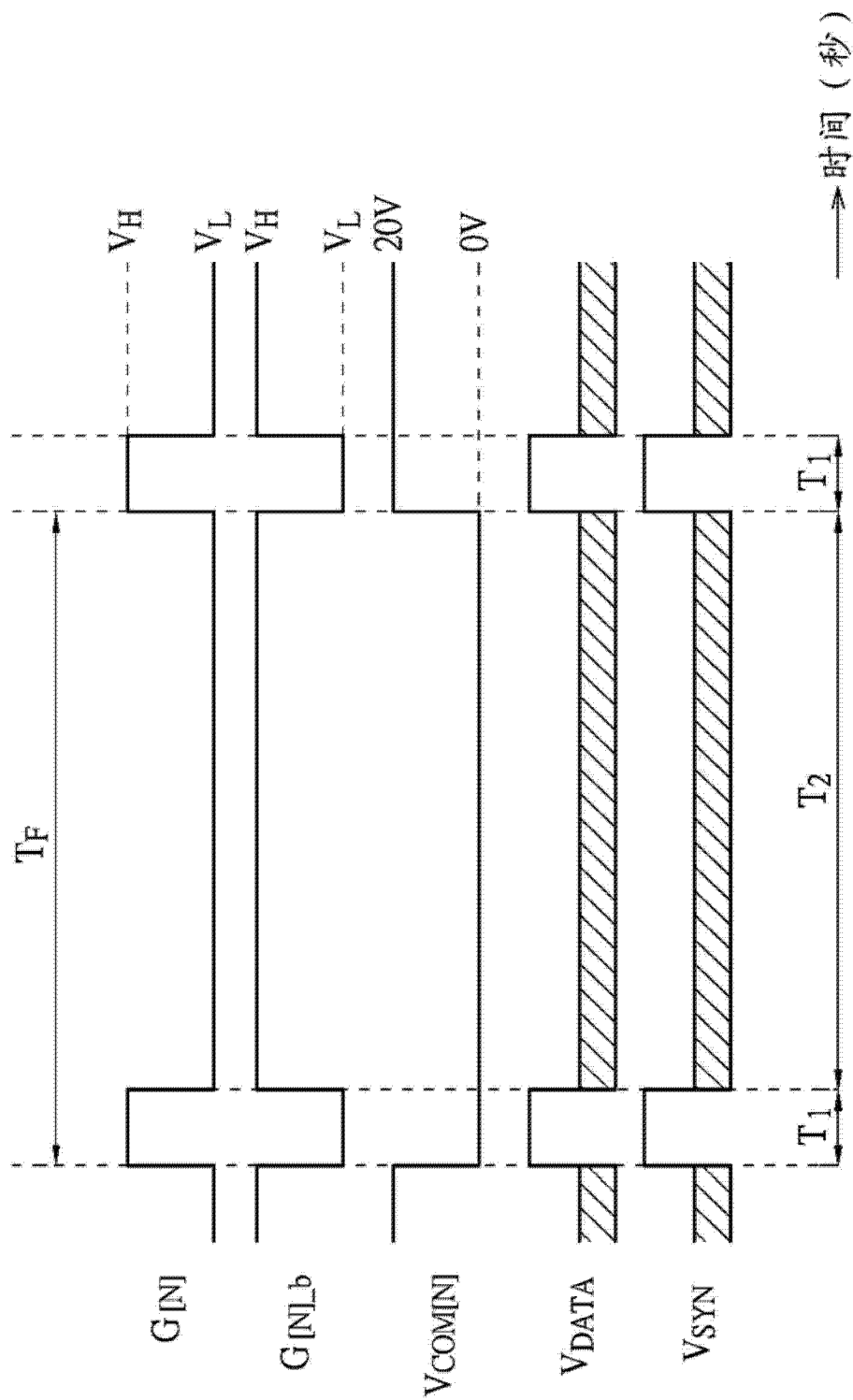


图 3

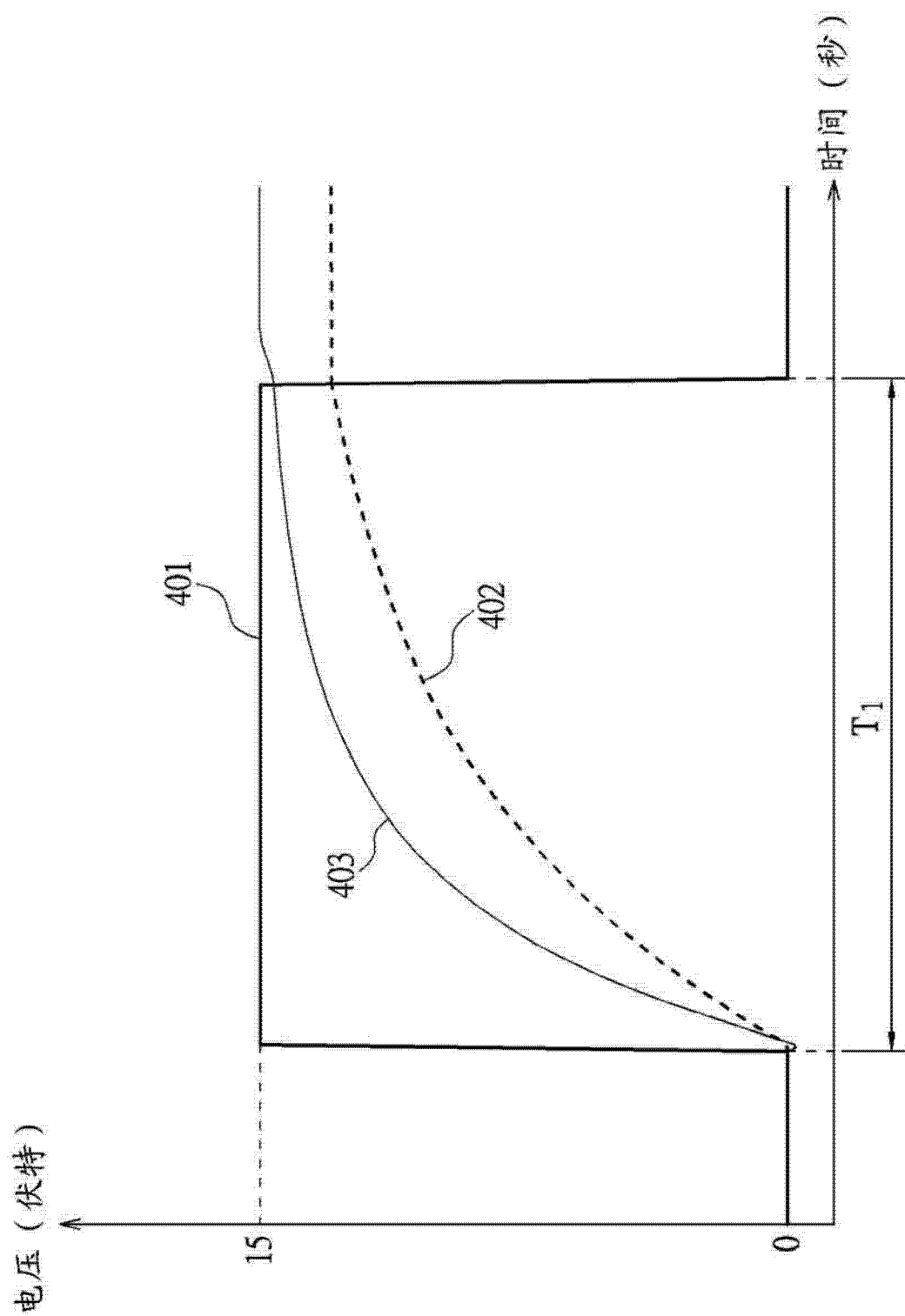


图 4

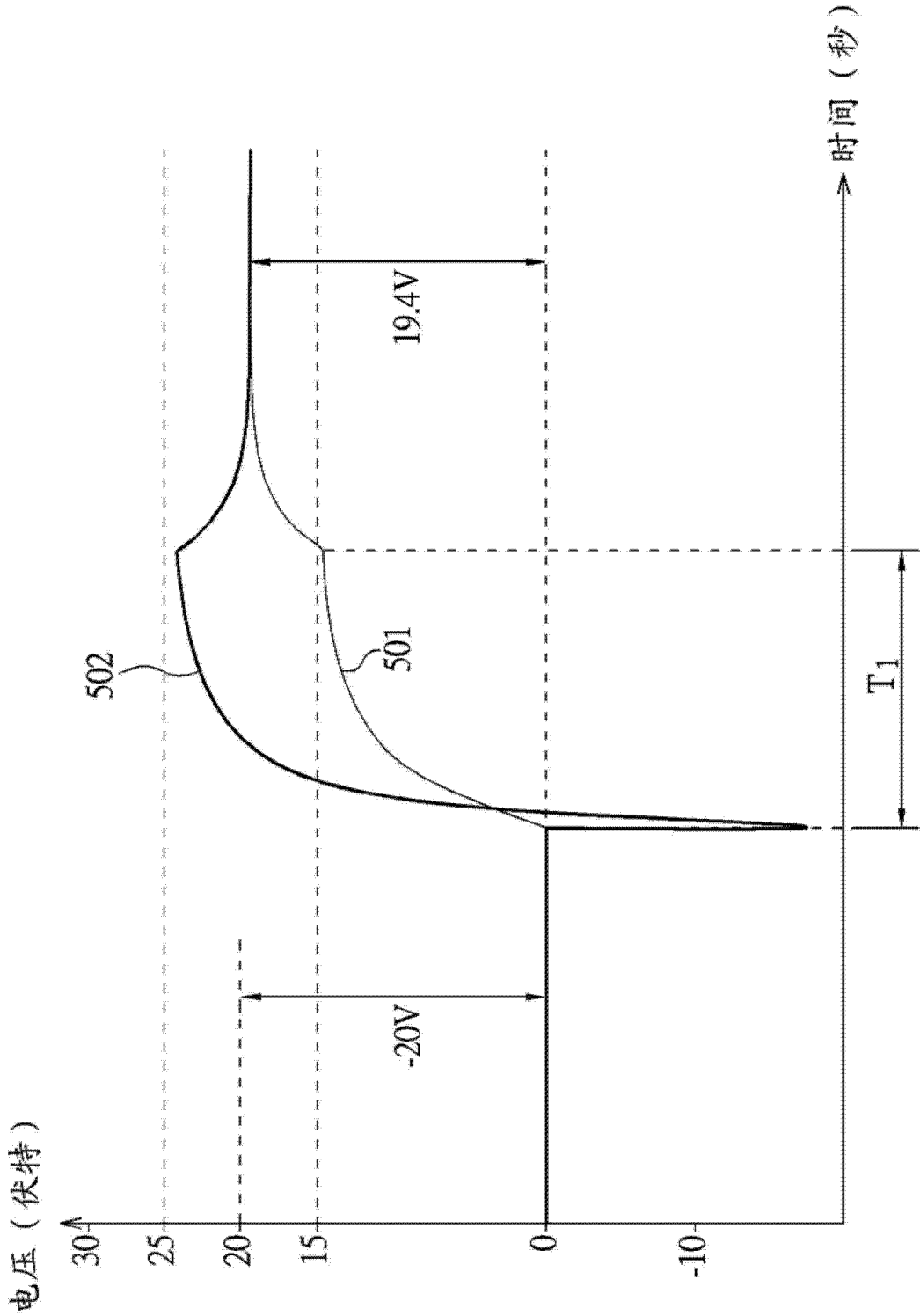


图 5

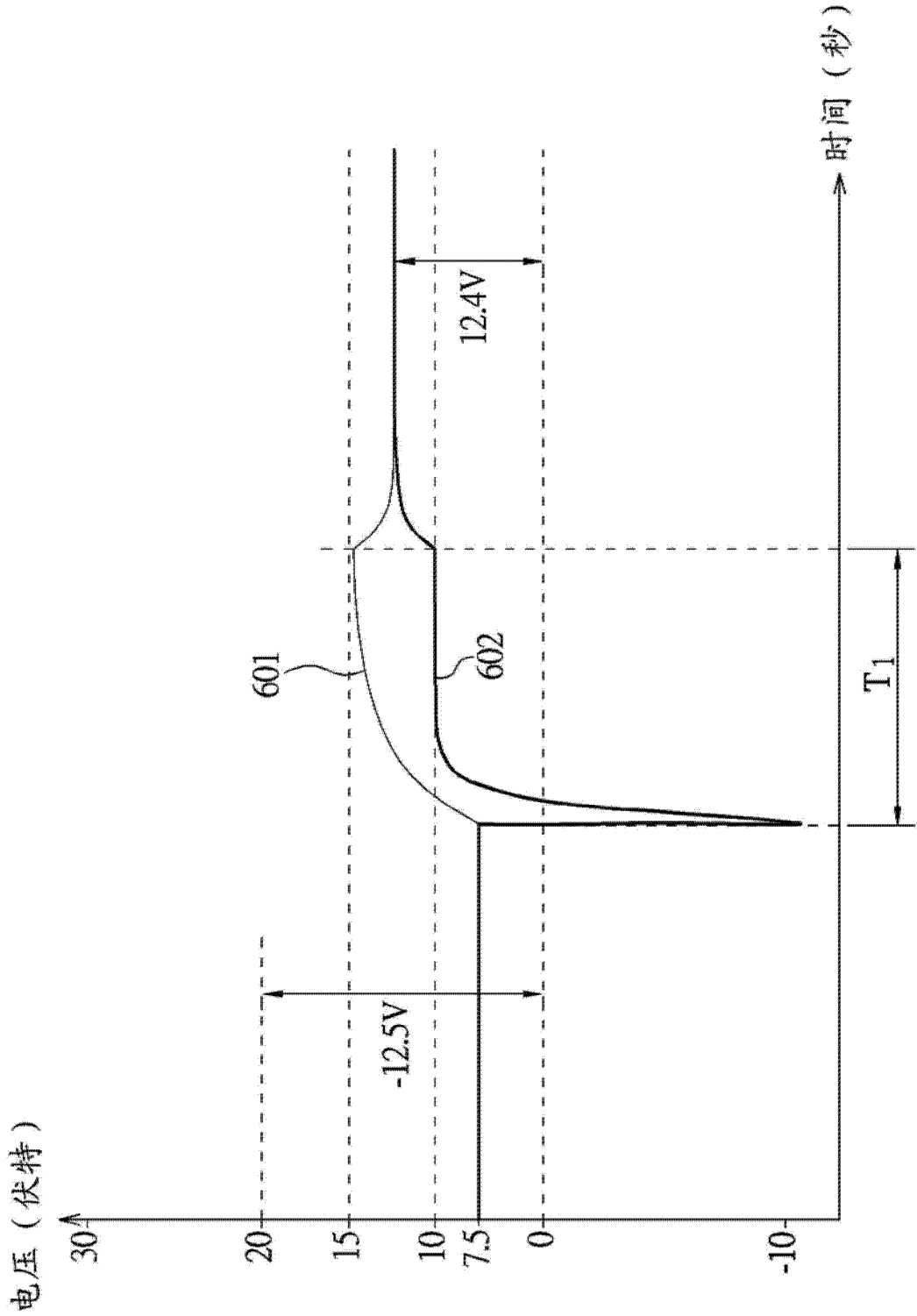


图 6

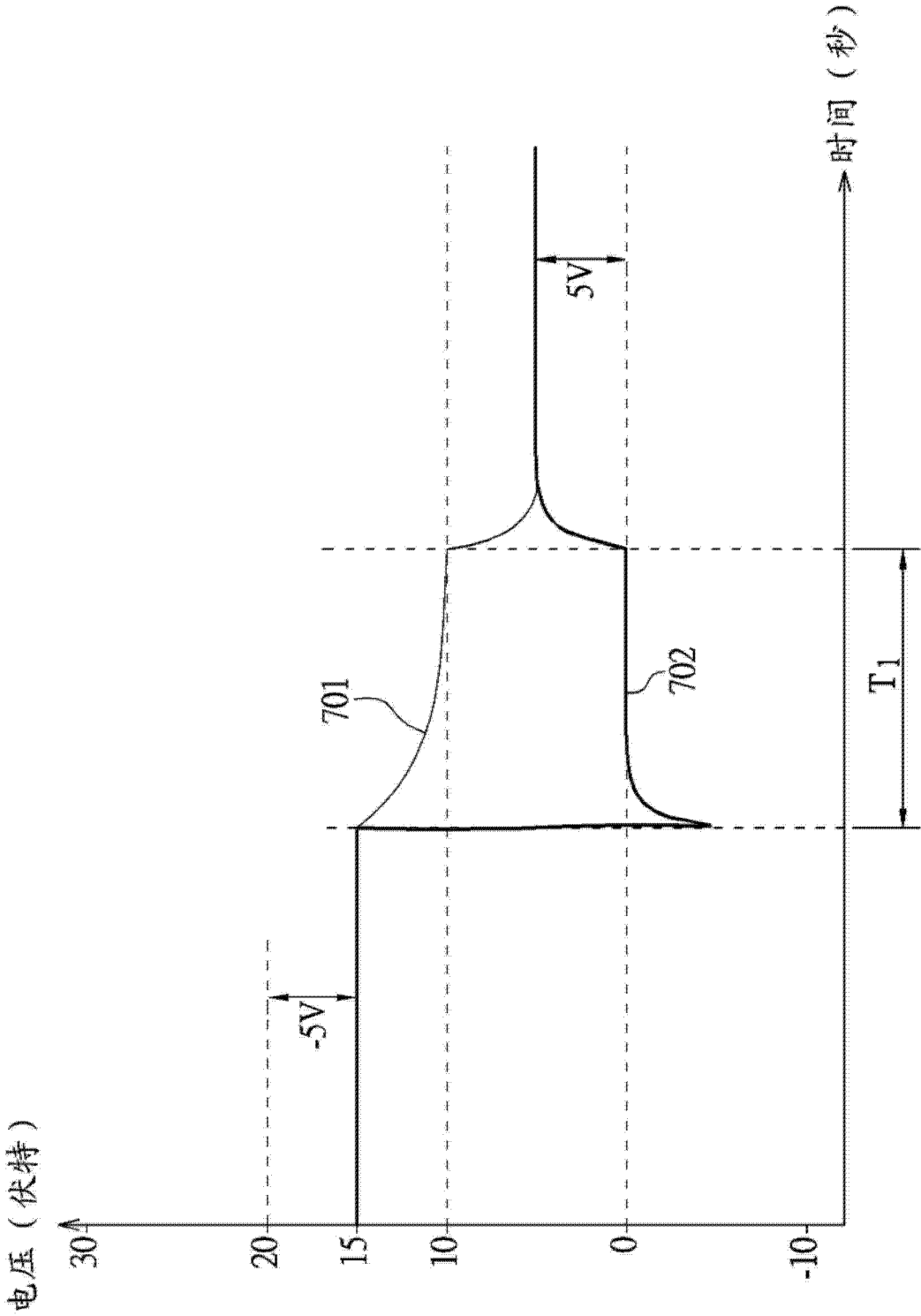


图 7

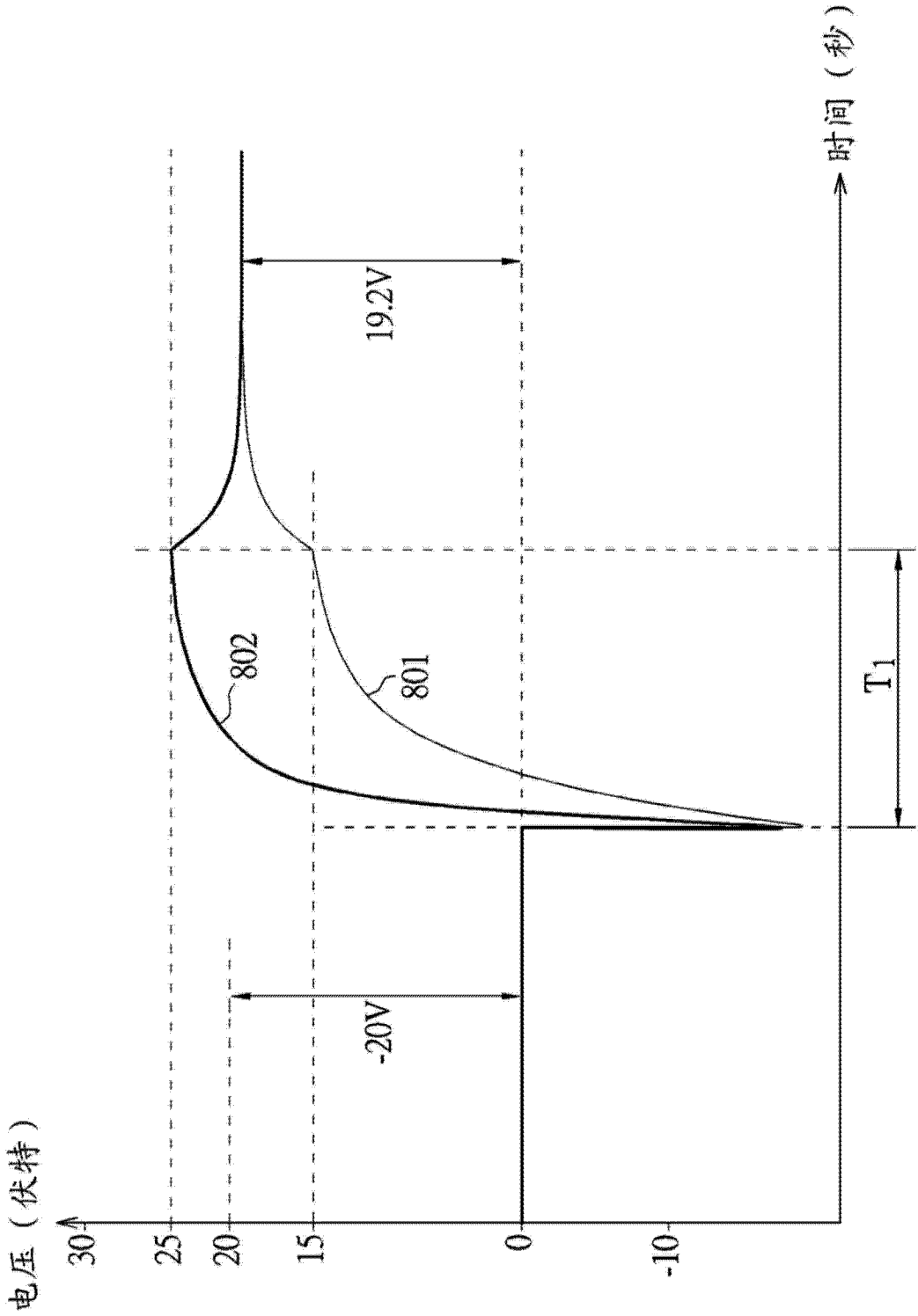


图 8

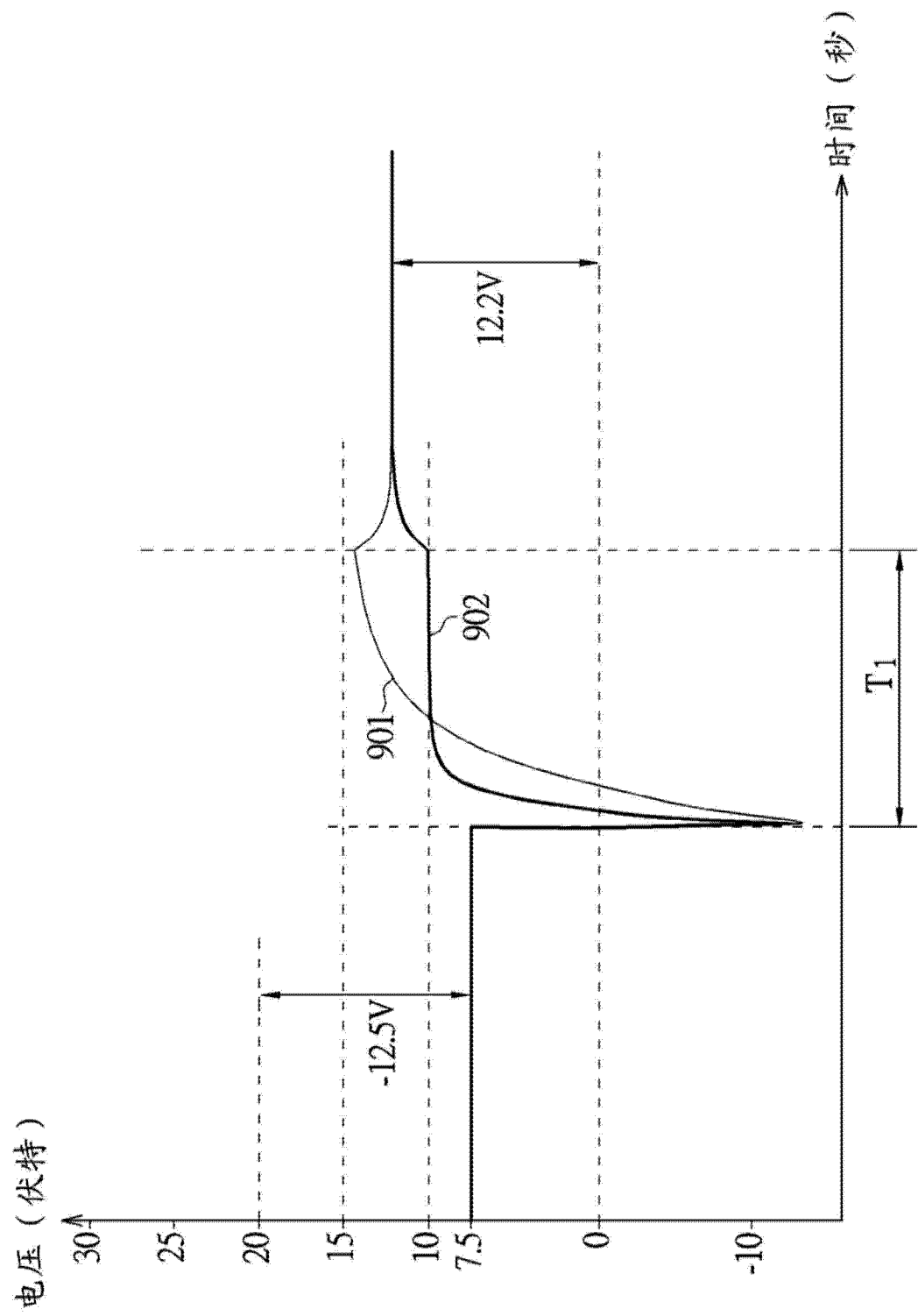


图 9

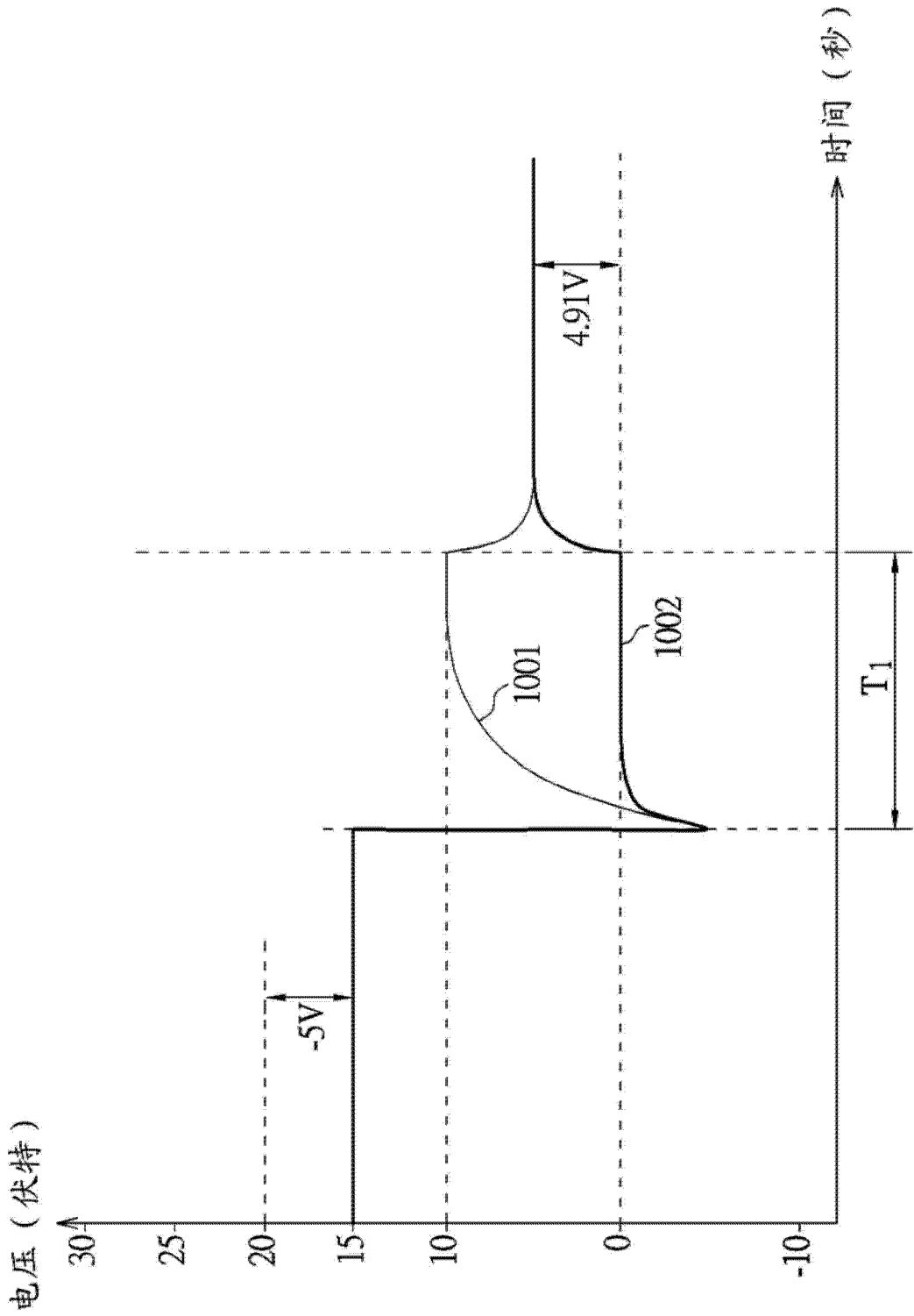


图 10

专利名称(译)	液晶显示器的像素电路及其控制方法		
公开(公告)号	CN104050940A	公开(公告)日	2014-09-17
申请号	CN201410200595.5	申请日	2014-05-13
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	林志隆 涂俊达 郑贤薰 林敬桓 辛坤莹		
发明人	林志隆 涂俊达 郑贤薰 林敬桓 辛坤莹		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3659 G09G2300/0809		
优先权	103108739 2014-03-12 TW		
其他公开文献	CN104050940B		
外部链接	Espacenet SIPO		

摘要(译)

本发明披露了一种液晶显示器的像素电路及其控制方法。该液晶显示器的像素电路包含第一开关、第二开关、第三开关、储存电容及液晶电容。第一开关依据第一栅极线的电位，控制数据线与储存电容之间的电性连接。第二开关依据第二栅极线的电位，控制储存电容与液晶电容之间的电性连接。第三开关依据第一栅极线的电位，控制偏压线与液晶电容之间的电性连接。在液晶显示器的每一帧周期内，当第一开关及第三开关开启时，第二开关关闭，而当第二开关开启时，第一开关及第三开关关闭。

