



(10) 授权公告号 CN 103325353 B

(45) 授权公告日 2016.01.06

9-10 段,第 4 页第 1-3 段,第 18 页 8 段,第 19 页第 8-9 段,第 24 页 4-9 段附图 6-25.

审查员 杨亚普

10-2012-0030091 2012. 03. 23 KR

地址 韩国首尔

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 钟强

G09G 3/36(2006.01)

CN 1323025 A, 2001. 11. 21, 说明书第 43 页
第 11-30 行、和附图 108.

JP 2009223322 A, 2009. 10. 01, 全文.

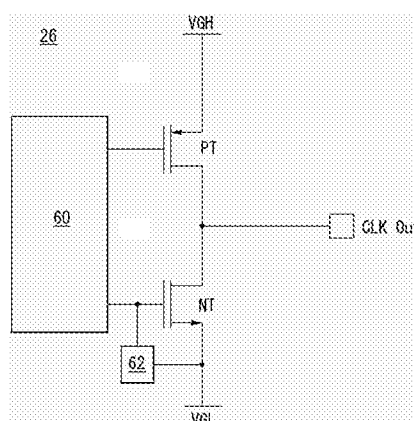
KR 20110048685 A, 2011.05.12, 全文.

CN 1561469 A, 2005.01.05, 说明书第3页第

权利要求书2页 说明书6页 附图7页

用于液晶显示器的电平移位器

本发明公开了一种用于液晶显示器的电平移位器。所述电平移位器包括下拉晶体管和输出稳定电路，所述下拉晶体管包括提供有栅低电压的源极端和与电平移位器的输出端连接的漏极端，并且所述下拉晶体管将所述电平移位器的输出端的电压放电，所述输出稳定电路与所述下拉晶体管的栅极端连接，并且所述输出稳定电路在通电顺序的过程中控制所述下拉晶体管的栅极电压，并放电所述电平移位器的输出电压。



1. 一种用于液晶显示器的电平移位器,所述液晶显示器包括显示面板、电平移位器、移位寄存器和功率集成电路(IC),所述显示面板包括数据线、与所述数据线交叉的栅极线和以矩阵形式布置的像素,所述电平移位器输出起始脉冲和时钟信号,所述移位寄存器响应于从所述电平移位器接收的所述起始脉冲和所述时钟信号而顺序地将栅极脉冲提供给所述栅极线,所述功率集成电路在通电顺序的过程中顺序地输出栅低电压、逻辑电源电压和栅高电压,所述电平移位器包括:

下拉晶体管,所述下拉晶体管包括提供有所述栅低电压的源极端和与所述电平移位器的输出端连接的漏极端,所述下拉晶体管将所述电平移位器的所述输出端的电压放电;和

输出稳定电路,所述输出稳定电路与所述下拉晶体管的栅极端连接,并且所述输出稳定电路在通电顺序的过程中控制所述下拉晶体管的栅极电压,并放电所述电平移位器的输出电压,

其中所述输出稳定电路包括:

第一电阻器,所述第一电阻器与接地电平电压源连接;

第一二极管,所述第一二极管连接在所述第一电阻器与所述下拉晶体管的所述源极端之间;

第二电阻器,所述第二电阻器连接在节点与所述下拉晶体管的所述栅极端之间,所述节点在所述第一电阻器与所述第一二极管之间;和

第二二极管,所述第二二极管连接在所述第二电阻器与所述下拉晶体管的栅极端之间。

2. 根据权利要求1所述的用于液晶显示器的电平移位器,其中所述第一二极管包括与所述下拉晶体管的所述源极端连接的阳极和与在所述第一电阻器与所述第二电阻器之间的节点连接的阴极,

其中所述第二二极管包括与所述下拉晶体管的所述栅极端连接的阴极和与所述第二电阻器连接的阳极。

3. 一种用于液晶显示器的电平移位器,所述液晶显示器包括显示面板、电平移位器、移位寄存器和功率集成电路(IC),所述显示面板包括数据线、与所述数据线交叉的栅极线和以矩阵形式布置的像素,所述电平移位器输出起始脉冲和时钟信号,所述移位寄存器响应于从所述电平移位器接收的所述起始脉冲和所述时钟信号而顺序地将栅极脉冲提供给所述栅极线,所述功率集成电路在通电顺序的过程中顺序地输出栅低电压、逻辑电源电压和栅高电压,所述电平移位器包括:

下拉晶体管,所述下拉晶体管包括提供有所述栅低电压的源极端和与所述电平移位器的输出端连接的漏极端,所述下拉晶体管将所述电平移位器的所述输出端的电压放电;和

输出稳定电路,所述输出稳定电路配置为与所述下拉晶体管的栅极端连接,

其中所述输出稳定电路在通电顺序的过程中在所述栅高电压输入到所述电平移位器之前通过控制所述下拉晶体管的栅极电压以导通所述下拉晶体管,将所述电平移位器的输出电压放电到所述栅低电压,

其中所述输出稳定电路包括开关,所述开关在通电顺序的过程中将所述逻辑电源电压提供给所述下拉晶体管的所述栅极端,

其中所述输出稳定电路的所述开关包括二极管,所述二极管具有与所述下拉晶体管的

所述栅极端连接的阴极和通过电阻器与逻辑电源电压电阻器连接的阳极。

用于液晶显示器的电平移位器

[0001] 本申请要求享有于 2012 年 3 月 23 日提交的韩国专利申请 No. 10-2012-0030091 的权益,为了所有目的将该专利申请的全部内容引入本文以供参考,如同在此完全阐述一样。

技术领域

[0002] 本发明的实施方式涉及一种用于液晶显示器的电平移位器(level shifter)。

背景技术

[0003] 有源矩阵液晶显示器包括在每个像素中的作为开关元件的薄膜晶体管(TFT)。有源矩阵液晶显示器可制造得比阴极射线管(CRT)小,并因而可应用于便携式信息设备、办公设备和计算机等的显示单元。此外,有源矩阵液晶显示器可应用于电视机,并因而快速地取代阴极射线管。

[0004] 液晶显示器包括液晶显示面板、给液晶显示面板提供光的背光单元、用于将数据电压提供给液晶显示面板的数据线的数据驱动电路,用于将栅极脉冲(即扫描脉冲)提供给液晶显示面板的栅极线(即扫描线)的栅极驱动电路、用于控制所述数据驱动电路和栅极驱动电路等的操作时序的时序控制器。液晶显示器还包括电源装置,所述电源装置用于产生液晶显示面板的数据电压、TFT 的导通电压 VGH 和截止电压 VGL 以及数据驱动电路和栅极驱动电路和时序控制器的电源电压 VCC。

[0005] 液晶显示器的电源装置被集成到一个集成电路(IC)中。以下将嵌入有电源装置的 IC 称为功率 IC。当液晶显示器的功率开关打开时,功率 IC 的输入电压 Vin 升高。

[0006] 液晶显示器的功率 IC 具有欠压锁定(under voltage lock out;UVLO)功能。当功率 IC 的输入电压 Vin 达到 UVLO 的先前预定的电平时,功率 IC 产生内部逻辑电压 VL 并启动内部逻辑。当内部逻辑启动时功率 IC 产生输出电压 Vout。

[0007] 液晶显示器的栅极驱动电路包括电平移位器和移位寄存器。随着面板内栅极(GIP)工艺技术的发展,移位寄存器可与 TFT 阵列一道形成在基板上,在所述基板上形成有液晶显示面板的 TFT 阵列。电平移位器可形成在印刷电路板(PCB)上,所述印刷电路板与液晶显示面板的基板电连接。电平移位器在时序控制器的控制下输出在栅高电压 VGH 与栅低电压 VGL 之间摆动的时钟信号。栅高电压 VGH 的电压被设定为等于或大于 TFT 的阈值电压,所述 TFT 被包括在液晶显示面板的 TFT 阵列中。栅低电压 VGL 的电压被设定为小于 TFT 的阈值电压,所述 TFT 被包括在液晶显示面板的 TFT 阵列中。移位寄存器顺序地移位从电平移位器接收的时钟信号,并将栅极脉冲顺序地提供给液晶显示面板的栅极线。

[0008] 如图 1 所示,电平移位器包括逻辑电路 50、上拉晶体管 PT 和下拉晶体管 NT 等。上拉晶体管 PT 可以以 p 型金属氧化物半导体场效应晶体管(MOSFET)来实现,而下拉晶体管 NT 可以以 n 型 MOSFET 来实现。

[0009] 根据通电顺序(power-on sequence),栅低电压 VGL 被提供给电平移位器,并且在几毫秒(ms)的一段时间过去之后,栅高电压 VGH 被提供给电平移位器。在通电顺序的过程中,当提供给电平移位器的栅高电压 VGH 达到 UVLO 的预定电平时,电平移位器的逻辑电路

50 启动并开始操作。当逻辑电路 50 启动并在通电顺序之后开始正常操作时,逻辑电路 50 响应于从时序控制器接收的时钟信号而产生用于控制上拉晶体管 PT 和下拉晶体 NT 的导通操作和截止操作的输出。上拉晶体管 PT 响应于逻辑电路 50 的第一输出而将栅高电压 VGH 提供给输出端,并且升高时钟信号 CLK。下拉晶体管 NT 响应于逻辑电路 50 的第二输出而将输出端放电至栅低电压 VGL,并且下降时钟信号 CLK。

[0010] 当液晶显示器的功率开关打开时,功率 IC 顺序地输出与先前确定的通电顺序一致的栅低电压 VGL 和栅高电压 VGH。当栅高电压 VGH 升高到等于或大于 UVLO 的预定电平的电压时,电平移位器启动并且可稳定地产生正常输出。

[0011] 在通电顺序的过程中,在栅高电压 VGH 被输入到电平移位器之前,逻辑电路 50 的输出浮置。因此,上拉晶体管 PT 的栅极电压和下拉晶体管 NT 的栅极电压可在通电顺序的过程中不稳定地摆动。在这种情况下,如图 2 所示,在栅高电压 VGH 被提供给电平移位器之前,电平移位器的输出 CLK 不稳定地摆动。电平移位器的不稳定的输出可暂时地导致移位寄存器的错误操作以及液晶显示面板的像素处于液晶显示器刚打开的初始状态。

发明内容

[0012] 本发明的实施方式提供一种用于液晶显示器的电平移位器,所述电平移位器能够防止在通电顺序的过程中液晶显示器的错误操作。

[0013] 在一个方面,提供一种用于液晶显示器的电平移位器,所述液晶显示器包括显示面板、电平移位器、移位寄存器和功率集成电路(IC),所述显示面板包括数据线、与所述数据线交叉的栅极线和以矩阵形式布置的像素,所述电平移位器输出起始脉冲和时钟信号,所述移位寄存器响应于从所述电平移位器接收的所述起始脉冲和所述时钟信号而顺序地将栅极脉冲提供给所述栅极线,所述功率集成电路在通电顺序的过程中顺序地输出栅低电压、逻辑电源电压和栅高电压,所述电平移位器包括:下拉晶体管,所述下拉晶体管包括提供有所述栅低电压的源极端和与所述电平移位器的输出端连接的漏极端,所述下拉晶体管将所述电平移位器的所述输出端的电压放电;和输出稳定电路,所述输出稳定电路与所述下拉晶体管的栅极端连接,并且所述输出稳定电路在通电顺序的过程中控制所述下拉晶体管的栅极电压,并放电所述电平移位器的输出电压。

附图说明

[0014] 被包括来提供对本发明的进一步理解且并入并构成本申请文件的一部分的附图图解了本发明的实施方式,并连同说明书一起用于解释本发明的原理,在附图中:

[0015] 图 1 是现有技术的电平移位器的电路图;

[0016] 图 2 是示出在栅高电压被提供给电平移位器之前,图 1 所示的电平移位器的输出是不稳定的现象的波形图;

[0017] 图 3 是根据本发明示例性实施方式的液晶显示器的方框图;

[0018] 图 4 是示出在图 3 所示的功率 IC 中的输入信号和输出信号的波形图;

[0019] 图 5 是示出图 3 所示的电平移位器的输入信号和输出信号的波形图;

[0020] 图 6 是根据本发明示例性实施方式的电平移位器的构造的方框图;

[0021] 图 7 是详细示出图 6 所示的输出稳定电路的电路图;和

[0022] 图 8 是根据本发明示例性实施方式的电平移位器的另一种构造的方框图。

具体实施方式

[0023] 现在将详细描述本发明的实施方式,这些实施方式的例子在附图中示出。只要有可能,在所有附图中相同的附图标记将用于指代相同或相似的部件。应当注意的是如果确定对某些已知技术的详细描述可能会模糊本发明的要点,那么将省略该详细描述。

[0024] 根据本发明示例性实施方式的液晶显示器可以以包括透射式液晶显示器、透射反射式液晶显示器和反射式液晶显示器的任何类型的液晶显示器来实现。透射式液晶显示器和透射反射式液晶显示器需要背光单元,所述背光单元在附图中省略。诸如扭曲向列(TN)模式和垂直定向(vertical alignment, VA)模式之类的垂直电场驱动方式或诸如面内切换(IPS)模式和边缘场切换(FFS)模式之类的水平电场驱动方式可应用到本发明实施方式中。目前已知的所有液晶模式都可应用到本发明实施方式中。

[0025] 如图 3 所示,根据本发明实施方式的液晶显示器包括显示面板 10、数据驱动电路、面板内栅极(GIP)型栅极驱动电路和时序控制器 22 等。

[0026] 显示面板 10 包括像素阵列并显示输入图像数据,所述像素阵列包括以矩阵形式布置的像素。像素阵列包括形成在显示面板 10 的下基板上的薄膜晶体管(TFT)阵列、形成在显示面板 10 的上基板上的滤色器阵列和形成在上基板和下基板之间的液晶盒 Clc。TFT 阵列包括数据线 11、与数据线 11 交叉的栅极线(即扫描线)12、分别形成在数据线 11 与栅极线 12 的交叉处的 TFT、与 TFT 连接的像素电极 1、存储电容器 Cst 等。滤色器阵列包括黑矩阵和滤色器。公共电极 2 可形成在显示面板 10 的下基板或上基板上。液晶盒 Clc 由施加了数据电压的像素电极 1 与施加了公共电压 Vcom 的公共电极 2 之间的电场驱动。

[0027] 光轴彼此垂直的偏振板被分别贴附到显示面板 10 的上基板和下基板。在显示面板 10 的上基板和下基板上分别形成有定向层,用于设定在接触液晶层界面处的液晶的预倾角。在显示面板 10 的上基板与下基板之间设置有间隔物,以保持液晶层恒定的盒间隙(cell gap)。

[0028] 数据驱动电路包括多个源极驱动器集成电路(IC)24。源极驱动器 IC24 接收来自时序控制器 22 的数字视频数据 RGB。源极驱动器 IC24 响应于从时序控制器 22 接收的源极时序控制信号将数字视频数据 RGB 转换为正和负模拟数据电压。然后,源极驱动器 IC24 将数据电压提供给显示面板 10 的数据线 11,使得数据电压与栅极脉冲(即扫描脉冲)同步。源极驱动器 IC24 可通过玻载芯片(COG)工艺或卷带式自动接合(TAB)工艺而与显示面板 10 的数据线 11 连接。图 3 示出了安装在载带封装(TCP)上的源极驱动器 IC24。印刷电路板(PCB)20 经由 TCP 与显示面板 10 的下基板连接。

[0029] GIP 型栅极驱动电路包括电平移位器 26 和移位寄存器 30,所述电平移位器 26 安装在 PCB20 上,所述移位寄存器 30 形成在显示面板 10 的下基板上。

[0030] 时序控制器 22、电平移位器 26 和功率 IC40 安装在 PCB20 上。

[0031] 电平移位器 26 接收来自时序控制器 22 的起始脉冲 ST、第一时钟 GCLK 和第二时钟 MCLK 等。此外,电平移位器 26 接收包括栅高电压 VGH 和栅低电压 VGL 等的驱动电压。起始脉冲 ST、第一时钟 GCLK 和第二时钟 MCLK 在 0V 与 3.3V 之间摆动(swing)。栅高电压 VGH 等于或大于包括在显示面板 10 的 TFT 阵列中的 TFT 的阈值电压,并且所述栅高电压 VGH 为

约 30V。栅低电压 VGL 小于包括在显示面板 10 的 TFT 阵列中的 TFT 的阈值电压,并且所述栅低电压 VGL 为约 -5V。

[0032] 如图 5 所示,电平移位器 26 响应于来自时序控制器 22 的起始脉冲 ST、第一时钟 GCLK 和第二时钟 MCLK 而输出起始脉冲 VST 和时钟信号 CLK1 至 CLK6,所述时钟信号 CLK1 至 CLK6 的每一个在栅高电压 VGH 与栅低电压 VGL 之间摆动。从电平移位器 26 输出的时钟信号 CLK1 至 CLK6 被顺序地移相(phase-shifted)并且被传输至 GIP 型栅极驱动电路的移位寄存器 30。

[0033] 移位寄存器 30 与显示面板 10 的栅极线 12 连接。移位寄存器 30 包括多个级联的级(cascade-connected stage)。移位寄存器 30 响应于时钟信号 CLK1 至 CLK6 而将从电平移位器 26 接收的起始脉冲 VST 移位,并且顺序地将栅极脉冲提供给栅极线 12。

[0034] 时序控制器 22 从外部主系统(未示出)接收数字视频数据 RGB 和时序信号,所述时序信号诸如垂直同步信号 Vsync、水平同步信号 Hsync、数据使能信号 DE 和主时钟 CLK。时序控制器 22 将数字视频数据 RGB 传输给源极驱动器 IC24。时序控制器 22 使用时序信号 Vsync、Hsync、DE 和 CLK 产生源极时序控制信号和栅极时序控制信号 ST、GCLK 和 MCLK,所述源极时序控制信号用于控制源极驱动器 IC24 的操作时序,所述栅极时序控制信号 ST、GCLK 和 MCLK 用于控制 GIP 型栅极驱动电路的电平移位器 26 和移位寄存器 30 的操作时序。

[0035] 当从主机系统接收的功率 IC40 的输入电压 V_{in} 等于或大于欠压锁定(UVLO)的预定电平时,功率 IC40 开始操作,并在预定时间过去之后产生输出。功率 IC40 的输出包括 VGH、VGL、VCC、VDD、HVDD 和 RST 等。VCC 是用于驱动时序控制器 22 和源极驱动器 IC24 的逻辑电源电压,并且 VCC 可以是约 3.3V。VDD 和 HVDD 是高电位电源电压和半高电位电源电压,所述高电位电源电压和半高电位电源电压将被提供给伽马参考电压产生电路的分压器,用于产生正和负伽马参考电压。正和负伽马参考电压被提供给源极驱动器 IC24。RST 是用于复位时序控制器 22 的复位信号,并且 RST 可以是约 3.3V。

[0036] 如图 4 所示,功率 IC40 顺序地输出与先前确定的通电顺序一致的液晶显示器的驱动电压。更具体地,功率 IC40 当它的输入电压 V_{in} 升高并达到 UVLO 的预定电平时开始操作,并且在第一延迟时间 DLY0 过去之后产生使能信号 EN。接下来,功率 IC40 继使能信号 EN 之后产生逻辑电源电压 VCC,并在第二延迟时间 DLY1 过去之后输出复位信号 RST。接下来,功率 IC40 继复位信号 RST 之后产生栅低电压 VGL,并在第三延迟时间 DLY2 过去之后继栅低电压 VGL 之后产生高电位电源电压 VDD 和半高电位电源电压 HVDD。接下来,功率 IC40 在第四延迟时间 DLY3 过去之后继高电位电源电压 VDD 和半高电位电源电压 HVDD 之后产生栅高电压 VGH。

[0037] 图 5 是示出电平移位器 26 的输入信号和输出信号的波形图。图 6 是电平移位器 26 的第一构造例子的方框图。图 7 是详细示出图 6 所示的输出稳定电路的电路图。

[0038] 如图 5 至图 7,电平移位器 26 包括逻辑电路 60、上拉晶体管 PT、下拉晶体管 NT 和输出稳定电路 62 等。上拉晶体管 PT 可以以 p 型金属氧化物半导体场效应晶体管(MOSFET)来实现,并且下拉晶体管 NT 可以以 n 型 MOSFET 来实现。

[0039] 根据通电顺序,栅低电压 VGL 被提供给电平移位器 26,并且在几毫秒(ms)的一段时间过去之后,栅高电压 VGH 被提供给电平移位器 26。在通电顺序的过程中,当提供给电平移位器 26 的栅高电压 VGH 达到 UVLO 的预定电平时,电平移位器 26 的逻辑电路 60 启动并

开始操作。当逻辑电路 60 启动并在通电顺序之后开始正常操作时,逻辑电路 60 响应于从时序控制器 22 接收的时钟信号 VST、MCLK 和 GCLK 而产生用于控制上拉晶体管 PT 和下拉晶体管 NT 的导通操作和截止操作的输出。

[0040] 上拉晶体管 PT 包括提供有栅高电压 VGH 的源极端、与电平移位器 26 的输出端连接的漏极端和与逻辑电路 60 的第一输出端连接的栅极端。上拉晶体管 PT 响应于逻辑电路 60 的第一输出而将栅高电压 VGH 提供给电平移位器 26 的输出端,并且升高时钟信号 CLK。

[0041] 下拉晶体管 NT 包括提供有栅低电压 VGL 的源极端、与电平移位器 26 的输出端连接的漏极端和与逻辑电路 60 的第二输出端连接的栅极端。下拉晶体管 NT 响应于逻辑电路 60 的第二输出而将电平移位器 26 的输出端放电至栅低电压 VGL,并且下降时钟信号 CLK。

[0042] 电平移位器 26 在通电顺序之后开始正常操作,并将起始脉冲 ST 的电压电平移位至在栅低电压 VGL 与栅高电压 VGH 之间摆动的电压,由此输出起始脉冲 VST。当第一时钟 GCLK 升高时,电平移位器 26 把将要提供给移位寄存器 30 的时钟信号 CLK1 至 CLK6 升高,并且每次输入第一时钟 GCLK 时移位时钟信号 CLK1 至 CLK6。时钟信号 CLK1 至 CLK6 的每一个在栅低电压 VGL 与栅高电压 VGH 之间摆动。电平移位器 26 开始降低与第二时钟 MCLK 的上升沿同步的栅高电压 VGH,而将栅高电压 VGH 提高到与第二时钟 MCLK 的下降沿同步的原始电压。因此,栅低电压 VGL 与栅高电压 VGH 之间的差降低大约时钟信号 CLK1 至 CLK6 的下降沿。结果,时钟信号 CLK1 至 CLK6 之间的电压差的降低减少液晶盒的反冲电压 ΔV_p ,由此减少闪烁(flicker)。

[0043] 输出稳定电路 62 增加下拉晶体管 NT 的栅极电压,使得在通电顺序的过程中,在栅高电压 VGH 被输入到电平移位器 26 之前,稳定电平移位器 26 的输出。下拉晶体管 NT 取决于在通电顺序的过程中由输出稳定电路 62 增加的栅极电压而导通,由此将电平移位器 26 的输出电压放电到栅低电压 VGL。

[0044] 如图 7 所示,输出稳定电路 62 包括第一二极管 ZD 和第二二极管 D 以及第一电阻器 R1 和第二电阻器 R2。在通电顺序的过程中,输出稳定电路 62 将电平移位器 26 的输出电压稳定到栅低电压 VGL 一段初始时间,在此段时间栅低电压 VGL 被提供给电平移位器 26,而栅高电压 VGH 还没有被提供给电平移位器 26。

[0045] 第一二极管 ZD 的阳极与下拉晶体管 NT 的源极端连接,而第一晶体管 ZD 的阴极与在第一电阻器 R1 与第二电阻器 R2 之间的节点连接。第一二极管 ZD 可以以齐纳二极管来实现。第一电阻器 R1 连接在接地电平电压源 GND(即,零伏)与第一二极管 ZD 的阴极之间。第二电阻器 R2 与第二二极管 D 的阳极连接,并与在第一电阻器 R1 与第一二极管 ZD 之间的节点连接。

[0046] 在通电顺序的过程中,当栅低电压 VGL 被提供给电平移位器 26 并且栅低高电压 VGH 还没有被提供给电平移位器 26 时,栅低电压 VGL(例如, -5V)被施加到第一二极管 ZD 的阴极,而 0V 被施加到第一二极管 ZD 的阳极。因此,因为栅源电压大于下拉晶体管 NT 的阈值电压,所以下拉晶体管 NT 导通。结果,电平移位器 26 的输出端被放电到栅低电压 VGL。

[0047] 第二二极管 D 的阳极与第二电阻器 R2 连接,并且第二二极管 D 的阴极与下拉晶体管 NT 的栅极端连接。只有当第二二极管 D 的阳极电压大于第二二极管 D 的阴极电压并且阳极电压与阴极电压之间的差等于或大于第二二极管 D 的阈值电压时,第二二极管 D 导通。第二二极管 D 在其余情况中保持截止状态。因此,第二二极管 D 用作开关元件。因此,第

二极管 D 阻挡从下拉晶体管 NT 的栅极端流向接地电平电压源 GND 的反向电流,由此防止当逻辑电路 60 正常操作时,逻辑电路 60 的第二输出的电压非正常的放电。

[0048] 在通电顺序的过程中,在产生栅高电压 VGH 之前,产生逻辑电源电压 VCC。如图 8 所示,在通电顺序的过程中,输出稳定电路 62 通过使用这个的开关 SW 将逻辑电源电压 VCC 提供给下拉晶体管 NT 的栅极端,并可将电平移位器 26 的输出电压放电到栅低电压 VGL。开关 SW 可以以图 7 中示出的第二二极管 D 来简单实现。在这种情况下,逻辑电源电压 VCC 被提供给用作开关 SW 的二极管的阳极,并且二极管的阴极与下拉晶体管 NT 的栅极端连接。

[0049] 如上所述,本发明的实施方式将包括在电平移位器中的下拉晶体管和输出稳定电路彼此连接。在通电顺序的过程中,输出稳定电路将电平移位器的输出电压放电初始时间,在所述初始时间栅低电压被提供给电平移位器而栅高电压还没有被提供给电平移位器。结果,本发明的实施方式可防止在通电顺序的过程中液晶显示器的错误操作。

[0050] 尽管已经参考多个示例性的实施方式描述了实施方式,但是应当理解的是:可以由所属领域技术人员构思出属于本发明内容的原理范围内的大量其他改型和实施方式。尤其是,可以在本发明说明书、附图和所附权利要求书的范围内对主题组合方案的组成部件和 / 或布置作出各种变化和修改。除了组成部件和 / 或结构的变化和修改之外,替代使用对于所属领域技术人员而言也是明显的。

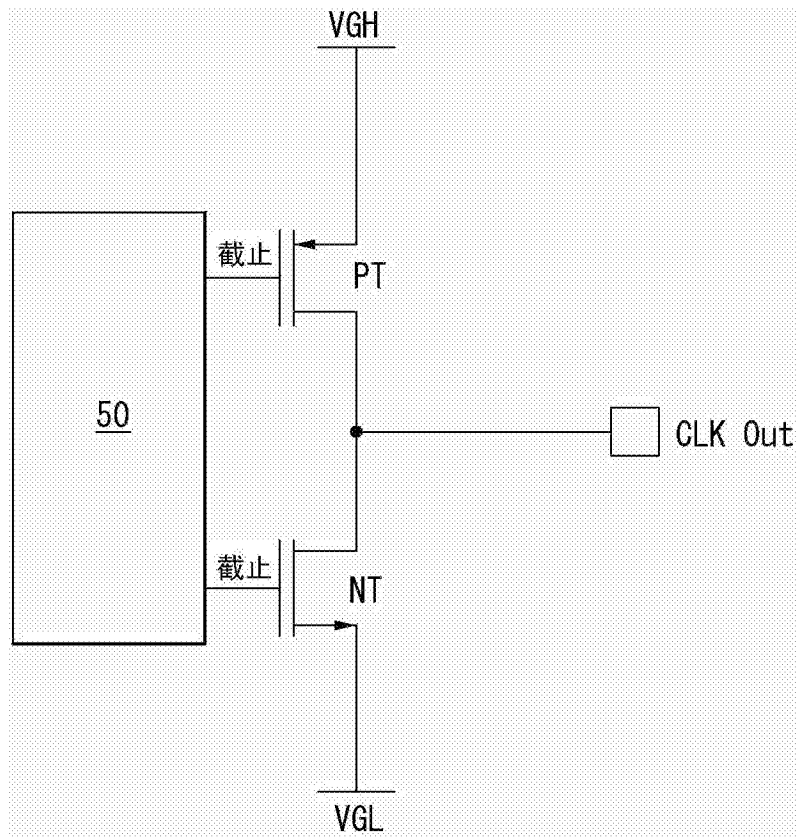


图 1

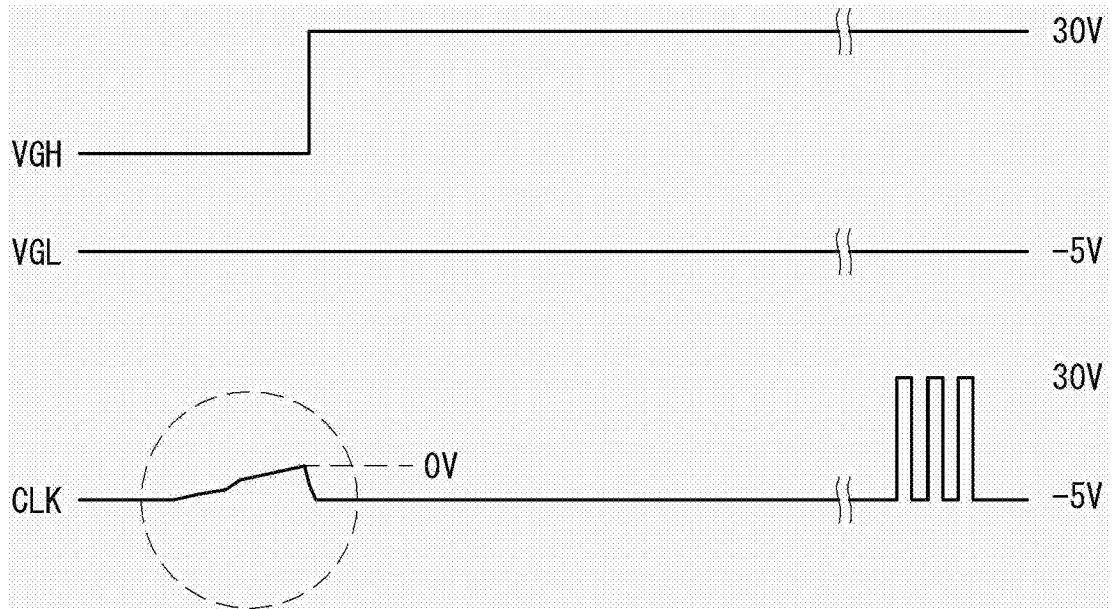


图 2

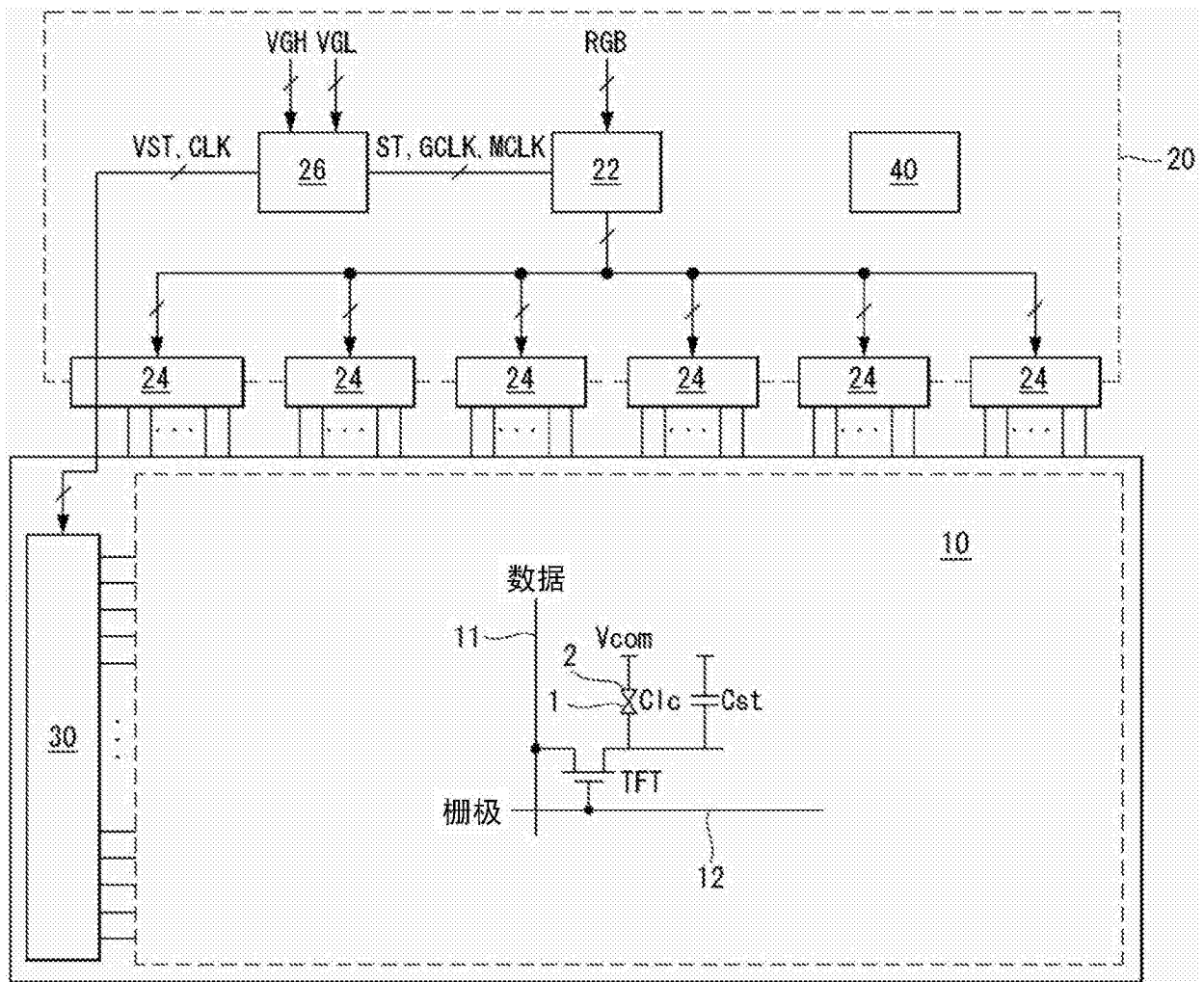


图 3

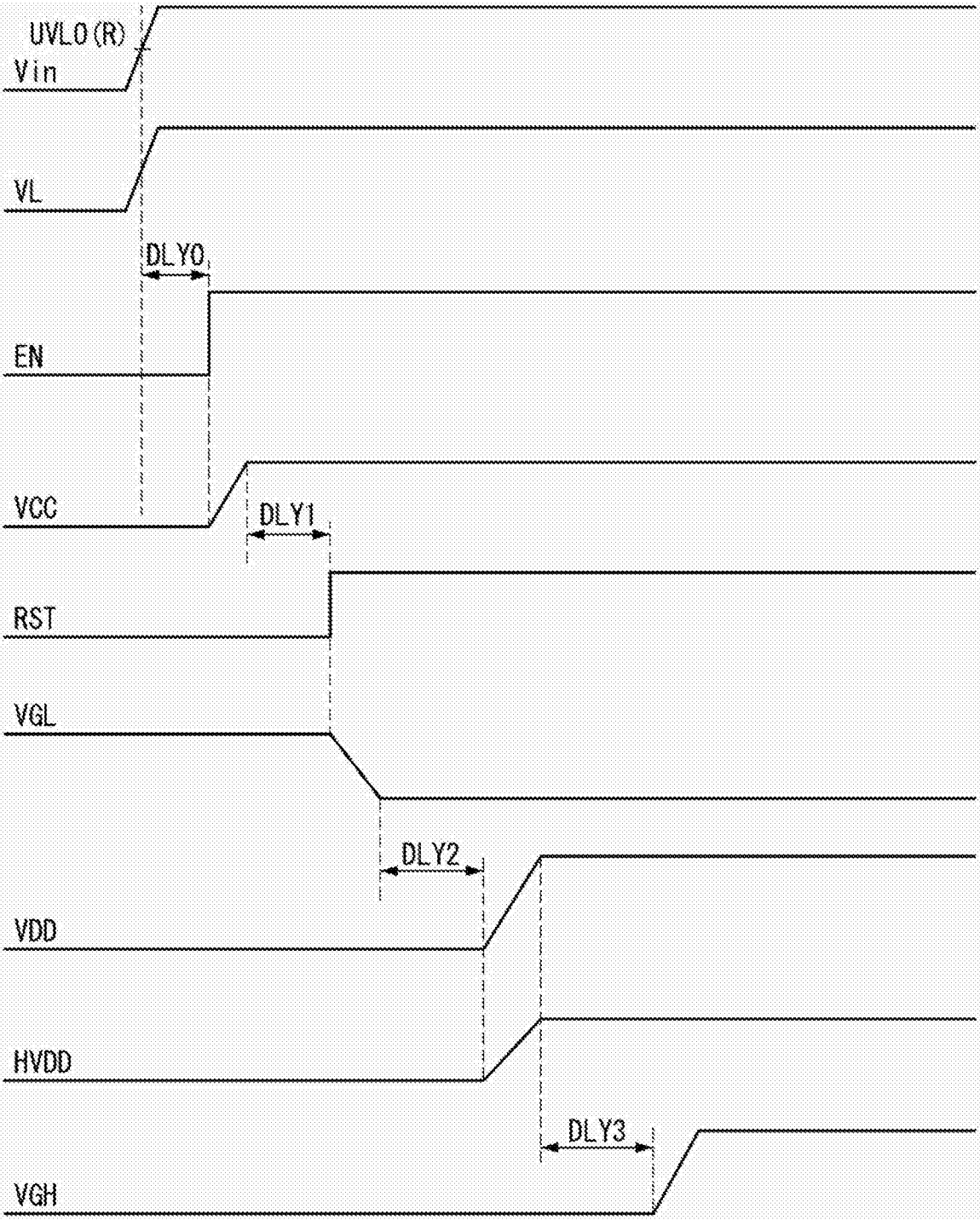


图 4

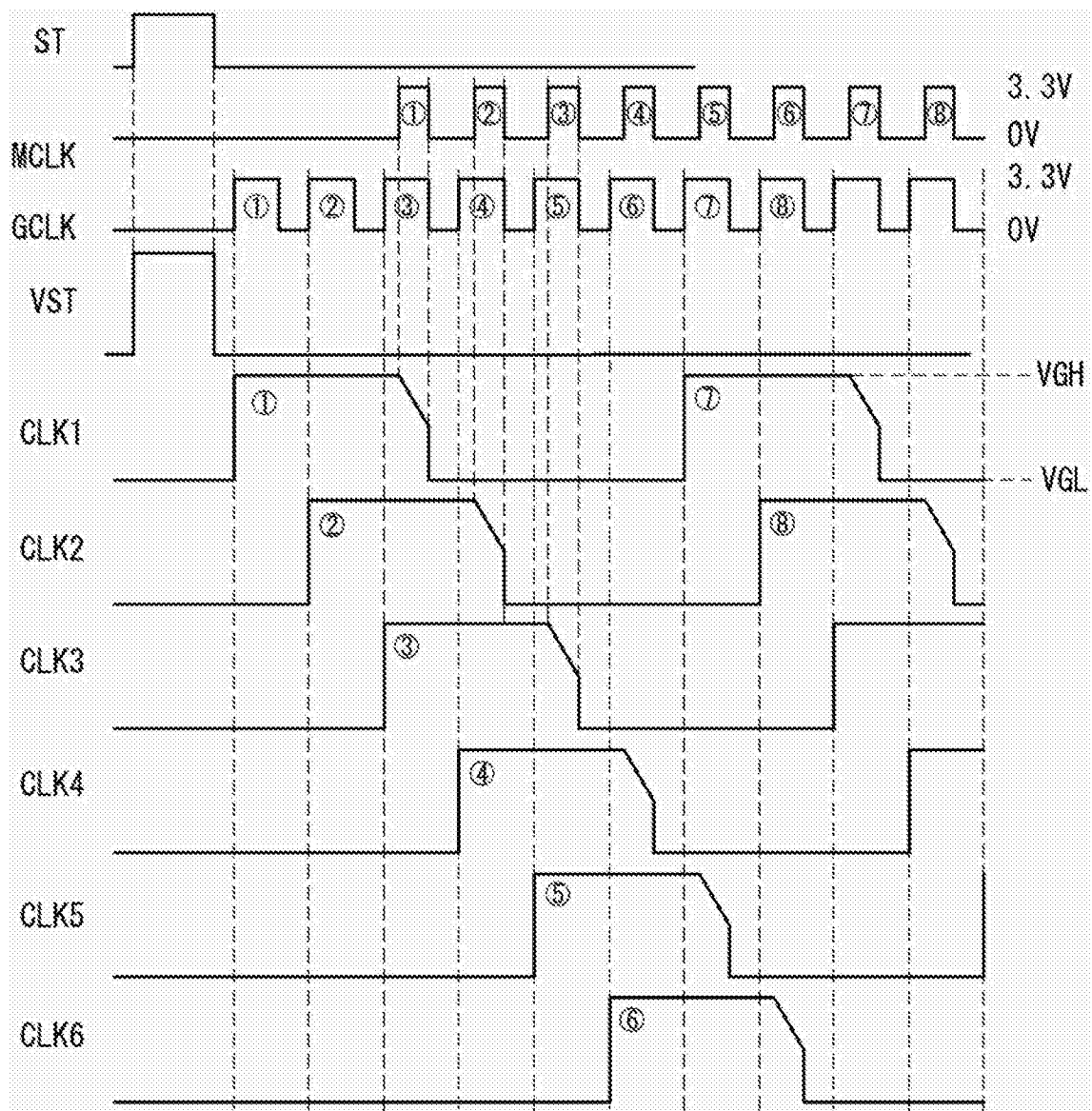


图 5

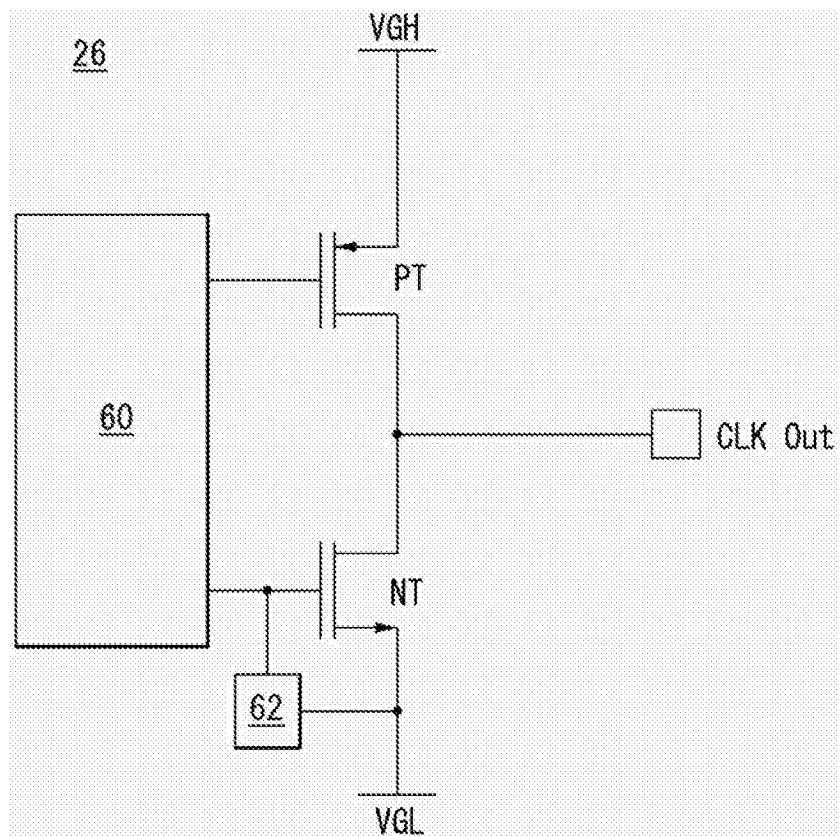


图 6

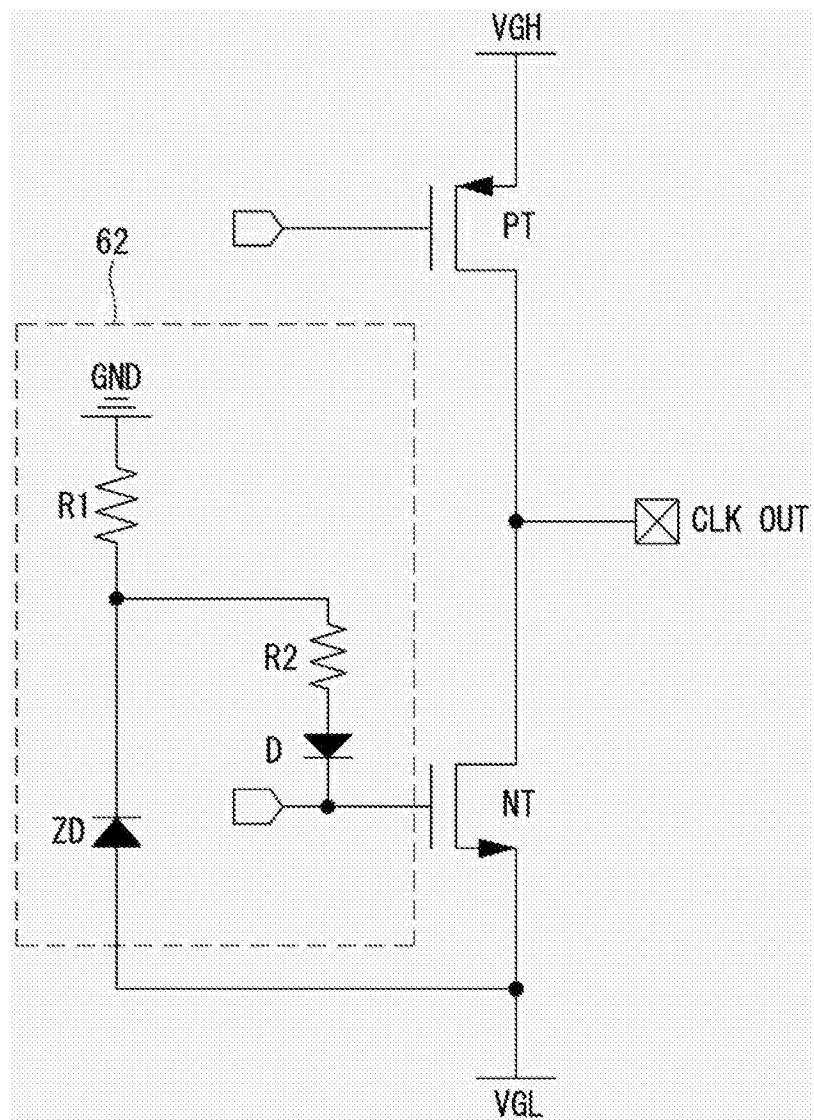


图 7

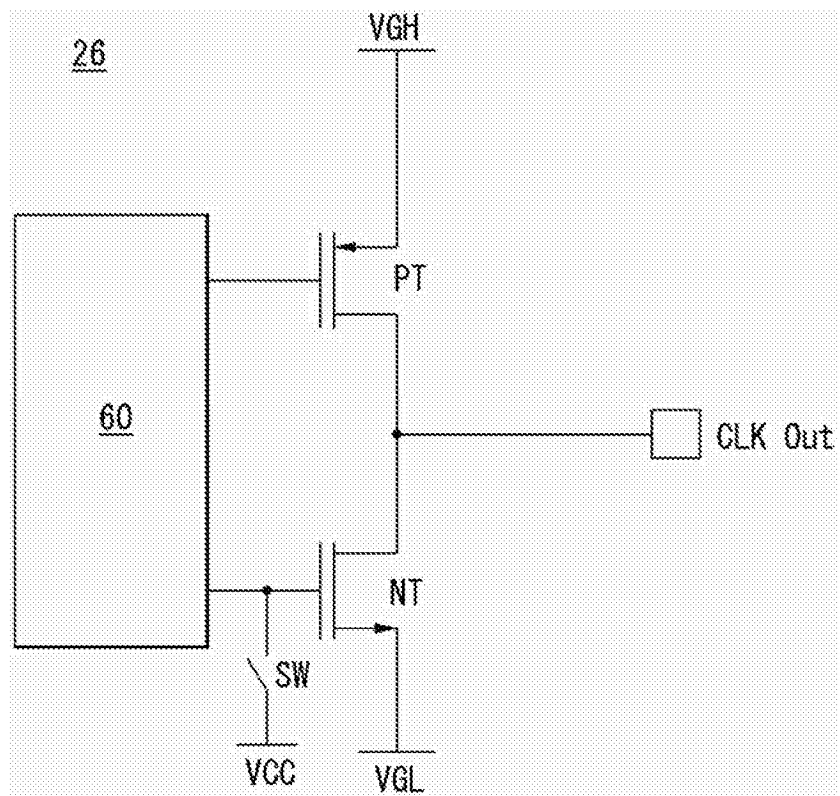


图 8

专利名称(译)	用于液晶显示器的电平移位器		
公开(公告)号	CN103325353B	公开(公告)日	2016-01-06
申请号	CN201310093969.3	申请日	2013-03-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	朴珉奎		
发明人	朴珉奎		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3611 G09G3/3648 G09G3/3677 G09G3/3688 G09G2310/0289 G09G2330/026 G09G2370/08		
代理人(译)	徐金国 钟强		
优先权	1020120030091 2012-03-23 KR		
其他公开文献	CN103325353A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种用于液晶显示器的电平移位器。所述电平移位器包括下拉晶体管和输出稳定电路，所述下拉晶体管包括提供有栅低电压的源极端和与电平移位器的输出端连接的漏极端，并且所述下拉晶体管将所述电平移位器的输出端的电压放电，所述输出稳定电路与所述下拉晶体管的栅极端连接，并且所述输出稳定电路在通电顺序的过程中控制所述下拉晶体管的栅极电压，并放电所述电平移位器的输出电压。

