



(45)授权公告日 2018.02.06

权利要求书2页 说明书8页 附图6页

[illegible]

1. 一种栅极驱动电路,其特征在于,其包括多个栅极驱动单元电路、时钟信号线和触发信号线,所述栅极驱动单元电路包括:预充电单元、稳定信号生成单元、下拉稳定单元、输出单元以及同步触发单元,所述预充电单元与所述下拉稳定单元、所述输出单元、所述同步触发单元电性相连,所述下拉稳定单元还与所述稳定信号生成单元、所述同步触发单元电性相连,其中;

所述预充电单元,包括用于接收第一传递信号的第一传递信号接收端(111)以及连接到控制节点(Q)的输出端(113),所述预充电单元用于接收所述第一传递信号,并通过所述输出端(113)对所述控制节点(Q)进行预充电;

所述输出单元,包括输出栅极扫描信号的栅极扫描信号输出端(133),接收时钟信号的时钟信号接收端(141)以及电性连接至控制节点(Q)的控制端(132),所述输出单元响应所述控制节点(Q)的状态,当所述控制节点(Q)为高电平时,所述时钟信号的高电平施加至所述输出单元,使所述栅极扫描信号输出端(133)输出高电平,当所述控制节点(Q)为低电平时,所述栅极扫描信号输出端(133)维持在低电平;

所述稳定信号生成单元,包括电性连接至第一节点(QB)的控制端(143),所述稳定信号生成单元用于接收直流或交流信号以生成稳定信号提供给所述第一节点(QB),以下拉稳定所述控制节点(Q)与所述栅极扫描信号;

所述下拉稳定单元,包括电性连接至所述控制节点(Q)的控制端(142),所述下拉稳定单元用于利用提供给所述第一节点(QB)的稳定信号将所述控制节点(Q)与所述栅极扫描信号维持在低电平;

所述同步触发单元,与所述控制节点(Q)相连,当显卡向液晶显示装置的T-con发送新一帧画面时,会在新一帧画面的始端携带垂直同步信号,所述T-con根据所述垂直同步信号生成触发信号后提供给所述同步触发单元,当所述同步触发单元接收到所述触发信号时,会强制将当前行至末端行的所述控制节点(Q)和所述栅极扫描信号下拉至低电平。

2. 根据权利要求1所述的栅极驱动电路,其特征在于,所述输出单元包括第一晶体管(T1)和自举电容(C1),所述第一晶体管(T1)的栅极电性连接至所述控制节点(Q),所述第一晶体管(T1)的栅极还通过所述自举电容(C1)电性连接至所述栅极扫描信号输出端(133),所述第一晶体管(T1)的第一端接收所述时钟信号,所述第一晶体管(T1)的第二端电性连接至所述栅极扫描信号输出端(133),用于输出所述栅极扫描信号。

3. 根据权利要求1所述的栅极驱动电路,其特征在于,所述同步触发单元包括第二晶体管(T2)、第三晶体管(T3),所述第二晶体管(T2)的栅极接收所述触发信号,所述第二晶体管(T2)的第一端电性连接第一电压输出端(VGL),所述第二晶体管(T2)的第二端电性连接所述栅极扫描信号输出端(133),所述第三晶体管(T3)的栅极接收所述触发信号,所述第三晶体管(T3)的第一端电性连接所述第一电压输出端(VGL),所述第三晶体管(T3)的第二端电性连接所述控制节点(Q)。

4. 根据权利要求1所述的栅极驱动电路,其特征在于,所述同步触发单元包括第四晶体管(T4),所述第四晶体管(T4)的栅极和第一端接收所述触发信号,所述第四晶体管(T4)的第二端电性连接至所述第一节点(QB)。

5. 根据权利要求1所述的栅极驱动电路,其特征在于,所述同步触发单元包括第五晶体管(T5)、第六晶体管(T6)、第七晶体管(T7),所述第五晶体管(T5)的栅极和第一端接收所述

触发信号,所述第五晶体管(T5)的第二端电性连接至所述第一节点(QB);所述第六晶体管(T6)的栅极接收所述触发信号,所述第六晶体管(T6)的第一端电性连接第一电压输出端(VGL),所述第六晶体管(T6)的第二端电性连接所述栅极扫描信号输出端(133);所述第七晶体管(T7)的栅极接收所述触发信号,所述第七晶体管(T7)的第一端电性连接所述第一电压输出端(VGL),所述第七晶体管(T7)的第二端电性连接所述控制节点(Q)。

6.根据权利要求5所述的栅极驱动电路,其特征在于,所述第一电压输出端(VGL)连接低电平的电压源供应装置。

7.根据权利要求1所述的栅极驱动电路,其特征在于,所述栅极驱动电路的最后一级连接末端传递信号输出端,以接收末端传递信号,所述触发信号与所述栅极驱动电路的末端传递信号输出端输出的末端传递信号共用一条传输线。

8.一种液晶显示装置,其特征在于,其包括:

显示面板,所述面板包括由多个像素构成的二维像素阵列,以及与每个像素阵列相连的第一方向的多条栅极线和第二方向的多条数据线;

数据驱动电路,用于给所述数据线提供图像信号;

如权利要求1-7中任一项所述的栅极驱动电路,用于给所述栅极线提供栅极扫描信号。

## 栅极驱动电路和液晶显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种栅极驱动电路和液晶显示装置。

### 背景技术

[0002] 液晶显示装置(Liquid Crystal Display,LCD)具有画质好、体积小、重量轻、低驱动电压、低功耗、无辐射和制造成本相对较低的优点,目前在平板显示领域占主导地位。液晶显示装置非常适合应用在台式计算机、掌上型计算机、个人数字助理(Personal Digital Assistant,PDA)、便携式电话、电视盒等多种办公自动化和视听设备中。

[0003] 图1A为现有的液晶显示装置显示画面的示意图,如图1A所示,显卡每次将画面数据2的一个帧写入帧缓存器4中,帧缓存器4具有足够的空间来仅仅存储一个帧,然后,帧缓存器4的内容中从画面的顶部到画面的底部按水平行8传送至显示装置6的时序控制IC(Timing controller,T-con)进行显示,显卡再并行地把对应于下一帧的画面数据从画面顶部到画面底部按水平行7写到帧缓存器4中。

[0004] 目前液晶显示装置的时序控制IC的刷新频率大多设定为固定值,例如60Hz,而在运行大型3D程序时,显卡在处理动态画面时的刷新频率可能大于或小于此固定值60Hz,在大于60Hz时(即第一帧与第二帧画面之间的时间间隔小于1/60s),显示装置的时序控制IC会先显示完第一帧画面,再完成第二帧画面的显示,频率为60Hz。而当显卡在处理动态画面时的刷新频率小于60Hz时(即第一帧与第二帧画面之间的时间间隔大于1/60s),显示装置的时序控制IC显示完第一帧画面后,会再重复显示第一帧画面,直到显卡将第二帧画面写入帧缓存器中;此时第一帧画面的显示时间超过一帧的时间,如果在第一帧画面第二次显示时,显卡将第二帧画面写入帧缓存器,显示装置的时序控制IC会强制显示第二帧画面,而此时第一帧画面的第二次显示还未结束,显示画面上半部分还维持着第一帧画面,而下半部分却被强制切换为第二帧画面,造成显示画面的上下分离,这种现象就是撕裂现象。图1B为一撕裂画面的示意图,如图1B所示,是以第一画面显示字母A,并以接续的第二画面显示字母B为例,欲显示的画面暂存在帧缓存器中,然而,显示装置的时序控制IC的画面更新频率与帧缓存器的画面更新速度不一样,如果第一画面第二次显示时,显卡将第二画面写入帧缓存器,导致第一画面的显示尚未完成,但帧缓存器已更新为第二画面的数据,显示装置的时序控制IC会强制显示第二画面。如此一来,便会有图1B所示的撕裂现象,实际显示时,画面的上半部11显示第一画面的一部分(字母A),但下半部12显示第二画面的一部分(字母B)。

[0005] 撕裂现象的本质原因是:显示动态画面时显卡向显示装置的时序控制IC发送画面数据过程中,显卡向帧缓存器的写入的画面与显示装置的时序控制IC显示画面不同步导致的,而随着桌面图形处理器和移动图形处理器(显卡)的快速发展,显卡的处理能力越来越强,用户运行大型3D程序的需求会更强,因此画面撕裂现象亟待解决。

[0006] 在目前的图像显示领域中,为了消除画面的撕裂现象,所采取的方式是:开启显卡的垂直同步功能,即将显卡刷新频率强制限制为与显示装置相同(如60Hz)。而开启了显卡

的垂直同步功能,会大大降低显卡的性能,例如会出现掉帧、卡顿等问题,影响了显示效果。

## 发明内容

[0007] 本发明提供一种栅极驱动电路和液晶显示装置,能够消除画面撕裂现象,提升显示质量。

[0008] 所述技术方案如下:

[0009] 本发明提供了一种栅极驱动电路,其包括:包括多个栅极驱动单元电路、时钟信号线和触发信号线,所述栅极驱动单元电路包括:预充电单元、稳定信号生成单元、下拉稳定单元、输出单元以及同步触发单元,所述预充电单元与所述下拉稳定单元、所述输出单元、所述同步触发单元电性相连,所述下拉稳定单元还与所述稳定信号生成单元、所述同步触发单元电性相连,其中:所述预充电单元,包括用于接收第一传递信号的第一传递信号接收端(111),其输出端(113)连接到控制节点(Q),用于接收第一传递信号,并通过其输出端(113)对控制节点(Q)进行预充电;所述输出单元,包括输出栅极扫描信号的栅极扫描信号输出端(133),接收时钟信号的时钟信号接收端(141)以及电性连接至控制节点(Q)的控制端(132),所述输出单元响应所述控制节点(Q)的状态,当所述控制节点(Q)为高电平时,所述时钟信号的高电平施加至所述输出单元,使所述栅极扫描信号输出端(133)输出高电平,当所述控制节点(Q)为低电平时,所述栅极扫描信号输出端(133)维持在低电平;所述稳定信号生成单元,包括电性连接至第一节点(QB)的控制端(143),用于接收直流或交流信号以生成稳定信号提供给所述第一节点(QB),以下拉稳定所述控制节点(Q)与所述栅极扫描信号;所述下拉稳定单元,包括电性连接至所述控制节点(Q)的控制端(142),用于利用提供给所述第一节点(QB)的稳定信号将所述控制节点(Q)与所述栅极扫描信号维持在低电平;所述同步触发单元,与所述控制节点(Q)相连,当显卡向液晶显示装置的T-con发送新一帧画面时,会在新一帧画面的始端携带垂直同步信号,所述T-con根据所述垂直同步信号生成触发信号后提供给所述同步触发单元,当所述同步触发单元接收到所述触发信号时,会强制将当前行至末端行的所述控制节点(Q)和所述栅极扫描信号下拉至低电平。

[0010] 在本发明的一个实施例中,所述输出单元包括第一晶体管(T1)和自举电容(C1),所述第一晶体管(T1)的栅极电性连接至所述控制节点(Q),还通过所述自举电容(C1)电性连接至所述栅极扫描信号输出端(133),所述第一晶体管(T1)的第一端接收所述时钟信号,所述第一晶体管(T1)的第二端电性连接至所述栅极扫描信号输出端(133),用于输出所述栅极扫描信号。

[0011] 在本发明的一个实施例中,所述同步触发单元包括第二晶体管(T2)、第三晶体管(T3),所述第二晶体管(T2)的栅极接收所述触发信号,所述第二晶体管(T2)的第一端电性连接第一电压输出端(VGL),所述第二晶体管(T2)的第二端电性连接所述栅极扫描信号输出端(133),所述第三晶体管(T3)的栅极接收所述触发信号,所述第三晶体管(T3)的第一端电性连接所述第一电压输出端(VGL),所述第三晶体管(T3)的第二端电性连接所述控制节点(Q)。

[0012] 在本发明的一个实施例中,所述同步触发单元包括第四晶体管(T4),所述第四晶体管(T4)的栅极和第一端接收所述触发信号,所述第四晶体管(T4)的第二端电性连接至所述第一节点(QB)。

[0013] 在本发明的一个实施例中,所述同步触发单元包括第五晶体管(T5)、第六晶体管(T6)、第七晶体管(T7),所述第五晶体管(T5)的栅极和第一端接收所述触发信号,所述第五晶体管(T5)的第二端电性连接至所述第一节点(QB);所述第六晶体管(T6)的栅极接收所述触发信号,所述第六晶体管(T6)的第一端电性连接第一电压输出端(VGL),所述第六晶体管(T6)的第二端电性连接所述栅极扫描信号输出端(133);所述第七晶体管(T7)的栅极接收所述触发信号,所述第七晶体管(T7)的第一端电性连接所述第一电压输出端(VGL),所述第七晶体管(T7)的第二端电性连接所述控制节点(Q)。

[0014] 在本发明的一个实施例中,所述第一电压输出端(VGL)连接低电平的电压源供应装置。

[0015] 在本发明的一个实施例中,所述栅极驱动电路的最后一级连接末端传递信号输出端,以接收末端传递信号,所述触发信号与所述栅极驱动电路的末端传递信号输出端输出的末端传递信号共用一条传输线。

[0016] 本发明提供了一种液晶显示装置,其包括显示面板,所述面板包括由多个像素构成的二维像素阵列,以及与每个像素阵列相连的第一方向的多条栅极线和第二方向的多条数据线;数据驱动电路,用于给所述数据线提供图像信号;所述的栅极驱动电路,用于给所述栅极线提供栅极扫描信号。

[0017] 本发明实施例提供的技术方案带来的有益效果是:

[0018] 当通过显卡向T-con发送新一帧画面时,会在新一帧画面的始端携带垂直同步信号,T-con根据垂直同步信号生成触发信号后提供给同步触发单元,当同步触发单元接收到触发信号时,当前行至末端行的控制节点和栅极扫描信号输出端均会被下拉至低电平,当前扫描所在行至后续的所有栅极线将维持在低电平状态,错误数据无法写入,避免了撕裂的发生,提升了显示质量。

[0019] 上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明如下。

## 附图说明

[0020] 图1A是现有的液晶显示装置显示画面的示意图;

[0021] 图1B是一撕裂画面的示意图;

[0022] 图2是本发明第一实施例提供的栅极驱动单元电路的电路图;

[0023] 图3A是本发明第一实施例中栅极驱动单元电路构成的栅极驱动电路级联框图;

[0024] 图3B是图3A的栅极驱动电路的时序图;

[0025] 图4是本发明第二实施例提供的栅极驱动单元电路的电路图;

[0026] 图5是本发明第三实施例提供的栅极驱动单元电路的电路图;

[0027] 图6是本发明第四实施例提供的栅极驱动单元电路的电路图;

[0028] 图7是触发信号、起始信号输出端输出的起始信号、末端传递信号输出端输出的末端传递信号的时序图;

[0029] 图8是触发信号、起始信号输出端输出的起始信号、末端传递信号输出端输出的末端传递信号的另一时序图。

## 具体实施方式

[0030] 下面通过具体的实施例及结合附图对本发明做详细的描述。

[0031] 液晶显示装置包括液晶显示屏、驱动电路(时序控制IC、栅极驱动电路、数据驱动电路)、背光源等。液晶显示装置工作时,通过栅极驱动电路对液晶显示屏上的栅极线一行一行地扫描,每扫描一行,就将这一行的所有像素点都打开,数据驱动电路就向该行的像素点写入数据电压,以提供图像信号,使像素点电压充到该画面显示所需的电压,像素点的液晶分子在电场左右下发生偏转,使背光源的光线透过该像素点形成图像。由于液晶显示装置更新画面时采用的是逐行扫描的方式,因此通过本发明的栅极驱动电路控制在新一帧画面(例如第二帧画面)写入T-con的缓存器时,强制关闭当前扫描所在行的栅极线至屏幕底部的所有栅极线,既可防止错误数据的写入,又可以防止撕裂现象的发生,提升显示质量。

[0032] 第一实施例

[0033] 图2是本发明第一实施例提供的栅极驱动单元电路的电路图。请参阅图2,栅极驱动单元电路5包括:预充电单元10、稳定信号生成单元20、下拉稳定单元30、输出单元40以及同步触发单元50。预充电单元10与下拉稳定单元30、输出单元40、同步触发单元50电性相连,下拉稳定单元30还与稳定信号生成单元20、同步触发单元50电性相连。

[0034] 在本发明实施例中,均假设当前栅极驱动单元电路为第n级栅极驱动单元电路,VG[n]、VC[n]分别表示第n级栅极驱动单元电路输出的栅极扫描信号和传递信号,VG[n+1]、VC[n+1]分别表示本级栅极驱动单元电路的下一级(第n+1级)栅极驱动单元电路输出的栅极扫描信号和传递信号,VG[n-1]、VC[n-1]分别表示本级栅极驱动单元电路的上一级(第n-1级)栅极驱动单元电路输出的栅极扫描信号和传递信号。

[0035] 预充电单元10,包括用于接收第一传递信号VG[n-1]的第一传递信号接收端111,其输出端113连接到控制节点Q,用于接收第一传递信号VG[n-1],并通过其输出端113对控制节点Q进行预充电。

[0036] 输出单元40,包括输出栅极扫描信号G[n]的栅极扫描信号输出端133,接收时钟信号的时钟信号接收端141以及电性连接至控制节点Q的控制端132。输出单元40响应控制节点Q的状态,当控制节点Q为高电平时,时钟信号CLK的高电平施加至输出单元40,使栅极扫描信号输出端133输出高电平给栅极线,并向下一级(第n+1级)栅极驱动单元电路的预充电单元传递,当控制节点Q为低电平时,栅极扫描信号输出端133维持在低电平。输出模块40的栅极扫描信号输出端133用于输出栅极扫描信号G[n],其中,每一级栅极驱动单元电路耦合到与其对应的一条栅极线,在本实例中,该栅极驱动单元电路5输出的栅极扫描信号G[n]被施加到与其对应的栅极线。

[0037] 稳定信号生成单元20,包括电性连接至第一节点QB的控制端143。用于接收直流或交流信号以生成稳定信号提供给第一节点QB,以下拉稳定控制节点Q与栅极扫描信号G[n],并在栅极扫描信号输出端133为高电平时被控制节点Q与栅极扫描信号G[n]拉低,不影响栅极驱动单元电路的正常输出。

[0038] 下拉稳定单元30,包括电性连接至控制节点Q的控制端142,用于利用提供给第一节点QB的稳定信号将控制节点Q与栅极扫描信号G[n]维持在低电平。

[0039] 同步触发单元50,与控制节点Q相连,当显卡向液晶显示装置的T-con发送新一帧

画面时,会在新一帧画面的始端携带垂直同步信号V-sync,T-con根据垂直同步信号V-sync生成触发信号后提供给同步触发单元50,当同步触发单元50接收到触发信号时,会强制将当前行至末端行(假设扫描方式是从上到下的扫描方式)的控制节点Q和栅极扫描信号G[n]下拉至低电平,即将当前行至末端行的所有栅极驱动单元电路的栅极扫描信号输出端133强制置为低电平(例如0),这样就避免后续的错误数据写入到显示装置中,当前行至末端行对应的屏幕下方的画面仍然维持着上一帧的画面,防止了撕裂现象的发生。当前行均指的是当前扫描所在行,末端行是指屏幕最底部一行。

[0040] 具体地,在第一实施例中,输出单元40包括晶体管T1(第一晶体管)和自举电容C1。

[0041] 晶体管T1的栅极电性连接至控制节点Q,还通过自举电容C1电性连接至栅极扫描信号输出端133,晶体管T1的第一端接收时钟信号CLK,晶体管T1的第二端电性连接至栅极扫描信号输出端133,用于输出栅极扫描信号G[n]。自举电容C1用于存储控制节点Q的电位,当控制节点Q为高电平时,本级栅极驱动单元电路的栅极扫描信号输出端133输出为高电平,晶体管T1导通,时钟信号CLK的高电平施加至晶体管T1的第一端,并向下一级(第n+1级)栅极驱动单元电路的预充电单元传递;当控制节点Q为低电平时,本级的栅极驱动单元电路的栅极扫描信号输出端133处于低电平,晶体管T1关闭,对应的栅极线始终维持在低电平。

[0042] 上述晶体管的第一端可以是晶体管的源极或漏极,相应地,上述晶体的第二端可以是晶体管的漏极或源极。其中,预充电单元10、稳定信号生成单元20、下拉稳定单元30可以与现有的栅极驱动单元电路的电路图具有的相同的结构,在此不再赘述。

[0043] 图3A是本发明第一实施例中栅极驱动单元电路构成的栅极驱动电路级联框图。此栅极驱动电路包括N个级联的如图2所述的栅极驱动单元电路,所述N为大于1的整数,栅极驱动电路还包括时钟信号线VA和触发信号线V-sync trigger signal。

[0044] 在本栅极驱动电路中第一级栅极驱动单元电路501的第一时钟信号端51CLK1连接时钟信号线VA,以接收时钟信号CLK。第一级栅极驱动单元电路501的触发信号端51TR连接触发信号线V-sync trigger signal,以接收触发信号。第一级栅极驱动单元电路501的第一传递信号接收端51G[n-1]连接起始信号输出端,以接收起始信号STV。第一级栅极驱动单元电路501还可包括电压接收端,以连接低电平电压输出端VSS(图中未示出)。第一级栅极驱动单元电路501的栅极扫描信号输出端51G[n]输出栅极扫描信号G[1]。第一级栅极驱动单元电路501的栅极扫描信号输出端51G[n]还连接第二级栅极驱动单元电路502的预充电单元。

[0045] 第二级栅极驱动单元电路502的第一时钟信号端52CLK1连接时钟信号线VA,以接收时钟信号CLK。第二级栅极驱动单元电路502的触发信号端52TR连接触发信号线V-sync trigger signal,以接收触发信号。第二级栅极驱动单元电路502的第一传递信号接收端52G[n-1]连接第一级栅极驱动单元电路501的栅极扫描信号输出端51G[n]。第二级栅极驱动单元电路502还可包括电压接收端,以连接低电平电压输出端VSS(图中未示出)。第二级栅极驱动单元电路502的栅极扫描信号输出端52G[n]输出栅极扫描信号G[2]。第二级栅极驱动单元电路502的栅极扫描信号输出端52G[n]还连接第三级栅极驱动单元电路503的预充电单元。

[0046] 第三级栅极驱动单元电路503的第一时钟信号端53CLK1连接时钟信号线VA,以接收时钟信号CLK。第三级栅极驱动单元电路503的触发信号端53TR连接触发信号线V-sync

trigger signal,以接收触发信号。第三级栅极驱动单元电路503的第一传递信号接收端53G[n-1]连接第二级栅极驱动单元电路502的栅极扫描信号输出端52G[n]。第三级栅极驱动单元电路503还可包括电压接收端,以连接低电平电压输出端VSS(图中未示出)。第三级栅极驱动单元电路503的栅极扫描信号输出端53G[n]输出栅极扫描信号G[3]。第三级栅极驱动单元电路503的栅极扫描信号输出端53G[n]还连接第四级栅极驱动单元电路504的预充电单元。

[0047] 第四级栅极驱动单元电路504的第一时钟信号端54CLK1连接时钟信号线VA,以接收时钟信号CLK。第四级栅极驱动单元电路504的触发信号端54TR连接触发信号线V-sync trigger signal,以接收触发信号。第四级栅极驱动单元电路504的第一传递信号接收端54G[n-1]连接第三级栅极驱动单元电路503的栅极扫描信号输出端53G[n]。第四级栅极驱动单元电路504还可包括电压接收端,以连接低电平电压输出端VSS(图中未示出)。第四级栅极驱动单元电路504的栅极扫描信号输出端54G[n]输出栅极扫描信号G[4]。第四级栅极驱动单元电路504的栅极扫描信号输出端54G[n]还连接第五级栅极驱动单元电路505的预充电单元。

[0048] 第五级栅极驱动单元电路505的第一时钟信号端55CLK1连接时钟信号线VA,以接收时钟信号CLK。第五级栅极驱动单元电路505的触发信号端55TR连接触发信号线V-sync trigger signal,以接收触发信号。第五级栅极驱动单元电路505的第一传递信号接收端55G[n-1]连接第四级栅极驱动单元电路504的栅极扫描信号输出端54G[n]。第五级栅极驱动单元电路505还可包括电压接收端,以连接低电平电压输出端VSS(图中未示出)。第五级栅极驱动单元电路505的栅极扫描信号输出端55G[n]输出栅极扫描信号G[5]。第五级栅极驱动单元电路505的栅极扫描信号输出端55G[n]还连接第六级栅极驱动单元电路(图中未示出)的预充电单元。

[0049] 在上述栅极驱动电路中,描述第一级至第五级栅极驱动单元电路的连接关系仅为举例说明,后续栅极驱动单元电路可以循环重复第一级至第五级栅极驱动单元电路的连接关系,在此不再赘述。并且栅极驱动电路的最后一级栅极驱动单元电路还可以包括第一信号接收端STV-D1,其电性连接末端传递信号输出端,以接收末端传递信号STV-D,其中,末端传递信号输出端输出所述末端传递信号STV-D。

[0050] 图3B是图3A的栅极驱动单元电路的时序图。该时序图是通过SPICE (Simulation program with integrated circuit emphasis,集成电路模拟程序)模拟得到的。图3B中的曲线1STV表示起始信号输出端输出的起始信号STV的电压变化曲线,图3B中的曲线1V-sync表示触发信号的电压变化曲线,图3B中的曲线Q1、Q2、Q3、Q4、Qn分别表示第一级、第二级、第三级、第四级、第n级栅极驱动单元电路的控制节点Q的电压变化曲线,图3B中的曲线1G1、1G2、1G3、1G4、1Gn分别表示第一级、第二级、第三级、第四级、第n级栅极驱动单元电路输出的栅极扫描信号的电压变化曲线。从图3B的时序图可以看出,当扫描到第三行时,即在第三级栅极驱动单元电路扫描时,栅极驱动电路接收到高电平的触发信号时,当前行(即第三行)至末端行(即第n行)的控制节点Q和栅极扫描信号输出端VG[n]均会被下拉至低电平,当前行至后续的所有栅极线将维持在低电平状态,错误数据无法写入,避免了撕裂的发生。本发明提出的新型栅极驱动电路,配合显卡的垂直同步信号V-sync,T-con可以生成一个触发信号,利用栅极驱动电路额外增加的同步触发单元50,可以实现当前行至末端行的所有栅

极线的强制关闭,避免了错误信号的写入,防止了撕裂现象的发生。而且本发明可以应用于目前主流的60Hz和更低频率的显示装置中,不需要增加额外的成本。

#### [0051] 第二实施例

[0052] 图4是本发明第二实施例提供的栅极驱动单元电路的电路图。本实施例与图2的不同之处在于:同步触发单元50包括晶体管T2(第二晶体管)、T3(第三晶体管)。其余部分与图2所示的栅极驱动单元电路是相同的,在此不再赘述。

[0053] 其中,晶体管T2(第二晶体管)的栅极接收触发信号Trigger signal,晶体管T2(第二晶体管)的第一端电性连接第一电压输出端VGL,晶体管T2(第二晶体管)的第二端电性连接用于输出栅极扫描信号VG[n]的栅极扫描信号输出端133。晶体管T3的栅极接收触发信号Trigger signal,晶体管T3的第一端电性连接第一电压输出端VGL,晶体管T3的第二端电性连接控制节点Q。

[0054] 本实施例中,第一电压输出端(VGL)连接低电平的电压源供应装置,当触发信号Trigger signal变为高电平时,当前行至末端行的控制节点Q和栅极扫描信号输出端133均会被下拉至低电平,当前行至后续的所有栅极线将维持在低电平状态,错误数据无法写入,避免了撕裂的发生。

#### [0055] 第三实施例

[0056] 图5是本发明第三实施例提供的栅极驱动单元电路的电路图。本实施例与图2的不同之处在于:同步触发单元50包括晶体管T4(第四晶体管)。其余部分与图2所示的栅极驱动单元电路是相同的,在此不再赘述。

[0057] 其中,晶体管T4的栅极和第一端接收触发信号Trigger signal,晶体管T4的第二端电性连接至第一节点QB。

[0058] 本实施例中,当触发信号Trigger signal变为高电平时,第一节点QB为高电平,下拉稳定单元30导通从而下拉控制节点Q和栅极扫描信号输出端133,以使当前行至末端行的控制节点Q和栅极扫描信号输出端133均会被下拉至低电平,当前行至后续的所有栅极线将维持在低电平状态,错误数据无法写入,避免了撕裂的发生。

#### [0059] 第四实施例

[0060] 图6是本发明第四实施例提供的栅极驱动单元电路的电路图。本实施例与图2的不同之处在于:同步触发单元50包括晶体管T5(第五晶体管)、T6(第六晶体管)、T7(第七晶体管)。其余部分与图2所示的栅极驱动单元电路是相同的,在此不再赘述。

[0061] 其中,晶体管T5的栅极和第一端接收触发信号Trigger signal,晶体管T5的第二端电性连接至第一节点QB。晶体管T6的栅极接收触发信号Trigger signal,晶体管T6的第一端电性连接第一电压输出端VGL,晶体管T6的第二端电性连接用于输出栅极扫描信号VG[n]的栅极扫描信号输出端133。晶体管T7的栅极接收触发信号Trigger signal,晶体管T7的第一端电性连接第一电压输出端VGL,晶体管T7的第二端电性连接控制节点Q。

[0062] 本实施例中,第一电压输出端(VGL)连接低电平的电压源供应装置,当触发信号Trigger signal变为高电平时,当前行至末端行的控制节点Q和栅极扫描信号输出端133均会被下拉至低电平,当前行至后续的所有栅极线将维持在低电平状态,错误数据无法写入,避免了撕裂的发生。

[0063] 需要说明的是,上述第一至第四实施例中,触发信号与起始信号输出端输出的起

始信号STV和末端传递信号输出端输出的末端传递信号可以完全独立,触发信号由T-con单独提供。图7是触发信号、起始信号输出端输出的起始信号STV、末端传递信号输出端输出的末端传递信号的时序图,其中,图7中的曲线STV-up、V-sync trigger、STV-down分别表示起始信号输出端输出的起始信号STV、触发信号、末端传递信号输出端输出的末端传递信号的电压变化曲线,从图7可以看出,触发信号、起始信号输出端输出的起始信号STV、末端传递信号输出端输出的末端传递信号相互独立。

#### [0064] 第五实施例

[0065] 本实施例与上述第一至第四实施例的不同之处在于:触发信号与栅极驱动电路的末端传递信号输出端输出的末端传递信号共用一条传输线,即触发信号与末端传递信号输出端输出的末端传递信号相结合,这样既不会影响触发信号功能和末端传递信号输出端输出的末端传递信号的功能的正常实现,又可以节省一条传输线。图8是触发信号、起始信号输出端输出的起始信号STV、末端传递信号输出端输出的末端传递信号的另一时序图,其中,图8中的曲线1STV-up、1V-sync trigger、1STV-down分别表示起始信号输出端输出的起始信号STV、触发信号、末端传递信号输出端输出的末端传递信号的电压变化曲线,从图8可以看出,触发信号、末端传递信号输出端输出的末端传递信号共用一条传输线进行输出。

[0066] 并且,上述同步触发单元的3种实施例(第二至第四实施例)和触发信号的两种实施例(即第五实施例、触发信号与起始信号输出端输出的起始信号STV和末端传递信号输出端输出的末端传递信号完全独立的实施例)可以自由组合,6种情形均可实现本发明。

#### [0067] 第六实施例

[0068] 根据以上实施例,本发明第六实施例还公开了一种显示装置,包括:面板,面板包括由多个像素构成的二维像素阵列,以及与每个像素阵列相连的第一方向的多条数据线和第二方向的多条栅极线;数据驱动电路,用于给所述数据线提供图像信号;还包括实施例一至五中的栅极驱动电路,用于给所述栅极线提供栅极扫描信号。像素阵列形成在透明衬底上,且包括多条栅极线、数据线和多个开关晶体管。开关晶体管分别耦合至每一条栅极线和每一条数据线。数据驱动电路和数据线耦合,并向数据线提供数据电压。栅极驱动电路和栅极线耦合,并驱动开关晶体管。

[0069] 综上所述,本发明实施例的栅极驱动电路和液晶显示装置,当通过显卡向T-con发送新一帧画面时,会在新一帧画面的始端携带垂直同步信号V-sync,T-con根据垂直同步信号V-sync生成触发信号后提供给同步触发单元50,当同步触发单元50接收到触发信号时,当前行至末端行的控制节点Q和栅极扫描信号输出端133均会被下拉至低电平,当前扫描所在行至后续的所有栅极线将维持在低电平状态,错误数据无法写入,避免了撕裂的发生,提升了显示质量。而且本发明可以应用于目前主流的60Hz和更低频率的显示装置中,不需要增加额外的成本。

[0070] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容做出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围。

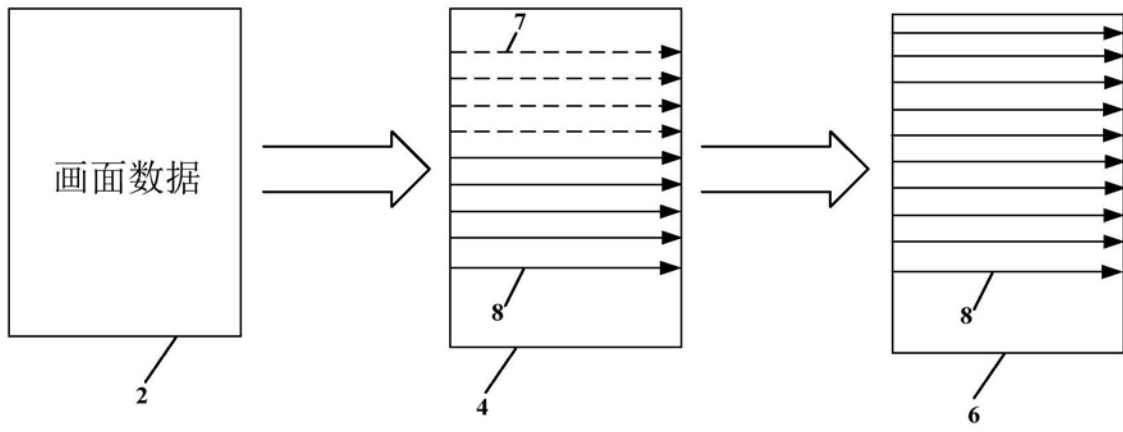


图1A

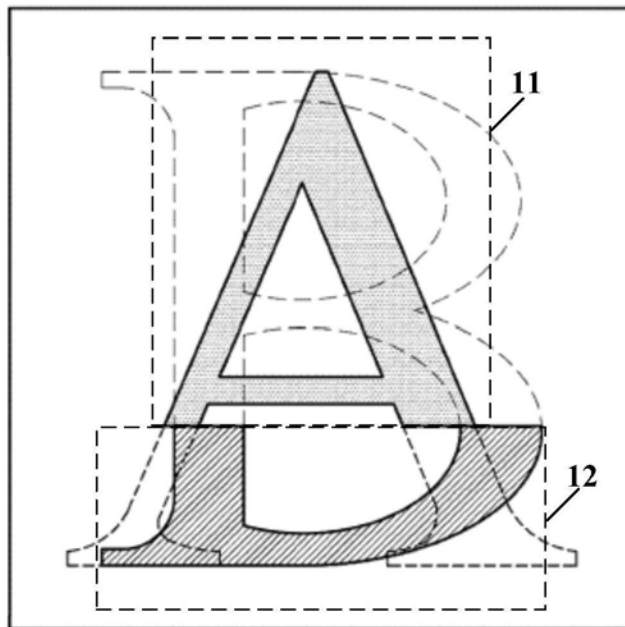


图1B

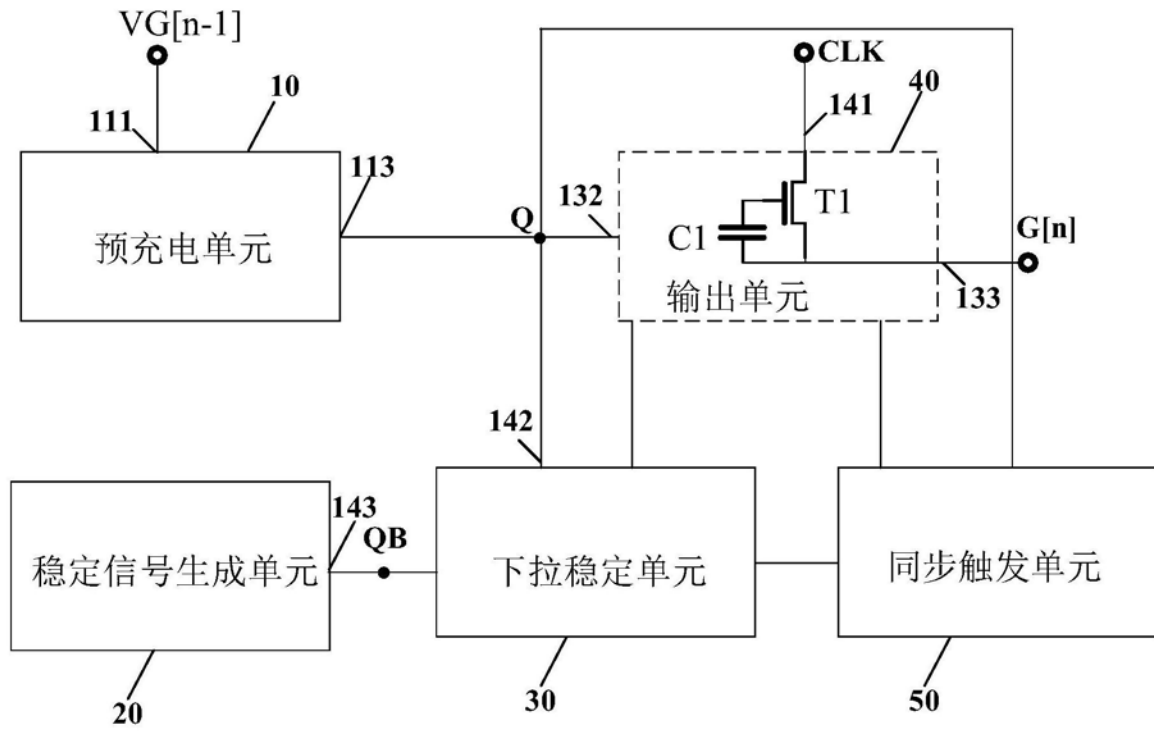


图2

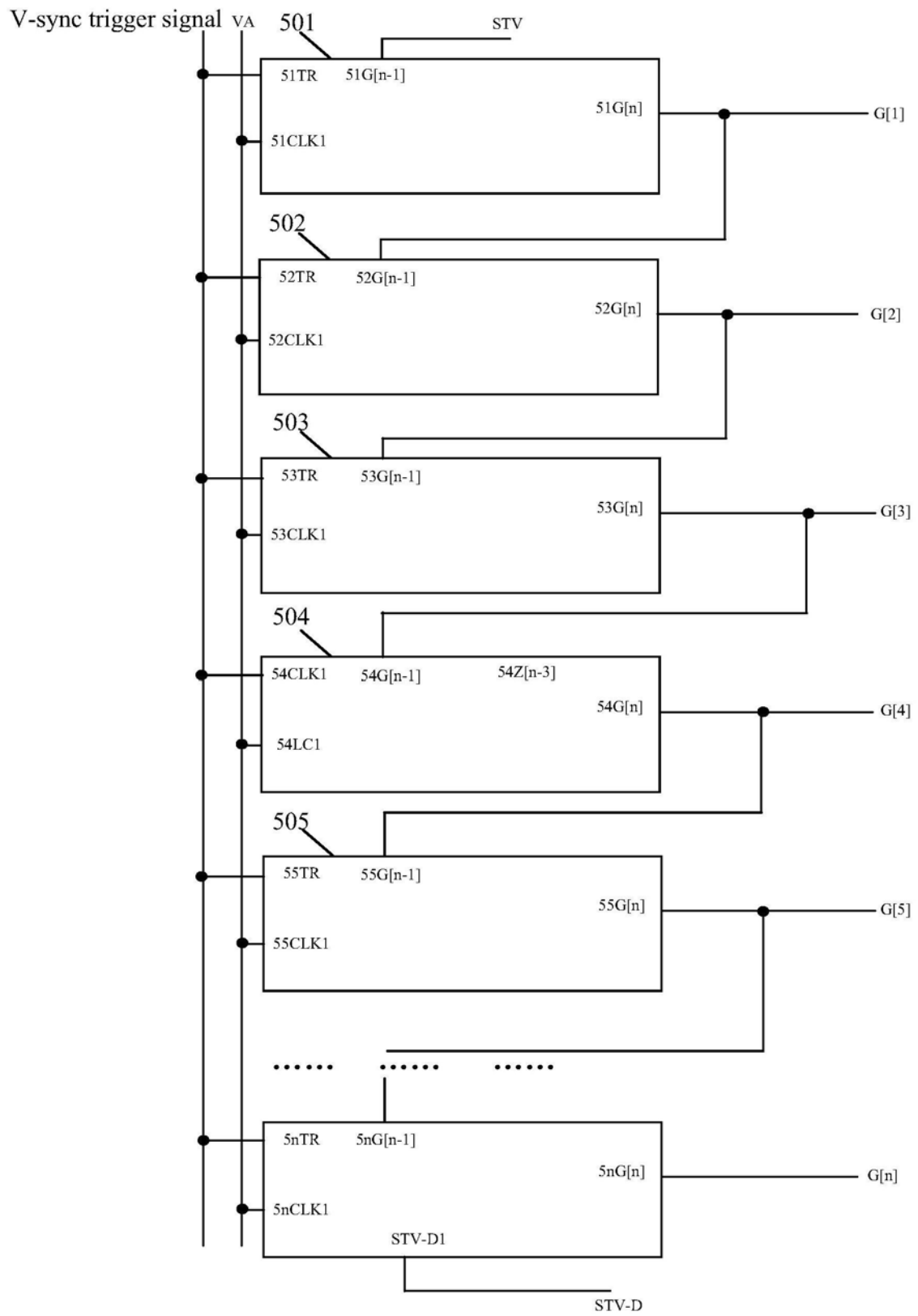


图3A

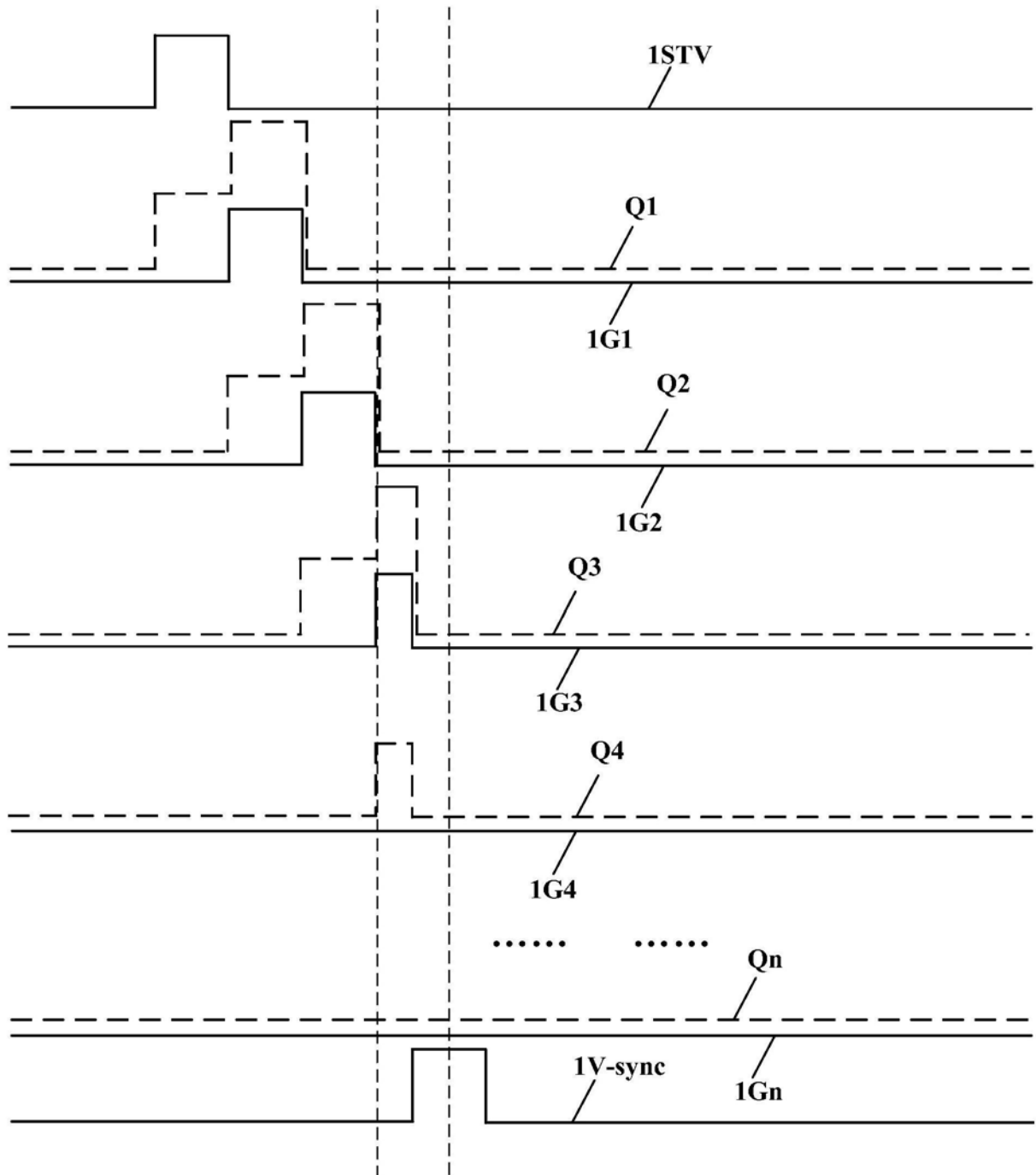


图3B

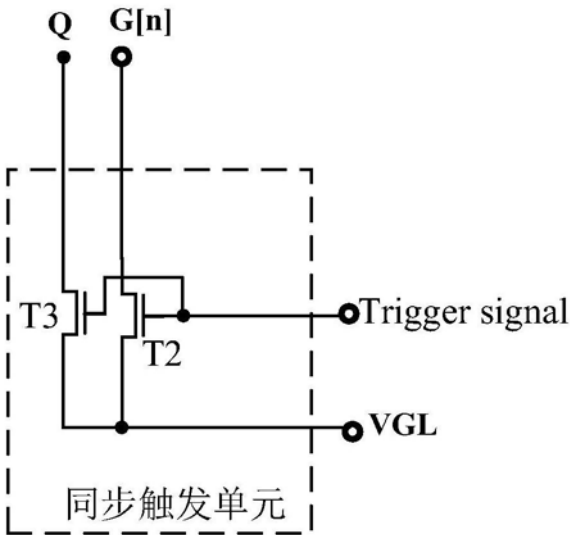


图4

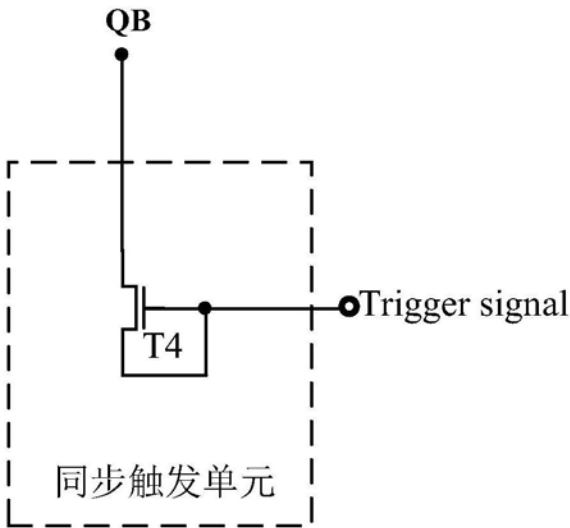


图5

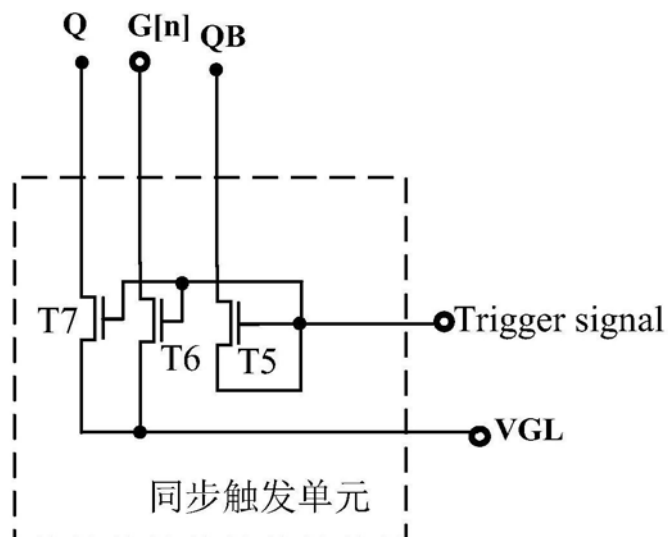


图6

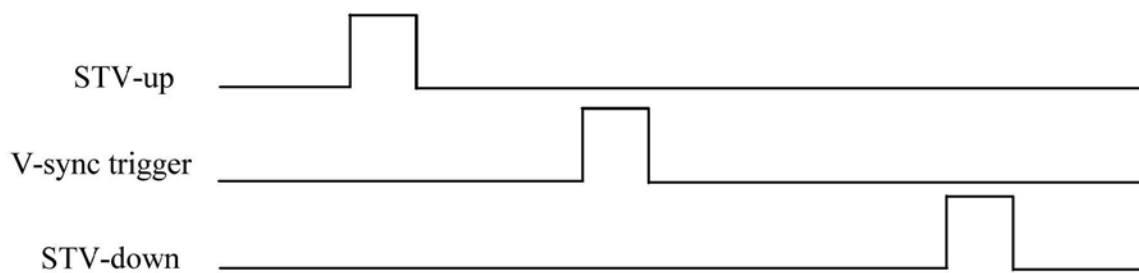


图7



图8

本发明实施例公开了一种栅极驱动电路和液晶显示装置，所述栅极驱动电路包括：多个栅极驱动单元电路、时钟信号线和触发信号线，栅极驱动单元电路包括：预充电单元、稳定信号生成单元、下拉稳定单元、输出单元以及同步触发单元，当显卡向液晶显示装置的T-con发送新一帧画面时，会在新一帧画面的始端携带垂直同步信号，T-con根据垂直同步信号生成触发信号后提供给同步触发单元，当同步触发单元接收到触发信号时，会强制将当前行至末端行的控制节点和栅极扫描信号下拉至低电平。本发明栅极驱动电路和液晶显示装置能够消除画面撕裂现象，提升显示质量。

