



(12) 发明专利申请

(10) 申请公布号 CN 105390115 A

(43) 申请公布日 2016. 03. 09

(21) 申请号 201510990552. 6

(22) 申请日 2015. 12. 24

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 王笑笑 杜鹏

(74) 专利代理机构 深圳翼盛智成知识产权事务所 (普通合伙) 44300

代理人 黄威

(51) Int. Cl.

G09G 3/36(2006. 01)

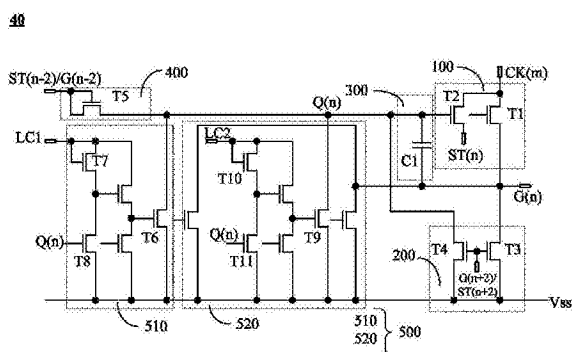
权利要求书2页 说明书5页 附图5页

(54) 发明名称

液晶显示设备及 GOA 电路

(57) 摘要

本发明公开一种用于液晶显示设备的数组基板行扫描驱动 (Gate Driver On Array ;GOA) 电路, 所述液晶显示设备包括多条扫描线, 所述 GOA 电路包含多个 GOA 单元。所述多个 GOA 单元相互级联为多级 GOA 单元, 所述第 n 级 GOA 单元包括时钟电路、下拉电路、自举电容电路、上拉电路及下拉维持电路。用以改善 Tri-gate 的色偏问题并降低生产成本。



1. 一种用于液晶显示设备的数组基板行扫描驱动 (Gate Driver On Array ;GOA) 电路, 所述液晶显示设备包括多条扫描线, 其特征在于, 所述 GOA 电路包含:

多个 GOA 单元, 相互级联为多级 GOA 单元, 所述第 n 级 GOA 单元包括:

时钟电路, 用于接收多级时钟信号的第 m 级时钟信号及用于连接第 n 级启动信号线以及所述多条扫描线的第 n 级扫描线;

下拉电路, 用于连接栅级信号点、所述第 n 级扫描线、所述多条扫描线的第 $n+2$ 级扫描线、第 $n+2$ 级启动信号线以及固定电压源;

自举电容电路, 用于连接所述栅极信号点以及所述固定电压源;

上拉电路, 用于连接所述栅极信号点以及连接所述多条扫描线的第 $n-2$ 级扫描线以及第 $n-2$ 级启动信号线; 以及

下拉维持电路, 用于连接所述栅级信号点、所述固定电压源以及所述第 n 级扫描线;

其中所述 m 以及所述 n 为正整数。

2. 如权利要求 1 所述的用于液晶显示设备的 GOA 电路, 其特征在于, 所述时钟电路包括:

第一晶体管, 所述第一晶体管的控制端连接所述栅极信号点, 所述第一晶体管的输入端接收所述第 m 级时钟信号, 所述第一晶体管的输出端连接所述第 n 级扫描线; 以及

第二晶体管, 所述第二晶体管的控制端连接所述栅极信号点, 所述第二晶体管的输入端连接所述第一晶体管的所述输入端, 所述第二晶体管的输出端连接所述第 n 级启动信号线。

3. 如权利要求 1 所述的用于液晶显示设备的 GOA 电路, 其特征在于, 每一所述 m 个时钟信号的占空比的大小相同。

4. 如权利要求 1 所述的用于液晶显示设备的 GOA 电路, 其特征在于, 所述下拉电路包括:

第三晶体管, 所述第三晶体管的控制端连接所述第 $n+2$ 级扫描线以及所述第 $n+2$ 级启动信号线, 所述第三晶体管的输入端连接所述固定电压源, 所述第三晶体管的输出端连接所述第 n 级扫描线; 以及

第四晶体管, 所述第四晶体管的控制端连接所述第 $n+2$ 级扫描线以及所述第 $n+2$ 级启动信号线, 所述第四晶体管的输入端接收所述固定电压源, 所述第四晶体管的输出端连接所述栅极信号点。

5. 如权利要求 1 所述的用于液晶显示设备的 GOA 电路, 其特征在于, 所述自举电容电路包括:

第一电容, 其两端连接所述栅极信号点以及所述第 n 级扫描线。

6. 如权利要求 1 所述的用于液晶显示设备的 GOA 电路, 其特征在于, 所述上拉电路包括:

第五晶体管, 所述第五晶体管的控制端连接所述第 $n-2$ 级扫描线以及所述第 $n-2$ 级启动信号线, 所述第五晶体管的输入端连接所述第五晶体管的所述控制端, 所述第五晶体管的输出端连接所述栅级信号点。

7. 如权利要求 1 所述的用于液晶显示设备的 GOA 电路, 其特征在于, 所述下拉维持电路包括第一下拉维持电路以及第二下拉维持电路;

所述第一下拉维持电路包括：

第六晶体管，所述第六晶体管的输入端连接所述固定电压，所述第六晶体管的输出端连接所述栅级信号点；

第七晶体管，所述第七晶体管的控制端接收第一低频信号，所述第七晶体管的输出端连接所述第七晶体管的所述控制端；以及

第八晶体管，所述第八晶体管的控制端连接栅级信号点，所述第八晶体管的输入端连接所述固定电压源；

所述第二下拉维持电路包括：

第九晶体管，所述第九晶体管的输入端连接所述固定电压，所述第九晶体管的输出端连接所述栅级信号点；

第十晶体管，所述第十晶体管的控制端接收第二低频信号，所述第十晶体管的输出端连接所述第十晶体管的所述控制端；以及

第十一晶体管，所述第十一晶体管的控制端连接栅级信号点，所述第十一晶体管的输入端连接所述固定电压源。

8. 如权利要求7所述的用于液晶显示设备的GOA电路，其特征在于，所述第一低频信号以及所述第二低频信号为反相的。

9. 如权利要求7所述的用于液晶显示设备的GOA电路，其特征在于，所述第一低频信号和所述第二低频信号每100帧切换一次方向。

10. 一种液晶显示设备，其包括如权利要求1至8任一的所述GOA电路。

液晶显示设备及 GOA 电路

【技术领域】

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种用于液晶显示设备的数组基板行驱动 (Gate Driver On Array, GOA) 电路。

【背景技术】

[0002] 现代液晶面板生产中,降低成本,提高质量是提高液晶面板核心竞争力的重点。Tri-gate 是一种常用的降低成本的办法,其结构是把所有的像素旋转 90 度,扫描线 (gate line) 数目增加为三倍,数据线 (data line) 数目减少为原本的 1/3,因数据芯片的成本较高,通过上述方法减少数据芯片的使用量,从而达到降低成本的目的。

[0003] 数据芯片所在侧的覆晶薄膜 (COF, chip on film) 数量减少,对应的数据芯片所在侧扇出 (fanout) 区域走线变长,扇出区域的 RC delay 变严重,面板两侧数据信号因 RC delay 最大而波形失真最严重,两侧充电不足,使得面板两侧出现色偏问题。

[0004] 参考图 1、图 2a 以及图 2b。图 1,绘示现有技术的液晶显示设备 10 的显示区域结构示意图。图 2a,绘示根据图 1 的显示区域的实际显示的第一示意图。图 2b,绘示根据图 1 的显示区域的实际显示的第二示意图。所述显示区域包括多行像素,按照红、绿以及蓝的顺序排列。举例而言,当显示纯色且灰阶为 255 (后文用 L255 作为简称) 的黄色画面,在图 2a 中,红色像素行与绿色像素行都需开启到 L255 的亮度,先打开红色像素,后打开绿色像素,驱动红色像素行 (G(1)、G(4)) 的数据信号因波形失真,导致红色充电不足,无法达到 L255 要求的亮度,得到的黄色画面两侧会偏绿;在图 2b 中,如果先打开绿色像素,后打开红色像素,驱动绿色像素行 (G(2)、G(5)) 的数据信号会波形失真而充电不足,从而导致显的黄色画面两侧偏红。

[0005] 因此,需要提出一种液晶显示设备及 GOA 电路,以克服上述问题。

【发明内容】

[0006] 本发明的目的在于提供一种用于液晶显示设备 GOA 电路。

[0007] 为实现上述目的,本发明提供一种用于液晶显示设备的 GOA 电路,所述液晶显示设备包括多条扫描线,其特征在于,所述 GOA 电路包含多个 GOA 单元。所述多个 GOA 单元相互级联为多级 GOA 单元,所述第 n 级 GOA 单元包括时钟电路、下拉电路、自举电容电路、上拉电路及下拉维持电路。

[0008] 所述时钟电路,用于接收多级时钟信号的第 m 级时钟信号、用于连接第 n 级启动信号线以及所述多条扫描线的第 n 级扫描线。所述下拉电路,用于连接栅级信号点、用于连接所述第 n 级扫描线、所述多条扫描线的第 n+2 级扫描线、第 n+2 级启动信号线以及固定电压源。所述自举电容电路,用于连接所述栅极信号点以及所述固定电压源。所述上拉电路,用于连接所述栅极信号点以及连接所述多条扫描线的第 n-2 级扫描线以及第 n-2 级启动信号线。所述下拉维持电路,用于连接所述栅级信号点、所述固定电压源以及所述第 n 级扫描线。所述 m 以及所述 n 为正整数。

- [0009] 在一优选实施例中,所述时钟电路包括第一晶体管以及第二晶体管。
- [0010] 所述第一晶体管的控制端连接所述栅极信号点,所述第一晶体管的输入端接收所述第 m 级时钟信号,所述第一晶体管的输出端连接所述第 n 级扫描线。
- [0011] 所述第二晶体管的控制端连接所述栅极信号点,所述第二晶体管的输入端连接所述第一晶体管的所述输入端,所述第二晶体管的输出端连接所述第 n 级启动信号线。
- [0012] 在一优选实施例中,每一所述 m 个时钟信号的占空比的大小相同。
- [0013] 在一优选实施例中,所述下拉电路包括第三晶体管以及第四晶体管。
- [0014] 所述第三晶体管的控制端连接所述第 n+2 级扫描线以及所述第 n+2 级启动信号线,所述第三晶体管的输入端连接所述固定电压源,所述第三晶体管的输出端连接所述第 n 级扫描线。
- [0015] 所述第四晶体管的控制端连接所述第 n+2 级扫描线以及所述第 n+2 级启动信号线,所述第四晶体管的输入端接收所述固定电压源,所述第四晶体管的输出端连接所述栅极信号点
- [0016] 在一优选实施例中,所述自举电容电路包括第一电容。所述第一电容的两端连接所述栅极信号点以及所述第 n 级数据线。
- [0017] 在一优选实施例中,所述上拉电路包括第五晶体管。所述第五晶体管的控制端连接所述第 n-2 级扫描线以及所述第 n-2 级启动信号线,所述第五晶体管的输入端连接所述第五晶体管的所述控制端,所述第五晶体管的输出端连接所述栅级信号点。
- [0018] 在一优选实施例中,所述下拉维持电路包括第一下拉维持电路以及第二下拉维持电路。
- [0019] 所述第一下拉维持电路包括第六晶体管、第七晶体管以及第八晶体管。
- [0020] 所述第六晶体管的输入端连接所述固定电压,所述第六晶体管的输出端连接所述栅级信号点。所述第七晶体管的控制端接收第一低频信号,所述第七晶体管的输出端连接所述第七晶体管的所述控制端。所述第八晶体管的控制端连接栅级信号点,所述第八晶体管的输入端连接所述固定电压源。
- [0021] 所述第二下拉维持电路包括第九晶体管、第十晶体管以及第十一晶体管。
- [0022] 所述第九晶体管的输入端连接所述固定电压,所述第九晶体管的输出端连接所述栅级信号点。所述第十晶体管的控制端接收第二低频信号,所述第十晶体管的输出端连接所述第十晶体管的所述控制端。所述第十一晶体管的控制端连接栅级信号点,所述第十一晶体管的输入端连接所述固定电压源。
- [0023] 在一优选实施例中,所述第一低频信号以及所述第二低频信号为反相的。
- [0024] 在一优选实施例中,所述第一低频信号和所述第二低频信号每 100 帧切换一次方向。
- [0025] 在一优选实施例中,包括如所述 GOA 电路的一种液晶显示设备。
- [0026] 本发明用 GOA 电路代替传统的栅极芯片,通过设计 GOA 电路的驱动方式,改善 Tri-gate 色偏问题,同时使用 GOA 电路代替栅极芯片,可进一步降低生产成本。

【附图说明】

- [0027] 图 1,绘示现有技术的液晶显示设备的显示区域结构示意图;

- [0028] 图 2a, 绘示根据图 1 的显示区域的实际显示的第一示意图 ;
[0029] 图 2b, 绘示根据图 1 的显示区域的实际显示的第二示意图 ;
[0030] 图 3, 绘示本发明的液晶显示设备的显示区域结构示意图 ;
[0031] 图 4, 绘示本发明的液晶显示设备的 GOA 电路的示意图 ;
[0032] 图 5, 绘示根据图 4 的 GOA 电路在图 3 的显示区域的实际显示的示意图。

【具体实施方式】

[0033] 以下各实施例的说明是参考附加的图式, 用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语, 例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等, 仅是参考附加图式的方向。因此, 使用的方向用语是用以说明及理解本发明, 而非用以限制本发明。

[0034] 图 3, 绘示本发明的液晶显示设备 20 的显示区域结构示意图。所述液晶显示设备 20 包括多条数据线 (D1-D6)、多条扫描线 (G1-G6)、GOA 电路 30。所述显示区域包括多行像素, 按照红、绿以及蓝的顺序排列。所述液晶显示设备利用所述 GOA 电路 30 对所述多条扫描线 (G1-G6) 提供扫描信号。所述 GOA 电路 30 包括多个相互级联的 GOA 单元 40。

[0035] 图 4, 绘示本发明的 GOA 单元 40 的示意图。本图是以第 n 级 GOA 单元 40 为例。所述第 n 级 GOA 单元 40 包括时钟电路 100、下拉电路 200、自举电容电路 300、上拉电路 400 及下拉维持电路 500。

[0036] 所述时钟电路 100, 用于接收多级时钟信号的第 m 级时钟信号 CK_m 和用于连接第 n 级启动信号线 $ST(n)$ 以及第 n 级扫描线 $G(n)$ 。所述下拉电路 200, 用于连接栅极信号点 $Q(n)$ 、所述第 n 级扫描线 $G(n)$ 、第 $n+2$ 级扫描线 $G(n+2)$ 、第 $n+2$ 级启动信号线 $ST(n+2)$ 以及固定电压源 V_{ss} 。所述自举电容电路 300, 用于连接所述栅极信号点 $Q(n)$ 以及所述固定电压源 V_{ss} 。所述上拉电路 400, 用于连接所述栅极信号点 $Q(n)$ 以及连接所述多条扫描线的第 $n-2$ 级扫描线 $G(n-2)$ 以及第 $n-2$ 级启动信号线 $ST(n-2)$ 所述下拉维持电路 500, 用于连接所述栅极信号点 $Q(n)$ 、所述固定电压源 V_{ss} 以及所述第 n 级扫描线 $G(n)$ 。所述 m 以及所述 n 为正整数。一般而言, m 小于或等于 n 。

[0037] 所述时钟电路 100 包括第一晶体管 T1 以及第二晶体管 T2。所述第一晶体管 T1 的控制端连接所述栅极信号点 $Q(n)$, 所述第一晶体管 T1 的输入端接收所述第 m 级时钟信号 CK_m , 所述第一晶体管 T1 的输出端连接所述第 n 级扫描线 $G(n)$ 。

[0038] 所述第二晶体管 T2 的控制端连接所述栅极信号点 $Q(n)$, 所述第二晶体管 T2 的输入端连接所述第一晶体管 T1 的所述输入端, 所述第二晶体管 T2 的输出端连接所述第 n 级启动信号线 $ST(n)$ 。

[0039] 所述下拉电路 200 包括第三晶体管 T3 以及第四晶体管 T4。

[0040] 所述第三晶体管 T3 的控制端连接所述第 $n+2$ 级扫描线 $G(n+2)$ 以及所述第 $n+2$ 级启动信号线 $ST(n+2)$, 所述第三晶体管 T3 的输入端连接所述固定电压源 V_{ss} , 所述第三晶体管 T3 的输出端连接所述第 n 级扫描线 $G(n)$ 。

[0041] 所述第四晶体管 T4 的控制端连接所述第 $n+2$ 级扫描线 $G(n+2)$ 以及所述第 $n+2$ 级启动信号线 $ST(n+2)$, 所述第四晶体管 T4 的输入端接收所述固定电压源 V_{ss} , 所述第四晶体管 T4 的输出端连接所述栅极信号点 $Q(n)$ 。

[0042] 所述自举电容电路 300 包括第一电容 C1。所述第一电容 C1 的两端连接所述栅极信号点 Q(n) 以及所述第 n 级扫描线 G(n)。

[0043] 所述上拉电路 400 包括第五晶体管 T5。所述第五晶体管 T5 的控制端连接所述第 n-2 级扫描线 G(n-2) 以及所述第 n-2 级启动信号线 ST(n-2)，所述第五晶体管 T5 的输入端连接所述第五晶体管 T5 的所述控制端，所述第五晶体管 T5 的输出端连接所述栅级信号点 Q(n)。

[0044] 所述下拉维持电路 500 包括第一下拉维持电路 510 以及第二下拉维持电路 520。

[0045] 所述第一下拉维持电路 510 包括第六晶体管 T6、第七晶体管 T7 以及第八晶体管 T8。

[0046] 所述第六晶体管 T6 的输入端连接所述固定电压 Vss，所述第六晶体管 T6 的输出端连接所述栅级信号点 Q(n)。所述第七晶体管 T7 的控制端接收第一低频信号 LC1，所述第七晶体管 T7 的输出端连接所述第七晶体管 T7 的所述控制端。所述第八晶体管 T8 的控制端连接栅级信号点 Q(n)，所述第八晶体管 T8 的输入端连接所述固定电压源 Vss。

[0047] 所述第二下拉维持电路 520 包括第九晶体管 T9、第十晶体管 T10 以及第十一晶体管 T11。

[0048] 所述第九晶体管 T9 的输入端连接所述固定电压 Vss，所述第九晶体管 T9 的输出端连接所述栅级信号点 Q(n)。所述第十晶体管 T10 的控制端接收第二低频信号 LC2，所述第十晶体管 T10 的输出端连接所述第十晶体管 T10 的所述控制端。所述第十一晶体管 T11 的控制端连接栅级信号点 Q(n)，所述第十一晶体管 T11 的输入端连接所述固定电压源 Vss。

[0049] 较佳地，所述第一低频信号 LC1 和所述第二低频信号 LC2 为两个反相的低频直流讯号，交替工作，用以保证栅极信号点 Q(n) 点以及第 n 级扫描线 G(n) 的低电位稳定。第 n-2 级的扫描线 G(n-2) 的输出跟第 n-2 级启动信号 ST(n-2) 信号连接，用于拉高栅极信号点 Q(n)。在进行预充电的情况下，用所述第 (n+2) 级扫描线 G(n+2) 来辅助下拉所述第 n 级扫描线 G(n) 以及所述栅极信号点 Q(n)。

[0050] 图 5，绘示根据图 4 的 GOA 单元 40 在图 3 的显示区域的实际显示的示意图。通过设计不同的 CK 讯号，来改善 tri-gate 色偏问题，同时也可以达到降低成本的效益。较佳地，所述多级时钟信号的占空部分均相等且不重叠。在本优选实施例中，假设 m 为 4，即总共有 4 个时钟信号 (CK1-CK4)，在每个周期中，所述 4 个时钟信号 (CK1-CK4) 的占空部份不重叠；假设 n 为 12，即总共有 12 个像素行 (G(1)-G(12))。时钟信号 CK1-CK4 的占空比设置为 25%，当在扫描第 n-2 像素行时，第 n-2 级 GOA 单元会输出第 (n-2) 级启动信号线 ST(n-2)，输出的第 n-2 级启动信号线 ST(n-2) 与第 n 级 GOA 单元连接，用于拉高第 n 级 GOA 单元的栅极信号点 Q(n)，待第 m 级时钟讯号开启，第 n 级 GOA 单元开始输出 gate 波形，待第 (n+2) GOA 单元开始输出，第 (n+2) 级 GOA 单元的第 (n+2) 级扫描线 G(n+2) 以及第 (n+2) 级启动信号线 ST(n+2) 会把栅极信号点 Q(n) 和输出第 (n) 级扫描线 G(n) 拉低。实际操作方式如：

[0051] G1 打开，G3 的 Q 点电位被拉高，待 G3 打开，G1 输出会被 G(3) 拉到低电位，即 G(1) 关闭，G(3) 打开的同时，会将 G(5) 的 Q 点拉高，待 G(5) 打开，G(3) 输出会被 G(5) 拉到低电位，电路依次往下传亦即，在本优选实施例中，第 1、5、9 级 GOA 单元 40 搭配第 1 级时钟信号 CK1；第 2、6、10 级 GOA 单元 40 搭配第 2 级时钟信号 CK2；第 3、7、11 级 GOA 单元 40 搭配第

3 级时钟信号 CK3 ;第 4、8、12 级 GOA 单元 40 搭配第 4 级时钟信号 CK4。且,较佳地,所述第一低频信号 LC1 和所述第二低频信号 LC2 每 100 帧切换一次方向。如附图所示,较佳地,所述 4 个时钟信号 (CK1-CK4) 的占空比的大小相同,所述时钟信号 (CK1-CK4) 的占空比与 12 个像素行 (G(1)-G(12)) 的占空比大小相同。在扫描第 $n-2$ 行像素时,同时开始扫描第 n 像素行,当在扫描第 $n+2$ 像素行时,同时开始关闭第 n 像素行,举例而言,本优选实施例中,在扫描第 1 像素行 G1 时,同时开始扫描第 3 像素行 G3,当在扫描第 5 像素行 G5 时,同时开始关闭第 3 像素行。这里也以 L255 黄色画面为例,垂直方向 pixel 的排列方式为 RGB 重复排列。从数据线的输出讯号可以看到,垂直方向写入不足的绿色像素 G 数量降低为现有技术的一半 (请参考图 2b),能够有效的改善色偏。

[0052] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

10

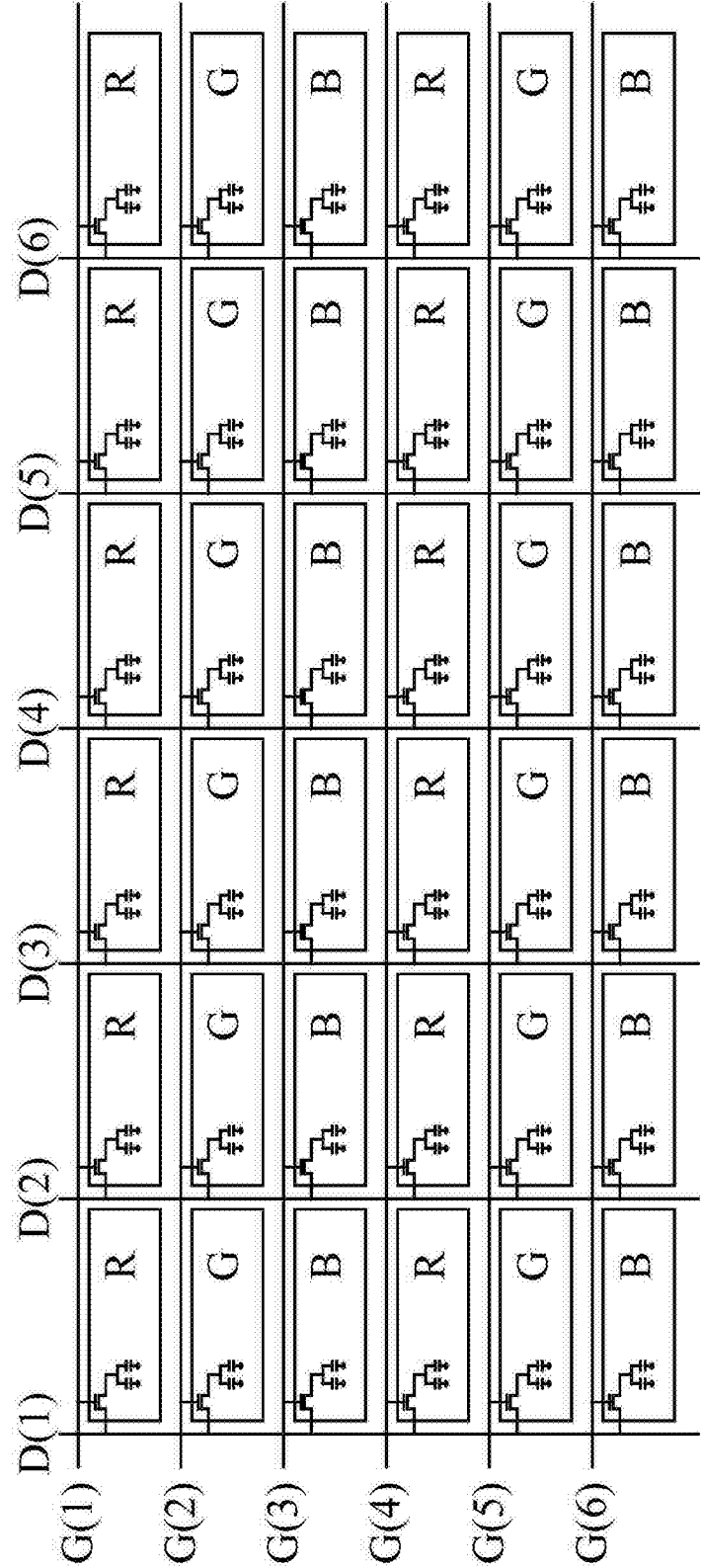


图 1

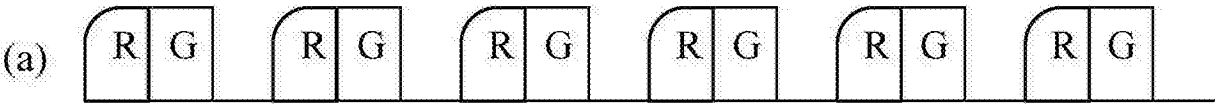


图 2a

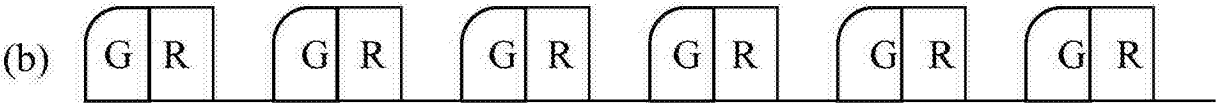


图 2b

20

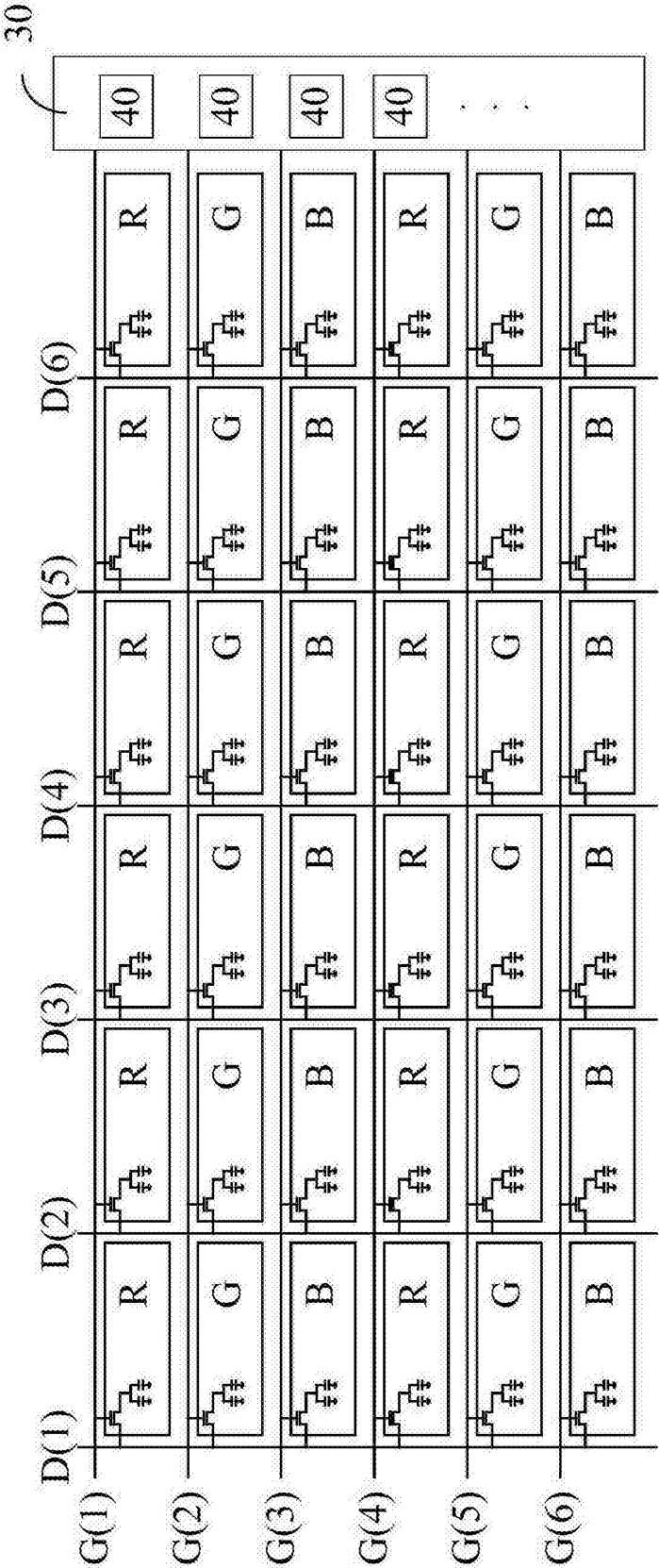


图 3

40

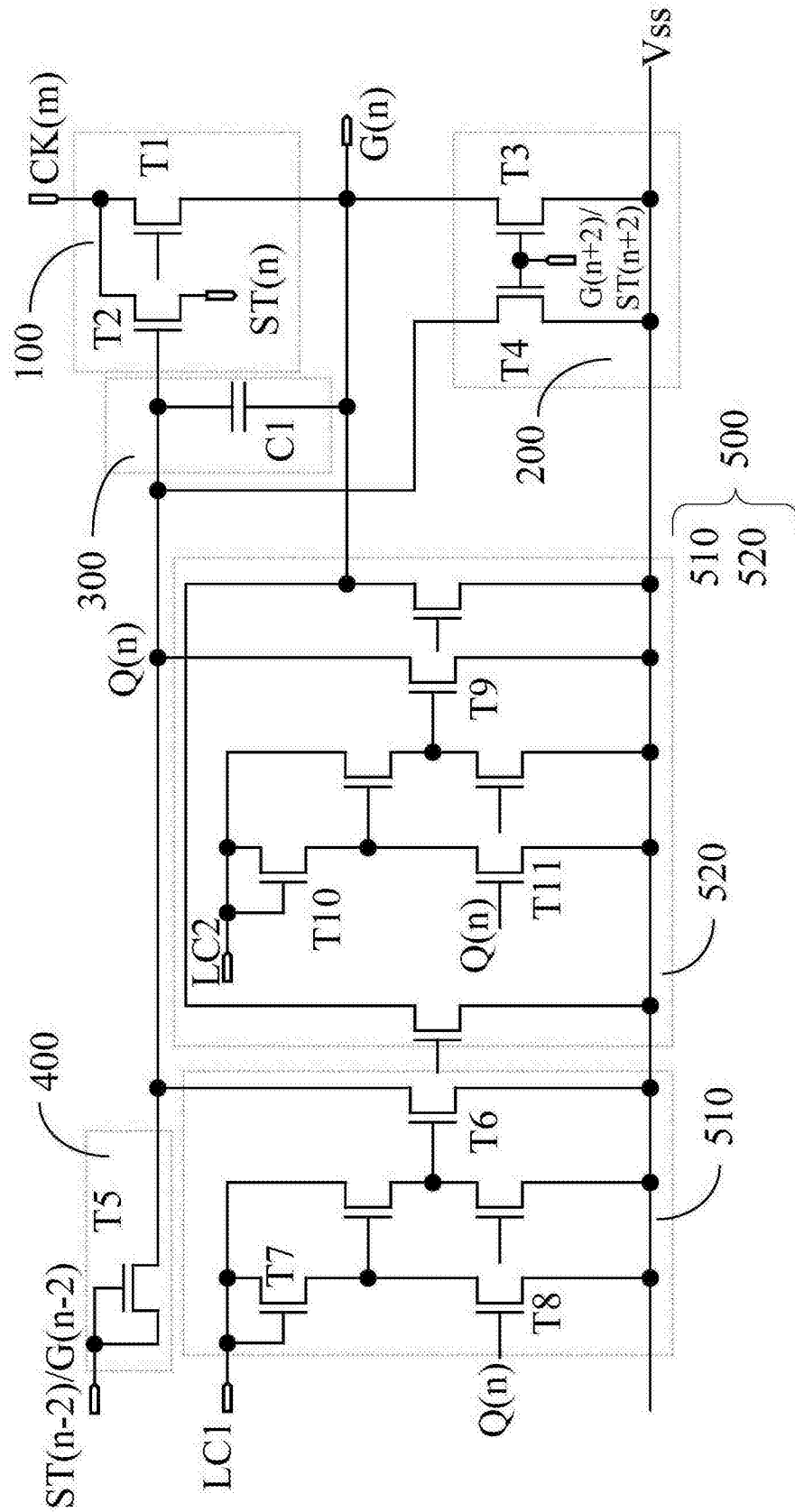


图 4

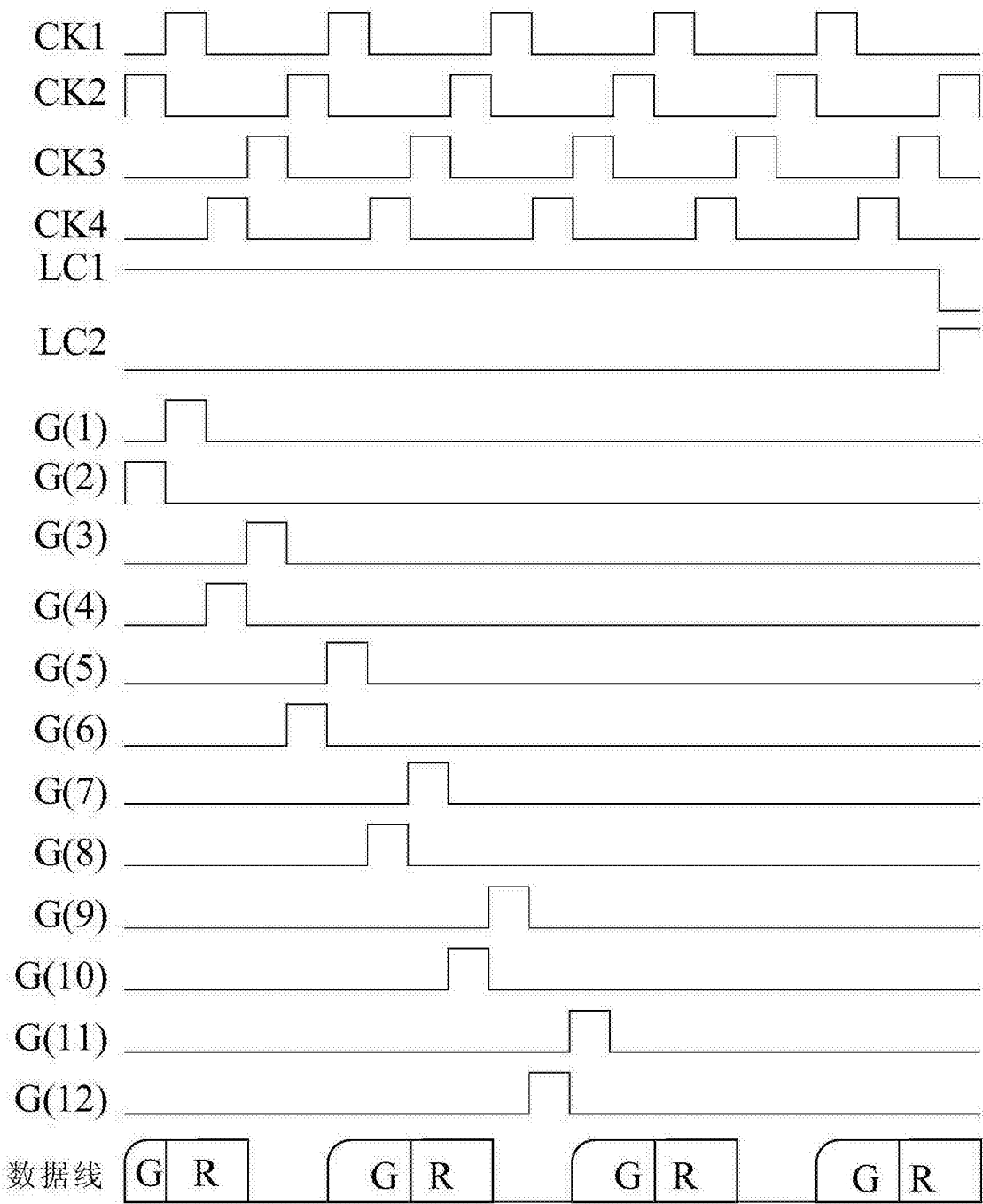


图 5

专利名称(译)	液晶显示设备及GOA电路		
公开(公告)号	CN105390115A	公开(公告)日	2016-03-09
申请号	CN201510990552.6	申请日	2015-12-24
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	王笑笑 杜鹏		
发明人	王笑笑 杜鹏		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G11C19/28 G09G3/3677 G09G3/3674		
代理人(译)	黄威		
其他公开文献	CN105390115B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种用于液晶显示设备的数组基板行扫描驱动(Gate ? Driver ? On ? Array ; GOA)电路，所述液晶显示设备包括多条扫描线，所述GOA电路包含多个GOA单元。所述多个GOA单元相互级联为多级GOA单元，所述第n级GOA单元包括时钟电路、下拉电路、自举电容电路、上拉电路及下拉维持电路。用以改善Tri-gate的色偏问题并降低生产成本。

40

