



(12) 发明专利申请

(10) 申请公布号 CN 104537992 A

(43) 申请公布日 2015. 04. 22

(21) 申请号 201410844668. 4

(22) 申请日 2014. 12. 30

(71) 申请人 深圳市华星光电技术有限公司
地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 肖军城 赵莽 田勇

(74) 专利代理机构 深圳翼盛智成知识产权事务所 (普通合伙) 44300

代理人 黄威

(51) Int. Cl.
G09G 3/36(2006. 01)

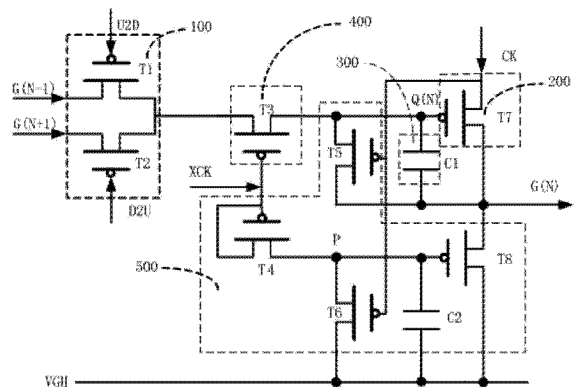
权利要求书2页 说明书4页 附图2页

(54) 发明名称

用于液晶显示装置的 GOA 电路

(57) 摘要

本发明公开一种用于液晶显示装置的阵列基板行扫描驱动 (Gate Driver On Array ;GOA) 电路,所述液晶显示装置包括多条扫描线,所述 GOA 电路包括级联的多个 GOA 单元。第 N 级 GOA 单元控制对显示区域第 N 级扫描线充电,该第 N 级 GOA 单元包括正反向扫描控制电路、上拉电路、自举电容电路、上拉控制电路及下拉维持电路。所述上拉电路、所述自举电容电路、所述上拉控制电路及所述下拉维持电路与栅极信号点连接。所述上拉电路、所述自举电容电路及所述下拉维持电路与所述第 N 级扫描线连接。所述正反向扫描控制电路与第 N-1 级扫描线以及第 N+1 级扫描线连接。用以提高所述栅极信号点的稳定性以及减少晶体管的使用。



1. 一种用于液晶显示装置的GOA电路,所述液晶显示装置包括多条扫描线,所述GOA电路包含级联的多个GOA单元,其中第N级GOA单元控制对第N级扫描线(G(N))充电,其特征在于,该第N级GOA单元包括:

下拉维持电路(500),连接所述第N级扫描线(G(N));

自举电容电路(300),连接所述下拉维持电路(500);

上拉控制电路(400),连接所述自举电容电路(300);

正反向扫描控制电路(100),连接所述上拉控制电路(400);及

上拉电路(200),连接所述自举电容电路(300);

其中所述上拉电路(200)、所述自举电容电路(300)、所述上拉控制电路(400)及所述下拉维持电路(500)共同连接构成一栅极信号点(Q(N));

所述上拉电路(200)、所述自举电容电路(300)及所述下拉维持电路(500)分别与所述第N级扫描线(G(N))连接;

所述正反向扫描控制电路(100)分别与第N-1级扫描线(G(N-1))以及第N+1级扫描线(G(N+1))连接;

所述下拉维持电路(500)包括:

第一晶体管(T4),其控制端连接其输入端及接收第一时钟信号(XCK),其输出端连接第一电路点(P(N));

第二晶体管(T6),其控制端接收第二时钟信号(CK),其输入端连接高恒压源(VGH),其输出端连接所述第一电路点(P(N));

第三晶体管(T8),其控制端连接所述第一电路点(P(N)),其输入端连接所述高恒压源(VGH),其输出端连接所述第N级扫描线(G(N));

第四晶体管(T5),其控制端接收所述第二时钟信号(CK),其输入端连接所述栅极信号点(Q(N)),其输出端连接所述第N级扫描线(G(N));

第一电容(C2),其两端连接所述高恒压源(VGH)及所述第一电路点(P(N))。

2. 如权利要求1所述的用于液晶显示装置的GOA电路,其特征在于,所述正反向扫描控制电路(100)包括:

第五晶体管(T1),其控制端接收下传控制信号(U2D),其输入端连接所述第N-1级扫描线(G(N-1)),其输出端连接所述上拉控制电路(400);

第六晶体管(T2),其控制端接收上传控制信号(D2U),其输入端连接所述第N+1级扫描线(G(N+1)),其输出端连接所述第五晶体管(T1)的输出端以及所述上拉控制电路(400)。

3. 如权利要求1所述的用于液晶显示装置的GOA电路,其特征在于,所述上拉电路(200)包括:

第七晶体管(T7),其控制端连接所述栅极信号点(Q(N)),其输入端接收所述第二时钟信号(CK),其输出端连接所述第N级扫描线(G(N))。

4. 如权利要求1所述的用于液晶显示装置的GOA电路,其特征在于,所述自举电容电路(300)包括:

第二电容(C1),其两端连接所述栅极信号点(Q(N))以及所述第N级扫描线(G(N))。

5. 如权利要求1所述的用于液晶显示装置的GOA电路,其特征在于,所述上拉控制电路(400)包括:

第八晶体管 (T3), 其控制端接收所述第一时钟信号 (XCK) 及连接所述第一晶体管 (T4) 的控制端, 其输入端连接所述第五晶体管 (T1) 的输出端以及所述第六晶体管 (T2) 的输出端, 其输出端连接所述栅极信号点 (Q(N))。

6. 如权利要求 1 所述的用于液晶显示装置的 GOA 电路, 其特征在于, 所述第一时钟信号 (XCK) 与所述第二时钟信号 (CK) 互为反向信号。

7. 如权利要求 1-6 所述的用于液晶显示装置的 GOA 电路, 其特征在于, 所述第一至第八晶体管是 PMOS 晶体管。

用于液晶显示装置的 GOA 电路

【技术领域】

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种基于 LTPS(Low-Temperature Poly-Si)的 PMOS(P-channel Metal Oxide Semiconductor)用于液晶显示装置的 GOA(Gate Driver On Array,阵列基板行扫描驱动)电路。

【背景技术】

[0002] GOA,就是利用现有薄膜晶体管液晶显示器数组(Array)制程将栅极(Gate)行扫描驱动信号电路制作在数组基板上,实现对栅极逐行扫描的驱动方式的一项技术。

[0003] 随着低温多晶硅半导体(LTPS)薄膜晶体管(TFT)的发展,而且由于 LTPS 半导体本身超高载流子迁移率的特性,相应的面板周边集成电路,也就是 GOA 便成为大家关注的焦点,并且很多人投入到系统整合面板(System on Panel, SOP)的相关技术研究,并逐步成为现实,由于 LTPS 可以用离子布置技术调节 TFT 类型,可以选择 NMOS, PMOS 和 CMOS 的电路,但是 CMOS 和 NMOS 在光罩成本上较 PMOS 会大幅的提升,而且 CMOS 的电路结构过于复杂,很难做到超窄边框的设计,当针对小尺寸的显示装置时,这个显得尤为重要,PMOS 电路在成本上及电路结构上的优势,使其逐渐成为主流。再者,电路的信号使用和功耗考虑是 GOA 电路的重要考虑部分,所以在设计 LTPS 电路时必须考虑到此类问题,并且考虑到小尺寸产品的扫描特性,正反向扫描和正反向控制比较重要的前提下,一种基于 LTPS 的 PMOS 的 GOA 电路对于解决上述问题是有相当帮助的。

【发明内容】

[0004] 本发明的目的在于提供一种基于 LTPS 的 PMOS 的用于液晶显示装置 GOA 电路。

[0005] 为实现上述目的,本发明提供一种用于液晶显示装置的 GOA 电路,所述液晶显示设备包括多条扫描线,所述 GOA 电路包含级联的多个 GOA 单元。第 N 级 GOA 单元控制对第 N 级扫描线充电。该第 N 级 GOA 单元包括正反向扫描控制电路、上拉电路、自举电容电路、上拉控制电路及下拉维持电路。

[0006] 下拉维持电路连接所述第 N 级扫描线。自举电容电路连接所述下拉维持电路。上拉控制电路连接所述自举电容电路。正反向扫描控制电路连接所述上拉控制电路。上拉电路连接所述自举电容电路。

[0007] 所述上拉电路、所述自举电容电路、所述上拉控制电路及所述下拉维持电路共同连接构成一栅极信号点。

[0008] 所述所述上拉电路、所述自举电容电路及所述下拉维持电路分别与所述第 N 级扫描线连接。

[0009] 所述正反向扫描控制电路分别与第 N-1 级扫描线以及第 N+1 级扫描线连接。

[0010] 所述下拉维持电路包括:

[0011] 第一晶体管,其控制端连接其输入端及接收所述第一时钟信号,其输出端连接第一电路点。

[0012] 第二晶体管,其控制端接收第二时钟信号,其输入端连接高恒压源,其输出端连接所述第一电路点。

[0013] 第三晶体管,其控制端连接所述第一电路点,其输入端连接所述高恒压源,其输出端连接所述第 N 级扫描线。

[0014] 第四晶体管,其控制端接收所述第一时钟信号,其输入端连接所述栅极信号点,其输出端连接所述第 N 级扫描线。

[0015] 第一电容,其两端连接所述高恒压源及所述第一电路点。

[0016] 在一实施例中,所述正反向扫描控制电路包括:

[0017] 第五晶体管,其控制端接收所述下传控制信号,其输入端连接所述第 N-1 级扫描线,其输出端连接所述上拉控制电路。

[0018] 第六晶体管,其控制端接收所述上传控制信号,其输入端连接所述第 N+1 级扫描线,其输出端连接所述第五晶体管的输出端以及所述上拉控制电路。

[0019] 在一实施例中,所述上拉电路包括:

[0020] 第七晶体管,其控制端连接所述栅极信号点,其输入端接收所述第二时钟信号,其输出端连接所述第 N 级扫描线。

[0021] 在一实施例中,所述自举电容电路包括:

[0022] 第二电容,其两端连接所述栅极信号点以及所述第 N 级扫描线。

[0023] 在一实施例中,所述上拉控制电路包括:

[0024] 第八晶体管,其控制端接收所述第二时钟信号及连接所述第一晶体管的控制端,其输入端连接所述第五晶体管的输出端以及所述第六晶体管的输出端,其输出端连接所述栅极信号点。

[0025] 在一实施例中,所述第一时钟信号与所述第二时钟信号互为反向信号。

[0026] 在一实施例中,所述第一至第八晶体管是 PMOS 晶体管。

[0027] 通过本发明的上述技术方案,产生的有益技术效果在于:

[0028] 1. 基于 LTPS 的 PMOS GOA 电路设计。

[0029] 2. 具备正反向扫描和正反向控制的功能,能够保证显示装置的各种驱动形式,保证电路长时间操作的稳定性。

[0030] 3. 通过所述第一时钟信号和所述第一电容、所述第二电容搭配,实现所述第 N 级扫描线的高电位维持、所述栅极信号点的下拉与上拉的维持功能。通过所述第二时钟信号和所述第一电容、所述第二电容的完美配合,实现所述栅极信号点和所述第 N 级扫描线的下拉功能。通过这样完美的组合,减少了电路中信号线的使用和晶体管的数量。

[0031] 4. 使用所述第四晶体管连接所述栅极信号点与所述第 N 级扫描线,利用所述第一时钟信号信号进行控制,提高了所述栅极信号点的稳定性,增加了信号的驱动能力。

【附图说明】

[0032] 图 1 为本发明中的 GOA 的电路示意图。

[0033] 图 2 为图 1 中的 GOA 电路在实际操作时关键节点的波形示意图。

【具体实施方式】

[0034] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0035] 图 1 为本发明中的 GOA 的电路示意图。所述液晶显示设备包括多个扫描线,所述 GOA 电路包含级联的多个 GOA 单元。第 N 级 GOA 单元控制对显示区域第 N 级扫描线充电。该第 N 级 GOA 单元包括正反向扫描控制电路 (100)、上拉电路 (200)、自举电容电路 (300)、上拉控制电路 (400) 及下拉维持电路 (500)。

[0036] 下拉维持电路 (500) 连接所述第 N 级扫描线 (G(N))。自举电容电路 (300) 连接所述下拉维持电路 (500)。上拉控制电路 (400) 连接所述自举电容电路 (300)。正反向扫描控制电路 (100) 连接所述上拉控制电路 (400)。上拉电路 (200) 连接所述自举电容电路 (300)。

[0037] 所述上拉电路 (200)、所述自举电容电路 (300)、所述上拉控制电路 (400) 及所述下拉维持电路 (500) 共同连接构成一栅极信号点 (Q(N))。所述所述上拉电路 (200)、所述自举电容电路 (300) 及所述下拉维持电路 (500) 分别与所述第 N 级扫描线 (G(N)) 连接。所述正反向扫描控制电路 (100) 分别与第 N-1 级扫描线 (G(N-1)) 以及第 N+1 级扫描线 (G(N+1)) 连接。

[0038] 所述下拉维持电路 (500) 包括:

[0039] 第一晶体管 (T4),其控制端连接其输入端及接收所述第一时钟信号 (XCK),其输出端连接第一电路点 (P(N))。第二晶体管 (T6),其控制端接收所述第二时钟信号 (CK),其输入端连接所述高恒压源 (VGH),其输出端连接所述第一电路点 (P(N))。第三晶体管 (T8),其控制端连接所述第一电路点 (P(N)),其输入端连接所述高恒压源 (VGH),其输出端连接所述第 N 级扫描线 (G(N))。第四晶体管 (T5),其控制端接收所述第二时钟信号 (CK),其输入端连接所述栅极信号点 (Q(N)),其输出端连接所述第 N 级扫描线 (G(N))。第一电容 (C2),其两端连接所述高恒压源 (VGH) 及所述第一电路点 (P(N))。

[0040] 所述正反向扫描控制电路 (100) 包括第五晶体管 (T1) 及第六晶体管 (T2)。所述第五晶体管 (T1),其控制端接收所述下传控制信号 (U2D),其输入端连接所述第 N-1 级扫描线 (G(N-1)),其输出端连接所述上拉控制电路 (400)。所述第六晶体管 (T2),其控制端接收所述上传控制信号 (D2U),其输入端连接所述第 N+1 级扫描线 (G(N+1)),其输出端连接所述第五晶体管 (T1) 的输出端以及所述上拉控制电路 (400)。所述正反向扫描控制电路 (100) 负责电路的正反向扫描,上拉信号的控制作用,在电路内部负责电路的级间传递。

[0041] 所述上拉电路 (200) 包括第七晶体管 (T7),其控制端连接所述栅极信号点 (Q(N)),其输入端接收所述第二时钟信号 (CK),其输出端连接所述第 N 级扫描线 (G(N))。

[0042] 所述自举电容电路 (300) 包括第二电容 (C1),其两端连接所述栅极信号点 (Q(N)) 以及所述第 N 级扫描线 (G(N))。

[0043] 所述上拉控制电路 (400) 包括第八晶体管 (T3),其控制端接收所述第二时钟信号 (XCK) 及连接所述第一晶体管 (T4) 的控制端,其输入端连接所述第五晶体管 (T1) 的输出端以及所述第六晶体管 (T2) 的输出端,其输出端连接所述栅极信号点 (Q(N))。

[0044] 所述第一至第八晶体管是 PMOS 的 TFT。其控制端指的是栅极,其输入端指的是源

极、其输出端指的是漏极。

[0045] 图 2 为图 1 中的 GOA 电路在实际操作时关键节点的波形示意图。所述上拉电路 (200) 负责所述第二时钟信号 (CK) 输出, 将合理控制所述栅极信号点 (Q(N)) 电位后, 有效的输出所需要的所述第 N 级扫描线 (G(N)) 驱动波形; 这里采用一个特殊的设计, 利用所述第四晶体管 (T5) 将所述栅极信号点 (Q(N)) 与所述第 N 级扫描线 (G(N)) 连接在一起, 使用所述第二时钟信号 (CK) 进行控制; 当第二时钟信号 (CK) 为低电平时, 电路进行下拉时, 将所述第 N 级扫描线 (G(N)) 与所述栅极信号点 (Q(N)) 连通, 使所述栅极信号点 (Q(N)) 保持稳定, 同时增加输出的驱动能力。当所述第二时钟信号 (CK) 为低时, 第二晶体管 (T6) 打开, 第一电容 (C2) 存储端被拉高; 此时, 的三晶体管 (T8) 关闭, 使得所述第 N 级扫描线 (G(N)) 的输出端不受所述高恒压源 (VGH) 的影响。

[0046] 所述上拉控制电路 (400) 负责电路所述栅极信号点 (Q(N)) 的电位下拉和抬升, 保证所述第二时钟信号 (CK) 的顺利输出, 所述栅极信号点 (Q(N)) 的电位处理是电路的关键, 他将直接决定电路的性能和面板的显示。

[0047] 在设计中用所述第 N 级扫描线 (G(N)) 信号负责上下级传

[0048] 在信号设置方面, 所述高恒压源 (VGH) 为一个恒压直流的高电位, 所述第一时钟信号 (XCK) 和所述第二时钟信号 (CK) 是一组互反的时钟信号。

[0049] 综上所述, 虽然本发明已以优选实施例揭露如上, 但上述优选实施例并非用以限制本发明, 本领域的普通技术人员, 在不脱离本发明的精神和范围内, 均可作各种更动与润饰, 因此本发明的保护范围以权利要求界定的范围为准。

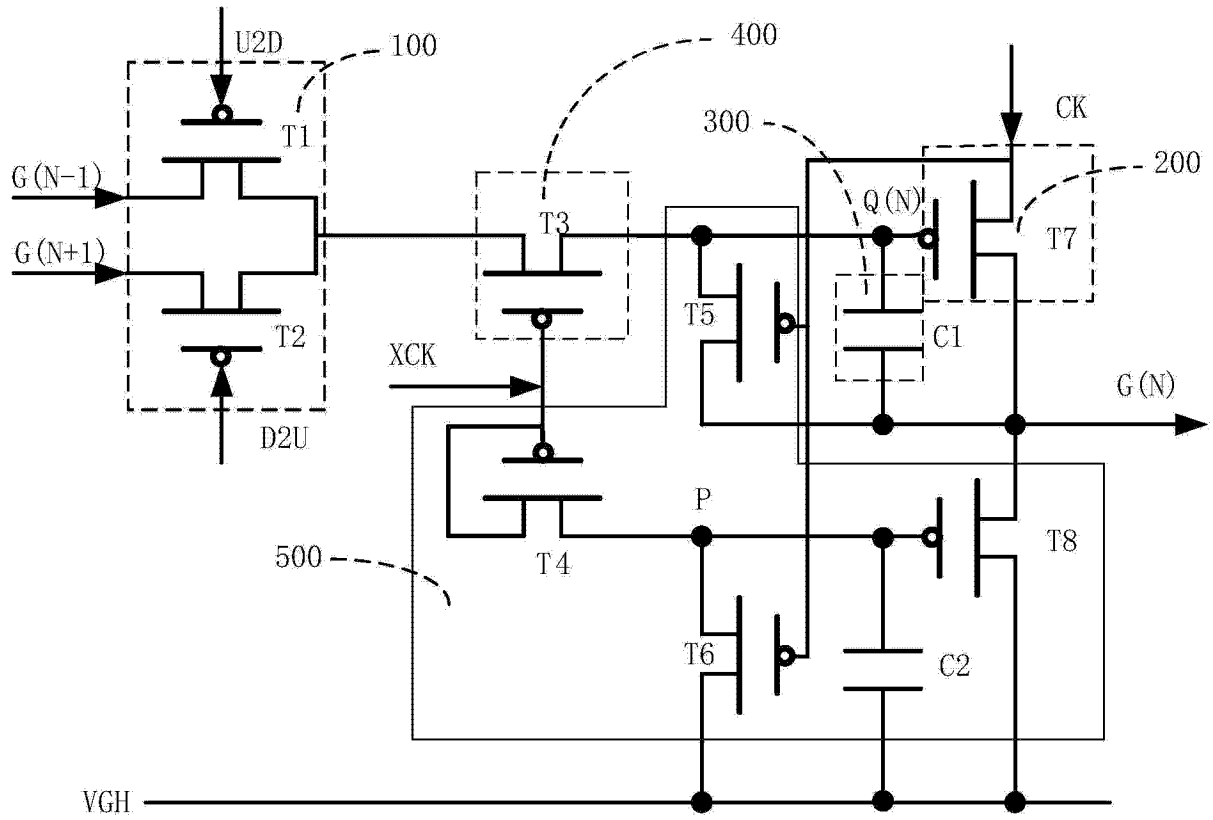


图 1

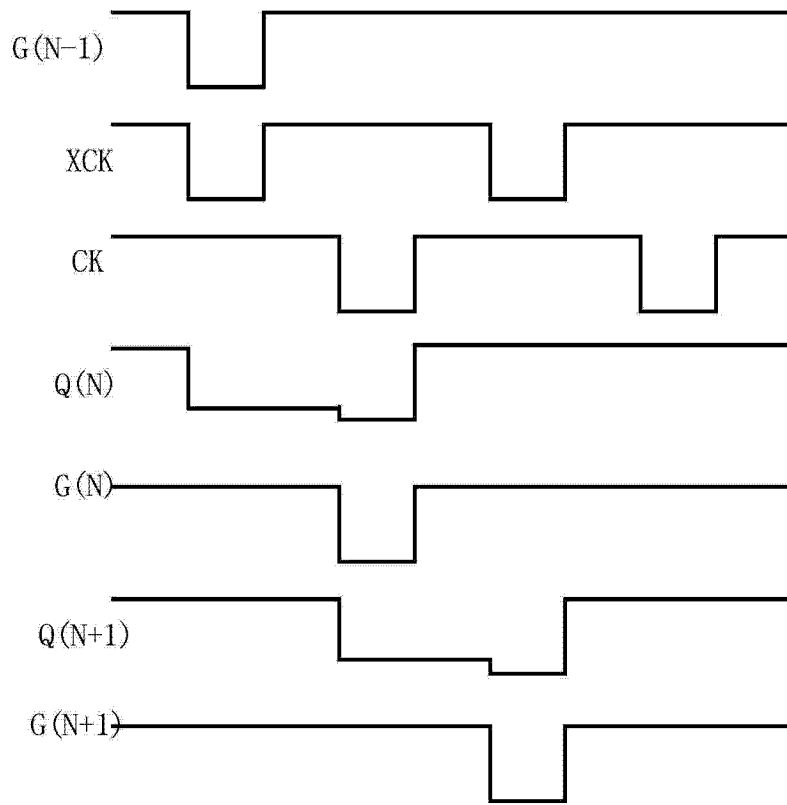


图 2

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 用于液晶显示装置的GOA电路 | | |
| 公开(公告)号 | CN104537992A | 公开(公告)日 | 2015-04-22 |
| 申请号 | CN201410844668.4 | 申请日 | 2014-12-30 |
| [标]申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| 申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| 当前申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| [标]发明人 | 肖军城 赵莽 田勇 | | |
| 发明人 | 肖军城 赵莽 田勇 | | |
| IPC分类号 | G09G3/36 | | |
| CPC分类号 | G02F1/13 G02F1/13454 G09G3/36 G09G3/3677 G09G2310/0283 G09G2310/0286 G09G2300/0408 G09G2310/08 G02F1/133 G09G2230/00 | | |
| 代理人(译) | 黄威 | | |
| 其他公开文献 | CN104537992B | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

本发明公开一种用于液晶显示装置的阵列基板行扫描驱动(Gate Driver On Array ; GOA)电路, 所述液晶显示装置包括多条扫描线, 所述GOA电路包括级联的多个GOA单元。第N级GOA单元控制对显示区域第N级扫描线充电, 该第N级GOA单元包括正反向扫描控制电路、上拉电路、自举电容电路、上拉控制电路及下拉维持电路。所述上拉电路、所述自举电容电路、所述上拉控制电路及所述下拉维持电路与栅极信号点连接。所述上拉电路、所述自举电容电路及所述下拉维持电路与所述第N级扫描线连接。所述正反向扫描控制电路与第N-1级扫描线以及第N+1级扫描线连接。用以提高所述栅极信号点的稳定性以及减少晶体管的使用。

