



(12) 发明专利申请

(10) 申请公布号 CN 104376824 A

(43) 申请公布日 2015. 02. 25

(21) 申请号 201410639701. X

(22) 申请日 2014. 11. 13

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 戴超 赖梓杰

(74) 专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51) Int. Cl.

G09G 3/36(2006. 01)

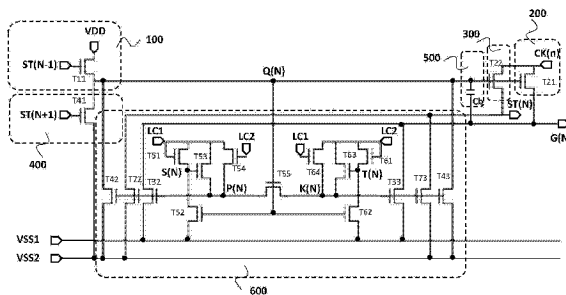
权利要求书2页 说明书7页 附图5页

(54) 发明名称

用于液晶显示的 GOA 电路及液晶显示装置

(57) 摘要

本发明公开一种用于液晶显示的 GOA 电路, 包括级联的多个移位缓存单元, 按照第 N 级移位缓存单元控制对显示区域第 N 级扫描线充电, 该第 N 级移位缓存单元包括上拉电路、下拉电路、下拉维持电路、上拉控制电路、下传电路及自举电容。利用一恒压信号源或通过两组信号源来替代第 N 级扫描线执行下传作用。本发明实施例还公开了一种显示设备。本发明降低第 N 级扫描线的负载及级传走线带来的风险。并实现控制正反向扫描。



1. 一种用于液晶显示的 GOA 电路,其特征在于,包括级联的多个移位缓存单元,按照第 N 级移位缓存单元控制对显示区域第 N 级扫描线 (G(N)) 充电,该第 N 级移位缓存单元包括上拉电路 (200)、下拉电路 (400)、下拉维持电路 (600)、上拉控制电路 (100)、下传电路 (300) 及自举电容 (Cb);

所述上拉电路 (200)、所述下拉维持电路 (600) 及所述自举电容 (Cb) 分别与栅极信号点 (Q(N)) 和所述第 N 级扫描线 (G(N)) 连接;

所述上拉控制电路 (100) 和所述下传电路 (300) 与所述栅极信号点 (Q(N)) 连接;

所述下拉电路 (400) 与来自第 N+1 级移位缓存单元的开动信号 (ST(N+1)) 连接;

所述上拉控制电路 (100) 与来自第 N-1 级移位缓存单元的开动信号 (ST(N-1)) 连接;

所述下拉维持电路 (600) 包括:

第一晶体管 (T32),其栅极连接第一电路点 (P(N)),其漏极和源极分别连接所述第 N 级扫描线 (G(N)) 和第一输入直流电压 (VSS1);

第二晶体管 (T42),其栅极连接所述第一电路点 (P(N)),其漏极和源极分别连接所述栅极信号点 (Q(N)) 和第二输入直流电压 (VSS2);

第三晶体管 (T52),其栅极连接所述栅极信号点 (Q(N)),其漏极和源极分别连接源极信号点 (S(N)) 和所述第一输入直流电压 (VSS1);

第四晶体管 (T51),其源极连接所述源极信号点 (S(N)),其栅极和漏极均连接第一时钟信号 (LC1);

第五晶体管 (T53),其栅极连接所述源极信号点 (S(N)),其漏极和源极分别连接所述第一时钟信号 (LC1) 和所述第一电路点 (P(N));

第六晶体管 (T54),其栅极连接第二时钟信号 (LC2),其漏极和源极分别连接所述第一时钟信号 (LC1) 和所述第一电路点 (P(N));

第七晶体管 (T72),其栅极连接所述第一电路点 (P(N)),其漏极和源极分别连接来自第 N 级移位缓存单元的开动信号 (ST(N)) 和所述第二输入直流电压 (VSS2);

第八晶体管 (T33),其栅极连接第二电路点 (K(N)),其漏极和源极分别连接所述第 N 级扫描线 (G(N)) 和所述第一输入直流电压 (VSS1);

第九晶体管 (T43),其栅极连接所述第二电路点 (K(N)),其漏极和源极分别连接所述栅极信号点 (Q(N)) 和所述第二输入直流电压 (VSS2);

第十晶体管 (T62),其栅极连接所述栅极信号点 (Q(N)),其漏极和源极分别连接漏极信号点 (T(N)) 和所述第一输入直流电压 (VSS1);

第十一晶体管 (T61),其源极连接所述漏极信号点 (T(N)),其栅极和漏极均连接所述第二时钟信号 (LC2);

第十二晶体管 (T63),其栅极连接所述漏极信号点 (T(N)),其漏极和源极分别连接所述第二时钟信号 (LC2) 和所述第二电路点 (K(N));

第十三晶体管 (T64),其栅极连接所述第一时钟信号 (LC1),其漏极和源极分别连接所述第二时钟信号 (LC2) 和所述第二电路点 (K(N));

第十四晶体管 (T73),其栅极连接所述第二电路点 (K(N)),其漏极和源极分别连接所述来自所述第 N 级移位缓存单元的开动信号 (ST(N)) 和所述第二输入直流电压 (VSS2));
以及

第十五晶体管 (T55), 其栅极连接所述栅极信号点 (Q(N)), 其漏极和源极分别连接所述第一电路点 (P(N)) 和所述第二电路点 (K(N));

工作时, 所述第一时钟信号 (LC1) 和所述第二时钟信号 (LC2) 的频率低于第 N 级时钟信号 (CK(N)), 并且所述第一时钟信号 (LC1) 对所述第一电路点 (P(N)) 的充电和所述第二时钟信号 (LC2) 对所述第二电路点 (K(N)) 的充电交替进行。

2. 如权利要求 1 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述上拉电路 (200) 包括:

第十六晶体管 (T21), 其栅极连接所述栅极信号点 (Q(N)), 其漏极和源极分别输入所述第 N 级时钟信号 (CK(N)) 和连接所述第 N 级扫描线 (G(N))。

3. 如权利要求 1 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述下拉电路 (400) 包括:

第十七晶体管 (T41), 其栅极连接来自所述第 N+1 级移位缓存单元的开动信号 (ST(N+1)), 其漏极和源极分别连接所述栅极信号点 (Q(N)) 和第二输入所述直流电压 (VSS2)。

4. 如权利要求 1 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述下传电路 (300) 包括:

第十八晶体管 (T22), 其栅极连接所述栅极信号点 (Q(N)), 其漏极和源极分别输入所述第 N 级时钟信号 (CK(N)) 和输出所述第 N 级开动信号 (ST(N))。

5. 如权利要求 1 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述上拉控制电路 (100) 包括:

第十九晶体管 (T11), 其栅极连接来自所述第 N-1 级移位缓存单元的开动信号 (ST(N-1)), 其漏极连接恒压信号源 (VDD), 其源极连接所述栅极信号点 (Q(N))。

6. 如权利要求 1 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述上拉控制电路 (100) 包括:

第十九晶体管 (T11), 其栅极连接来自所述第 N-1 级移位缓存单元的开动信号 (ST(N-1)), 其漏极连接正向信号源 (VF), 其源极连接所述栅极信号点 (Q(N))。

7. 如权利要求 6 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述下拉电路 (400) 包括:

第十七晶体管 (T41), 其栅极连接来自所述第 N+1 级移位缓存单元的开动信号 (ST(N+1)), 其漏极和源极分别连接所述栅极信号点 (Q(N)) 和反向信号源 (VR)。

8. 如权利要求 1 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述第 N 级时钟信号 (CK(N)) 的占空比小于 50%。

9. 如权利要求 1 所述的用于液晶显示的 GOA 电路, 其特征在于, 所述第二直流电压 (VSS2) 小于所述第一直流电压 (VSS1)。

10. 一种显示设备, 其特征在于, 包括如权利要求 1 至 9 任一项所述的用于液晶显示的 GOA 电路。

用于液晶显示的 GOA 电路及液晶显示装置

【技术领域】

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种用于液晶显示的 GOA (Gate Driver On Array,阵列基板行扫描驱动) 电路及液晶显示装置。

【背景技术】

[0002] 在主动式液晶显示器中,每个像素具有一个薄膜晶体管 (Thin film transistor, TFT),其栅极 (Gate) 连接至扫描线,漏极 (Drain) 连接至数据线,源极 (Source) 则连接至像素电极。在扫描线上施加足够的电压,会使得该扫描线上的所有 TFT 打开,此时数据线上的显示信号电压会通过薄膜晶体管写入像素电极,控制不同液晶的透光度进而达到控制色彩的效果。

[0003] 目前主动式液晶显示面板扫描线的驱动主要由面板外接的 IC 来完成,外接的 IC 可以控制各级扫描线的逐级充电和放电。

[0004] 而阵列基板行扫描驱动 (GOA) 技术,可以运用液晶显示面板的原有制程将扫描线的驱动电路制作在显示区周围的基板上,使之能替代外接 IC 来完成扫描线的驱动。GOA 技术能减少外接 IC 的绑定 (bonding) 工序,有机会提升产能并降低产品成本,而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0005] 现有的 GOA 电路通常包括级联的多个移位缓存单元 (shift register),每一级移位缓存单元对应驱动一级扫描线。移位缓存单元主要包括有上拉电路 (Pull-up part)、上拉控制电路 (Pull-up control part),下传电路 (Transfer Part)、下拉电路 (Key Pull-down Part) 和下拉维持电路 (Pull-down Holding Part),以及负责电平抬升的自举 (Boast) 电容。所述上拉电路主要负责将时钟信号 (Clock) 输出为栅极 (Gate) 信号;所述上拉控制电路负责控制所述上拉电路的打开时间,一般连接前面级移位缓存单元传递过来的下传信号或者 Gate 信号;所述下拉电路负责在第一时间将 Gate 信号拉低为低电平,即关闭 Gate 信号;所述下拉维持电路则负责将 Gate 输出信号和所述上拉电路的 Gate 信号 (通常称为 Q 点) 维持 (Holding) 在关闭状态 (即负电平),通常有两个下拉维持模块交替作用;自举电容 (Cb) 则负责 Q 点的二次抬升,这样有利于所述上拉电路的 G(N) 输出。

[0006] 如图 1 所示,示出了现有 GOA 电路的示意图。该移位缓存单元包括:上拉控制电路 100、上拉电路 200、下传电路 300、下拉电路 400、自举电容 500、第一下拉维持电路 600、第二下拉维持电路 700 以及桥接电路 800,其中第一下拉维持电路 600、第二下拉维持电路 700 以及桥接电路 800 构成三段式电阻分压设计。

[0007] 桥接电路 800 主要通过薄膜晶体管 T55 来负责调节两端 P(N) 和 K(N) 的电平。薄膜晶体管 T55 栅极连接接 Q(N),漏极和源极分别接 P(N) 和 K(N),在作用期间 T55 的栅极打开使得 P(N) 和 K(N) 的电平相近处于关闭状态,且由于低频信号 LC1 和 LC2 的低电平小于 VSS,这样可以调节作用期间 P(N) 和 K(N) 的电平小于 VSS,从而保证下拉 G(N) 点的薄膜晶体管 T32、T33 和下拉 Q 点的 T42、T43 的 $V_{gs} < 0V$,能够更好的防止作用期间的 G(N) 点和 Q 点漏电;

[0008] 所述第一下拉维持电路 600 和所述第二下拉维持电路 700 采用对称式设计, 主要实现以下功能: 其一是: 当作用期间, 所述第一下拉维持电路 600 (或所述第二下拉维持电路 700) 处于大电阻的关闭状态, 则此时所述第二下拉维持电路 700 (或所述第一下拉维持电路 600) 就处于小电阻的打开状态, 而桥接电路 800 处于小电阻的打开状态, 故使得 P(N) 和 K(N) 处于低电平状态, 以确保 Q(N) 点抬升和栅极 G(N) 输出; 其二是: 在非作用期间, 所述第一下拉维持电路 600 和所述第二下拉维持电路 700 均处于小电阻的打开状态, 而桥接电路 800 处于大电阻的关闭状态, 这样可以实现 P(N) 和 K(N) 的高低电平和交替作用。薄膜晶体管 T54 的栅极连接 LC2, 其漏极连接 LC1, 其源极连接 P(N); 薄膜晶体管 T64 的栅极连接 LC1, 其漏极连接 LC2, 其源极连接 L(N); 这两颗 TFT 称之为平衡 TFT (Balance TFT), 主要实现调节电阻分压作用和信号切换时的迅速放电作用; 而 T52 的栅极连接 Q(N), 其漏极连接 S(N), 其源极连接 VSS; 而 T62 的栅极连接 Q(N), 其漏极连接 T(N), 其源极连接 VSS, 这两颗 TFT 的主要实现保证在作用期间拉低 S(N) 和 T(N) 的作用。

[0009] 通过采用所述第一下拉维持电路 600、所述第二下拉维持电路以及桥接电路 800 的三段式分压原理的移位缓存单元, 可以增加下拉维持电路的高温稳定性和长时间操作的可靠性, 而且充分利用了低频信号的作用实现了 P(N) 和 K(N) 的切换以及使得作用期间 P(N) 和 K(N) 拉到更低的电平确保作用期间最大限度的降低 Q(N) 点和 G(N) 的漏电, 同时, 在非作用期间 P(N) 和 K(N) 其中一个处于低电平时基本接近 LC 的低电平, 由于 LC 的低电平小于 VSS, 那么晶体管 T32/T42 或者晶体管 T33/T43 能够有一半的时间处于负压恢复状态, 通过调节低频信号的低电平可以控制负压的电平, 这样可以有效降低下拉维持电路的失效风险。

[0010] 惟, 现有的 GOA 电路主要采用的是移位寄存器的原理, 在逐级信号的传递时一般直接采用扫描驱动信号 G(N) 进行下传, 这样会增加扫描驱动信号 G(N) 的负载, 且走线会比较复杂, 这样存在一定的断线风险。

[0011] 另外, 现有的大多数 GOA 电路基本设计的是单一方向的扫描, 无法提供双向的扫描。

【发明内容】

[0012] 本发明的目的在于提供一种用于液晶显示的 GOA 电路及液晶显示装置。利用恒压信号源 VDD 来替代扫描驱动信号 G(N) 执行下传作用, 并且通过设置另外的下传模块和恒压信号源搭配使用达到级间信号传递的目的, 这样就使得扫描驱动信号 G(N) 只负责驱动扫描信号线, 降低扫描驱动信号 G(N) 信号的负载以及级传走线带来的风险, 增强所述栅极信号点 Q(N) 作用期间的充电能力, 可以通过调节 VDD 的电平来增强所述栅极信号点 Q(N) 的电平。通过两组信号源 VF 和 VR 来实现控制正反向扫描, 实现 GOA 电路的正反向扫描功能。

[0013] 为实现上述目的, 本发明提供一种用于液晶显示的 GOA 电路, 所述 GOA 电路包括级联的多个移位缓存单元, 按照第 N 级移位缓存单元控制对显示区域第 N 级扫描线充电, 该第 N 级移位缓存单元包括上拉电路、下拉电路、下拉维持电路、上拉控制电路、下传电路及自举电容;

[0014] 所述上拉电路、所述下拉维持电路及所述自举电容分别与栅极信号点和所述第 N 级扫描线连接;

- [0015] 所述上拉控制电路和所述下传电路分别与所述栅极信号点连接；
- [0016] 所述下拉电路与来自第 N+1 级移位缓存单元的开动信号连接；
- [0017] 所述上拉控制电路与来自第 N-1 级移位缓存单元的开动信号连接；
- [0018] 所述下拉维持电路包括：
- [0019] 第一晶体管，其栅极连接第一电路点，其漏极和源极分别连接所述第 N 级扫描线和第一输入直流电压；
- [0020] 第二晶体管，其栅极连接所述第一电路点，其漏极和源极分别连接所述栅极信号点和第二输入直流电压；
- [0021] 第三晶体管，其栅极连接所述栅极信号点，其漏极和源极分别连接源极信号点和所述第一输入直流电压；
- [0022] 第四晶体管，其源极连接所述源极信号点，其栅极和漏极均连接第一时钟信号；
- [0023] 第五晶体管，其栅极连接所述源极信号点，其漏极和源极分别连接所述第一时钟信号和所述第一电路点；
- [0024] 第六晶体管，其栅极连接第二时钟信号，其漏极和源极分别连接所述第一时钟信号和所述第一电路点；
- [0025] 第七晶体管，其栅极连接所述第一电路点，其漏极和源极分别连接来自第 N 级移位缓存单元的开动信号和所述第二输入直流电压；
- [0026] 第八晶体管，其栅极连接第二电路点，其漏极和源极分别连接所述第 N 级扫描线和所述第一输入直流电压；
- [0027] 第九晶体管，其栅极连接所述第二电路点，其漏极和源极分别连接所述栅极信号点和所述第二输入直流电压；
- [0028] 第十晶体管，其栅极连接所述栅极信号点，其漏极和源极分别连接漏极信号点和所述第一输入直流电压；
- [0029] 第十一晶体管，其源极连接所述漏极信号点，其栅极和漏极均连接所述第二时钟信号；
- [0030] 第十二晶体管，其栅极连接所述漏极信号点，其漏极和源极分别连接所述第二时钟信号和所述第二电路点；
- [0031] 第十三晶体管，其栅极连接所述第一时钟信号，其漏极和源极分别连接所述第二时钟信号和所述第二电路点；
- [0032] 第十四晶体管，其栅极连接所述第二电路点，其漏极和源极分别连接来自所述第 N 级移位缓存单元的开动信号和所述第二输入直流电压；
- [0033] 第十五晶体管，其栅极连接所述栅极信号点，其漏极和源极分别连接所述第一电路点和所述第二电路点；
- [0034] 工作时，所述第一时钟信号和所述第二时钟信号的频率低于第 N 级时钟信号，并且所述第一时钟信号对所述第一电路点的充电和所述第二时钟信号对所述第二电路点的充电交替进行。
- [0035] 在一实施例中，所述上拉电路包括：
- [0036] 第十六晶体管，其栅极连接所述栅极信号点，其漏极和源极分别输入所述第 N 级时钟信号和连接所述第 N 级扫描线。

[0037] 在一实施例中,所述下拉电路包括:

[0038] 第十七晶体管,其栅极连接来自所述第 N+1 级移位缓存单元的开动信号,其漏极和源极分别连接所述栅极信号点和所述第二输入直流电压。

[0039] 在一实施例中,所述下传电路包括:

[0040] 第十八晶体管,其栅极连接所述栅极信号点,其漏极和源极分别输入所述第 N 级时钟信号和输出所述第 N 级开动信号。

[0041] 在一实施例中,所述上拉控制电路包括:

[0042] 第十九晶体管,其栅极连接来自所述第 N-1 级移位缓存单元的开动信号,其漏极连接恒压信号源,其源极连接所述栅极信号点。

[0043] 在一实施例中,所述上拉控制电路包括:

[0044] 第十九晶体管,其栅极连接来自所述第 N-1 级移位缓存单元的开动信号,其漏极连接正向信号源,其源极连接所述栅极信号点。在一实施例中,所述下拉电路包括:

[0045] 第十七晶体管,其栅极连接来自所述第 N+1 级移位缓存单元的开动信号,其漏极和源极分别连接所述栅极信号点和反向信号源。

[0046] 在一实施例中,所述第 N 级时钟信号的占空比小于 50%。

[0047] 在一实施例中,所述第二直流电压小于所述第一直流电压。

[0048] 相应地,本发明实施例的再一方面还提供一种液晶显示装置,其包括前述的用于液晶显示的 GOA 电路。

[0049] 通过本发明的上述技术方案,产生的有益技术效果在于,利用恒压信号源 VDD 来替代第 N 级扫描线 G(N) 执行下传作用,并且通过设置另外的下传模块和恒压信号源搭配使用达到级间信号传递的目的,这样就使得第 N 级扫描线 G(N) 只负责驱动扫描信号线,降低第 N 级扫描线 G(N) 的负载以及级传走线带来的风险,增强所述栅极信号点 Q(N) 作用期间的充电能力,可以通过调节恒压信号源 VDD 的电平来增强所述栅极信号点 Q(N)。通过两组信号源 VF 和 VR 来实现控制正反向扫描,实现 GOA 电路的正反向扫描功能。

【附图说明】

[0050] 图 1 为现有技术中的用于液晶显示的 GOA 的电路示意图。

[0051] 图 2 为本发明提供的用于液晶显示的 GOA 电路的第一实施例的电路示意图。

[0052] 图 3 为图 2 中的 GOA 电路在实际操作时关键节点的波形示意图。

[0053] 图 4 为本发明提供的用于液晶显示的 GOA 电路的第二实施例的电路示意图。

[0054] 图 5 为图 4 中的 GOA 电路在正向扫描操作时关键节点的波形示意图。

[0055] 图 6 为图 4 中的 GOA 电路在反向扫描操作时关键节点的波形示意图。

【具体实施方式】

[0056] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0057] 如图 2 所示,是本发明提供的用于液晶显示的 GOA 电路的第一实施例的电路示意

图。在该实施例中,该 G0A 电路包括级联的多个移位缓存单元,按照第 N 级移位缓存单元控制对显示区域第 N 级扫描线 G(N) 充电,该第 N 级移位缓存单元包括上拉电路 200、下拉电路 400、下拉维持电路 600、上拉控制电路 100、下传电路 300 及自举电容 Cb。所述上拉电路 200、所述下拉电路 400、所述下拉维持电路 600 及所述自举电容 Cb 分别与栅极信号点 Q(N) 和所述第 N 级扫描线 G(N) 连接。所述上拉控制电路 100 和所述下传电路 300 皆与所述栅极信号点 Q(N) 连接。

[0058] 下拉维持电路 600 包括:

[0059] 第一晶体管 T32,其栅极连接第一电路点 P(N),其漏极和源极分别连接所述第 N 级扫描线 G(N) 和第一输入直流电压 VSS1;

[0060] 第二晶体管 T42,其栅极连接所述第一电路点 P(N),其漏极和源极分别连接所述栅极信号点 Q(N) 和第二输入直流电压 VSS2;

[0061] 第三晶体管 T52,其栅极连接所述栅极信号点 Q(N),其漏极和源极分别连接源极信号点 S(N) 和所述第一输入直流电压 VSS1;

[0062] 第四晶体管 T51,其源极连接所述源极信号点 S(N),其栅极和漏极均连接第一时钟信号 LC1;

[0063] 第五晶体管 T53,其栅极连接所述源极信号点 S(N),其漏极和源极分别连接所述第一时钟信号 LC1 和所述第一电路点 P(N);

[0064] 第六晶体管 T54 其栅极连接第二时钟信号 LC2,其漏极和源极分别连接所述第一时钟信号 LC1 和所述第一电路点 P(N);

[0065] 第七晶体管 T72,其栅极连接所述第一电路点 P(N),其漏极和源极分别连接来自第 N 级移位缓存单元的开动信号 ST(N) 和所述第二输入直流电压 VSS2;

[0066] 第八晶体管 T33,其栅极连接第二电路点 K(N),其漏极和源极分别连接所述第 N 级扫描线 G(N) 和所述第一输入直流电压 VSS1;

[0067] 第九晶体管 T43,其栅极连接所述第二电路点 K(N),其漏极和源极分别连接所述栅极信号点 Q(N) 和所述第二输入直流电压 VSS2;

[0068] 第十晶体管 T62,其栅极连接所述栅极信号点 Q(N),其漏极和源极分别连接漏极信号点 T(N) 和所述第一输入直流电压 VSS1;

[0069] 第十一晶体管 T61,其源极连接所述漏极信号点 T(N),其栅极和漏极均连接所述第二时钟信号 LC2;

[0070] 第十二晶体管 T63,其栅极连接所述漏极信号点 T(N),其漏极和源极分别连接所述第二时钟信号 LC2 和所述第二电路点 K(N);

[0071] 第十三晶体管 T64,其栅极连接所述第一时钟信号 LC1,其漏极和源极分别连接所述第二时钟信号 LC2 和所述第二电路点 K(N);

[0072] 第十四晶体管 T73,其栅极连接所述第二电路点 K(N),其漏极和源极分别连接来自所述第 N 级移位缓存单元的开动信号 ST(N) 和所述第二输入直流电压 VSS2;

[0073] 第十五晶体管 T55,其栅极连接所述栅极信号点 Q(N),其漏极和源极分别连接所述第一电路点 P(N) 和所述第二电路点 K(N)。

[0074] 工作时,所述第一时钟信号 LC1 和所述第二时钟信号 LC2 的频率低于第 N 级时钟信号 CK(N),并且所述第一时钟信号 LC1 对所述第一电路点 P(N) 的充电和所述第二时钟信

号 LC2 对所述第二电路点 K(N) 的充电交替进行。

[0075] 具体地,所述上拉电路 200 包括第十六晶体管,即 T21,其栅极连接所述栅极信号点 Q(N),其漏极和源极分别输入第 N 级时钟信号 CK(N) 和连接所述第 N 级扫描线 G(N)。

[0076] 所述下拉电路 400 包括第十七晶体管 T41,其栅极连接第 N+1 级移位缓存单元的开动信号 ST(N+1),其漏极和源极分别连接所述栅极信号点 Q(N) 和所述第二输入直流电压 VSS2。

[0077] 所述下传电路 300 包括第十八晶体管 T22,其栅极连接所述栅极信号点 Q(N),其漏极和源极分别输入所述第 N 级时钟信号 CK(N) 和输出所述第 N 级开动信号 ST(N)。

[0078] 所述上拉控制电路 100 包括第十九晶体管 T11,其栅极连接来自第 N-1 级移位缓存单元的开动信号 ST(N-1),其漏极连接恒压信号源 VDD,其源极连接所述栅极信号点 Q(N)。

[0079] 在本实施例中,由于采用所述恒压信号源 VDD 替代所述第 N 级扫描线 G(N) 的下传作用,使得所述第 N 级扫描线 G(N) 只负责驱动扫描信号线,降低所述第 N 级扫描线 G(N) 信号的负载以及级传走线带来的风险,增强所述栅极信号点 Q(N) 点作用期间的充电能力,可以通过调节恒压信号源 VDD 的电平来增强所述栅极信号点 Q(N) 的电平。

[0080] 图 3 是图 2 中的 GOA 电路在实际操作时关键节点的波形示意图。XCK 表示该第 N 级移位缓存单元相邻的时钟信号,即, XCK 为第 $N \pm 1$ 级时钟信号 (CK(N ± 1))。

[0081] 第 N 级时钟信号 (CK(N)) 与第 $N \pm 1$ 级时钟信号 (CK(N ± 1)) 的占空比 (Duty cycle) 必须小于 50%,这样主要是为了使所述栅极信号点 Q(N) 形成凸字形的波形,利用第十六晶体管 T21 来下拉所述第 N 级扫描线 G(N)。

[0082] 所述恒压信号源 VDD 设置为高电平,可与时钟信号 CK 和 XCK 的高电平相同,如果想提高所述栅极信号点 Q(N) 的充电能力可以适当提高所述恒压信号源 VDD 的电平。

[0083] 所述第一输入所述直流电压 VSS1 和所述第二输入所述直流电压 VSS2 为两组恒压负压源,主要是用来提供驱动电路的低电平,一般设置所述第二输入所述直流电压 VSS2 小于所述第一输入所述直流电压 VSS1。

[0084] 如图 4 所示,是本发明提供的用于液晶显示的 GOA 电路的第二实施例的电路示意图。在该实施例中,将所述恒压信号源 VDD 等同一正向信号源 VF,将所述第十七晶体管 (T41) 的源极从连接至第二输入所述直流电压 VSS2 改为连接至一反向信号源 VR。在该实施例中,因为采用所述正向信号源 VF 与所述反向信号源 VR 进行正反向扫描的控制。

[0085] 当所述正向信号源 VF 为高电平,所述反向信号源 VR 为低电平时,该电路进行正向扫描操作。这时所述上拉控制电路 100 仍旧执行所述上拉控制电路 100 的功能,所述下拉电路 400 也执行所述下拉电路 400 的功能,负责拉低所述栅极信号点 Q(N),操作原理也与所述第一实施例相似。

[0086] 当所述正向信号源 VF 为低电平,所述反向信号源 VR 为高电平时,该电路进行反向扫描操作。这时所述上拉控制电路 100 改为执行所述下拉电路 400 的功能,所述下拉电路 400 也改执行所述上拉控制电路 100 的功能,负责拉低所述栅极信号点 Q(N)。简言之,在反向扫描操作时,所述上拉控制电路 100 与所述下拉电路 400 所执行的工作与反向扫描操作时不同。

[0087] 如上,可以通过控制所述正向信号源 VF 和所述反向信号源 VR 实现电路的正反向扫描操作。

[0088] 图 5 为图 4 中的 GOA 电路在正向扫描操作时关键节点的波形示意图。在该正向扫描操作中,所述正向信号源 VF 为高电平,所述反向信号源 VR 为低电平,其余信号皆与第一实施例相同。

[0089] 第 N 级时钟信号 (CK(N)) 与第 $N \pm 1$ 级时钟信号 (CK($N \pm 1$))) 的占空比必须小于 50%,这样主要是为了使所述栅极信号点 Q(N) 点形成凸字形的波形,利用第十六晶体管 T21 来下拉所述第 N 级扫描线 G(N)。

[0090] 所述第 N-1 级移位缓存单元的开动信号 ST(N-1) 的信号传递给所述栅极信号点 Q(N) 进行第一阶段电平抬升。

[0091] 图 6 为图 4 中的 GOA 电路在反向扫描操作时关键节点的波形示意图。在该反向扫描操作中,所述正向信号源 VF 为低电平,所述反向信号源 VR 为高电平。

[0092] 第 N 级时钟信号 (CK(N)) 与第 $N \pm 1$ 级时钟信号 (CK($N \pm 1$))) 的占空比 (Duty Ratio) 必须小于 50%,这样主要是为了使所述栅极信号点 Q(N) 点形成凸字形的波形,利用第十六晶体管 T21 来下拉所述第 N 级扫描线 G(N)。

[0093] 所述第 N+1 级移位缓存单元的开动信号 ST(N+1) 的信号传递给所述栅极信号点 Q(N) 进行第一阶段电平抬升。

[0094] 通过两组信号源 VF 和 VR 来实现控制正反向扫描,实现 GOA 电路的正反向扫描功能。

[0095] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

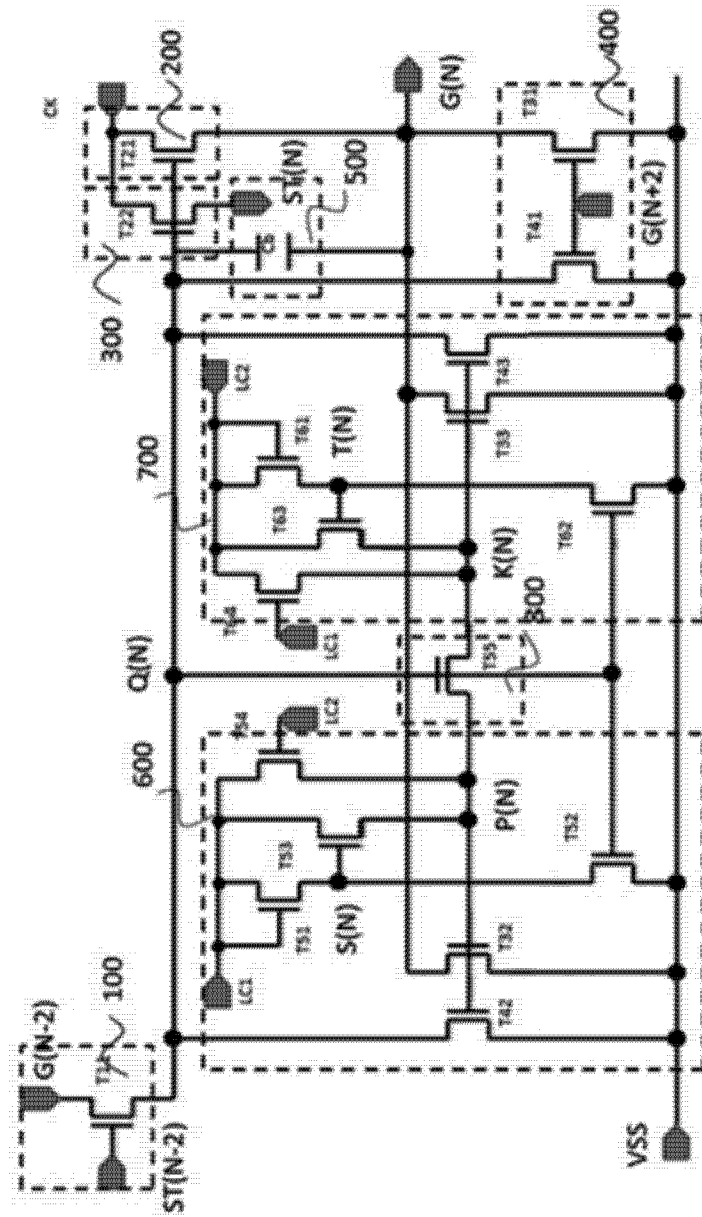


图 1

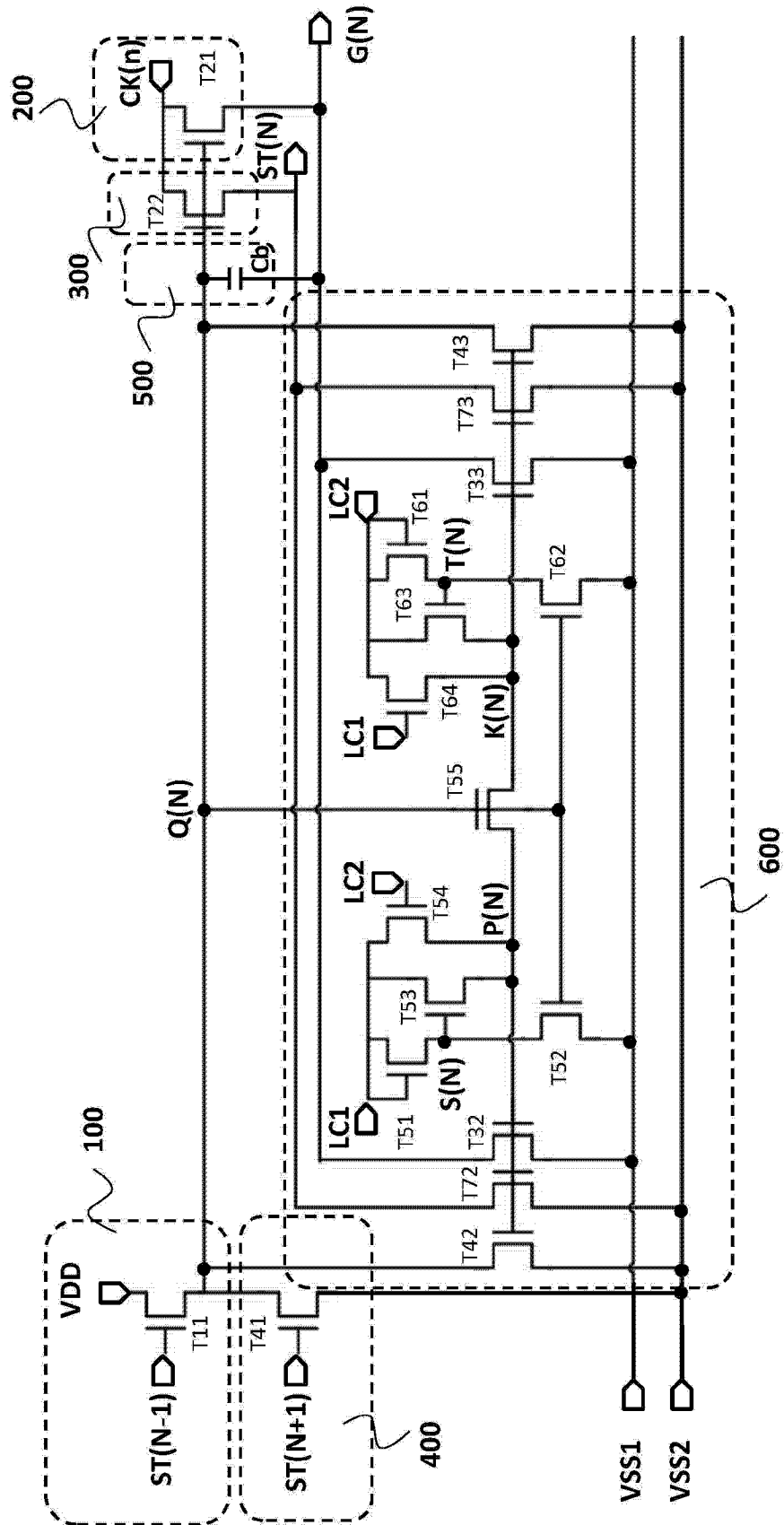


图 2

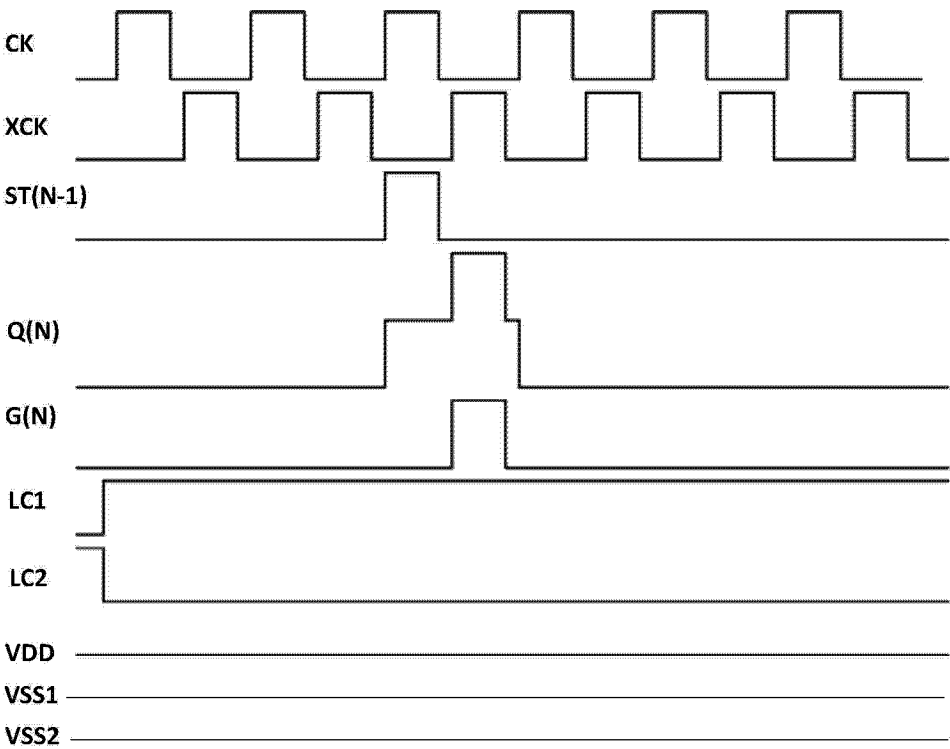


图 3

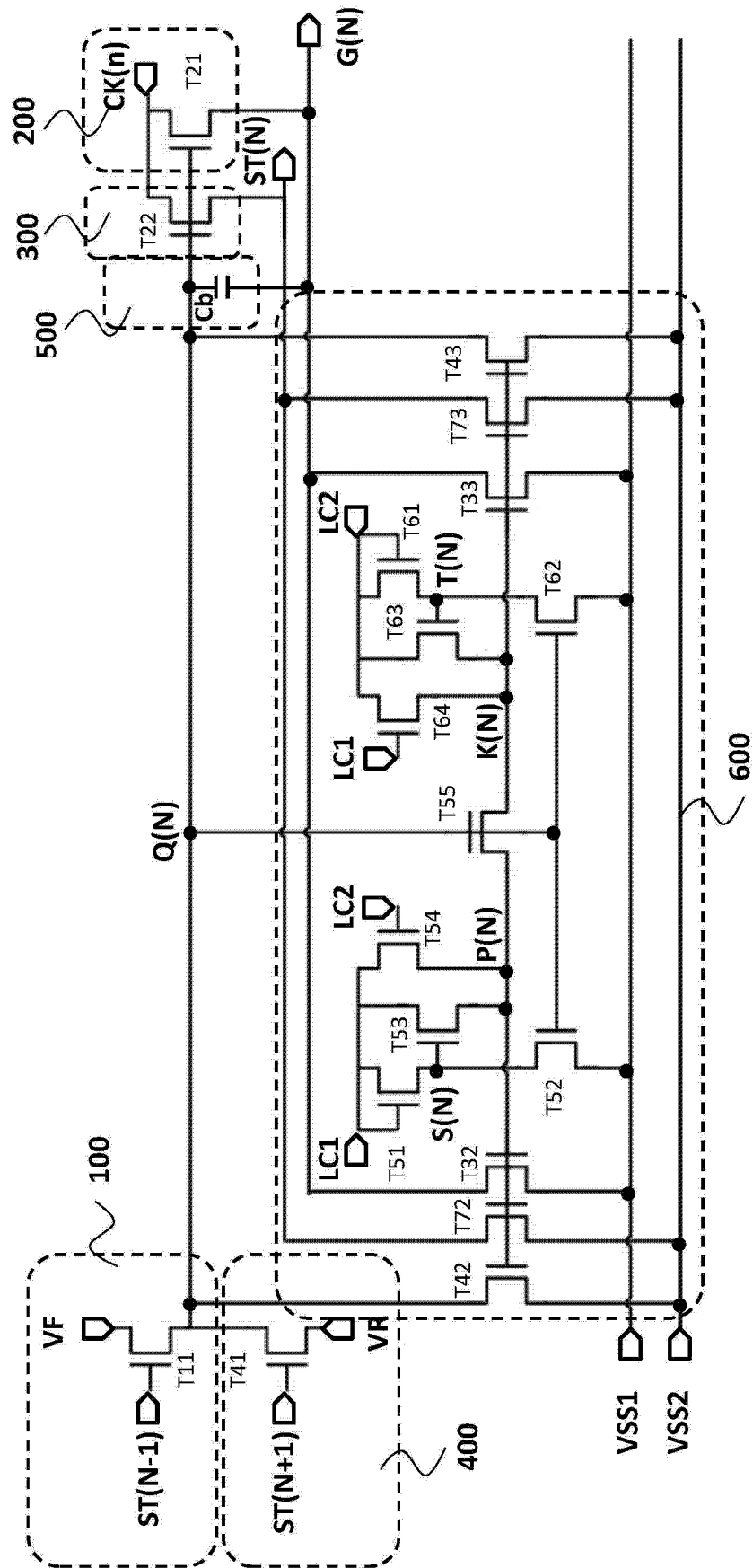


图 4

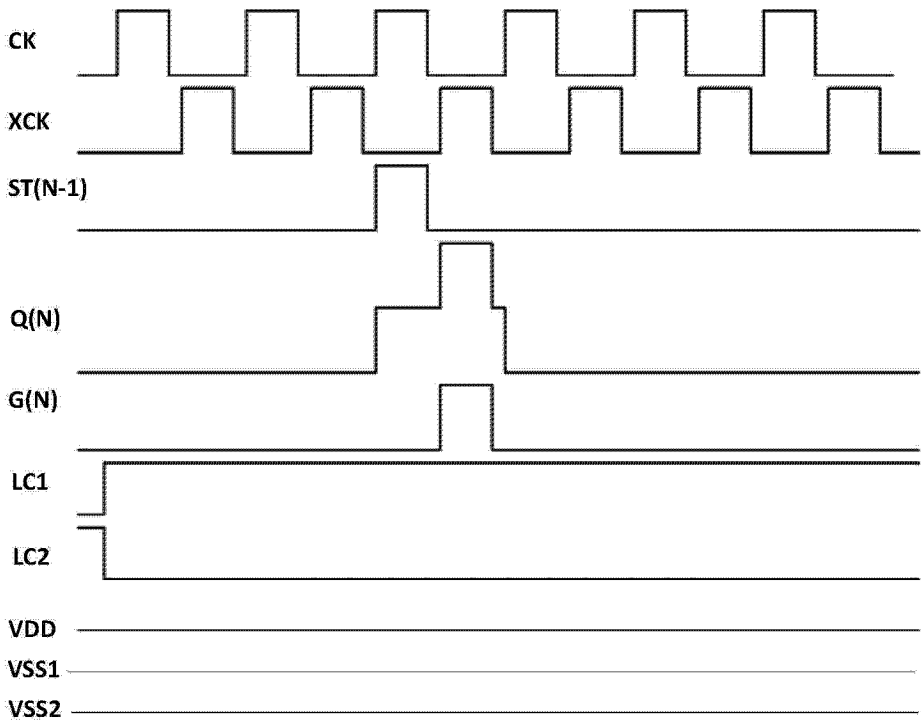


图 5

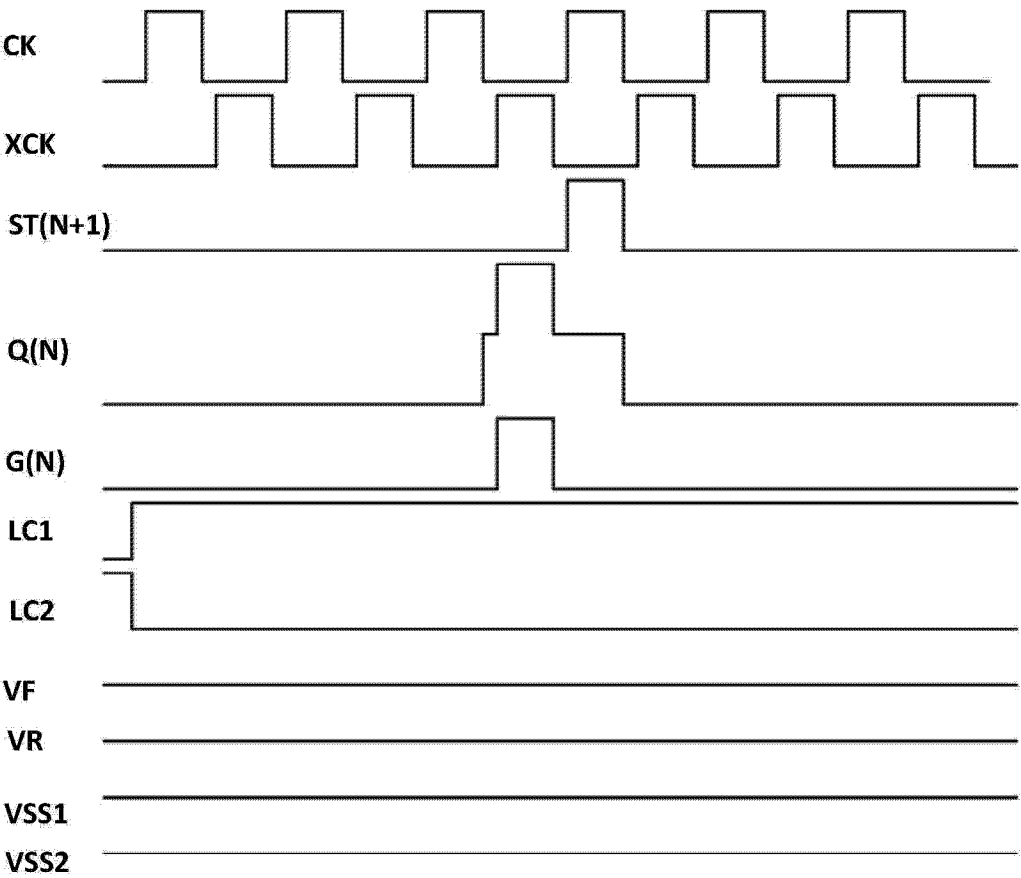


图 6

专利名称(译)	用于液晶显示的GOA电路及液晶显示装置		
公开(公告)号	CN104376824A	公开(公告)日	2015-02-25
申请号	CN201410639701.X	申请日	2014-11-13
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	戴超 赖梓杰		
发明人	戴超 赖梓杰		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2310/0286 G11C19/287 G09G3/3648 G09G3/3696 G09G2230/00 G09G2300/0871 G09G2310/0289		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种用于液晶显示的GOA电路，包括级联的多个移位缓存单元，按照第N级移位缓存单元控制对显示区域第N级扫描线充电，该第N级移位缓存单元包括上拉电路、下拉电路、下拉维持电路、上拉控制电路、下传电路及自举电容。利用一恒压信号源或通过两组信号源来替代第N级扫描线执行下传作用。本发明实施例还公开了一种显示设备。本发明降低第N级扫描线的负载及级传走线带来的风险。并实现控制正反向扫描。

