



(12)发明专利

(10)授权公告号 CN 104505038 B

(45)授权公告日 2017.07.07

(21)申请号 201410818002.1

(22)申请日 2014.12.24

(65)同一申请的已公布的文献号

申请公布号 CN 104505038 A

(43)申请公布日 2015.04.08

(73)专利权人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区公明

办事处塘家社区观光路汇业科技园综

合楼1第一层B区

(72)发明人 国春朋 秦杰辉 谭小平

(74)专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

代理人 何青瓦

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

US 2011148842 A1,2011.06.23,

CN 101331535 A,2008.12.24,

JP 2008191465 A,2008.08.21,

CN 1617016 A,2005.05.18,

审查员 史孝波

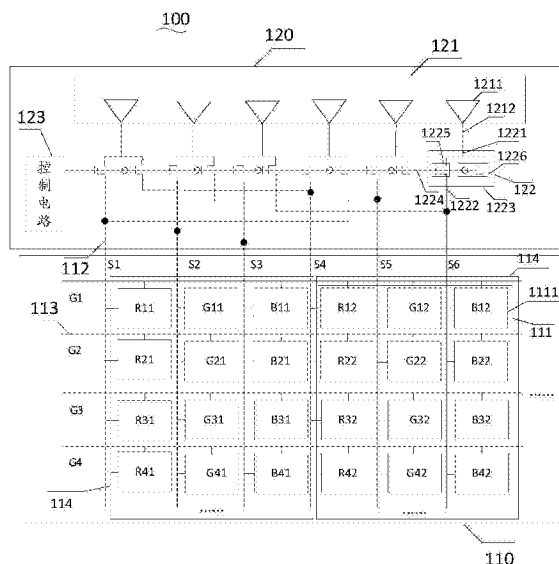
权利要求书2页 说明书6页 附图4页

(54)发明名称

一种液晶面板的驱动电路及液晶显示装置

(57)摘要

本申请公开了一种液晶面板的驱动电路及液晶显示装置。其中,所述驱动电路包括源极驱动器和数量与子像素单元的列数相同的选择电路,所述源极驱动器的每个缓存数据输出端分别与一所述选择电路的输入端连接,每个所述选择电路的第一输出端连接于液晶面板的一列子像素单元,每个所述选择电路的第二输出端连接于与所述第一输入端连接的子像素单元位于同一像素列组合且颜色相同的另一列子像素单元。通过上述方式,能够降低驱动电路中的源极驱动器的功耗。



1. 一种液晶面板的驱动电路,其特征在于,所述液晶面板采用点反转或者以像素为单位的行反转进行驱动,所述液晶面板包括多个像素单元,每个所述像素单元包括三个子像素单元,

在所述液晶面板采用点反转驱动时,所述液晶面板的每两列像素单元组成一像素列组合,在所述液晶面板采用以像素为单位的行反转驱动时,所述液晶面板的每极性相反的两列像素单元组成一像素列组合,

所述驱动电路包括源极驱动器和数量与子像素单元的列数相同的选择电路,所述源极驱动器的每个缓存数据输出端分别与一所述选择电路的输入端连接,每个所述选择电路的第一输出端连接于一列子像素单元,每个所述选择电路的第二输出端连接于另一列子像素单元,所述另一列子像素单元与所述第一输出端连接的子像素单元位于同一像素列组合且颜色相同,

当所述选择电路的控制端输入第一电平时,所述选择电路的输入端与所述第一输出端导通,且所述输入端与所述第二输出端不导通,且所述缓存数据输出端输出与连接的选择电路的第一输出端连接的相应子像素单元的数据信号;

当所述选择电路的控制端输入第二电平时,所述选择电路的输入端与所述第二输出端导通,且所述输入端与所述第一输出端不导通,且所述缓存数据输出端输出与连接的选择电路的第二输出端连接的相应子像素单元的数据信号。

2. 根据权利要求1所述的驱动电路,其特征在于,所述选择电路包括第一开关元件和第二开关元件,所述第一开关元件的控制端和第二开关元件的控制端连接作为所述选择电路的控制端,所述第一开关元件的输入端和第二开关元件的输入端连接作为所述选择电路的输入端,所述第一开关元件的输出端作为所述选择电路的第一输出端,所述第二开关元件的输出端作为所述选择电路的第二输出端。

3. 根据权利要求2所述的驱动电路,其特征在于,所述第一开关元件为NMOS晶体管,所述第二开关元件为PMOS晶体管。

4. 根据权利要求1至3任一项所述的驱动电路,其特征在于,在所述液晶面板采用点反转驱动或者以像素为单位的行反转驱动时,所述液晶面板的每相邻两列像素单元组成一所述像素列组合。

5. 根据权利要求1至3任一项所述的驱动电路,其特征在于,还包括控制电路,所述控制电路连接于所有选择电路的控制端,以向所述选择电路的控制端周期性输入所述第一电平和第二电平,其中,每个周期中的所述第一电平的时长和第二电平的时长均等于提供给所述液晶面板的扫描时钟信号的周期。

6. 根据权利要求5所述的驱动电路,其特征在于,所有所述选择电路的控制端均与所述控制电路的同一输出端连接。

7. 一种液晶显示装置,其特征在于,包括液晶面板和用于驱动所述液晶面板的驱动电路,所述液晶面板采用点反转或者以像素为单位的行反转进行驱动,所述液晶面板包括多个像素单元,每个所述像素单元包括三个子像素单元,

在所述液晶面板采用点反转驱动时,所述液晶面板的每两列像素单元组成一像素列组合,在所述液晶面板采用以像素为单位的行反转驱动时,所述液晶面板的每极性相反的两列像素单元组成一像素列组合,

所述驱动电路包括源极驱动器和数量与子像素单元的列数相同的选择电路,所述源极驱动器的每个缓存数据输出端分别与一所述选择电路的输入端连接,每个所述选择电路的第一输出端连接于一列子像素单元,每个所述选择电路的第二输出端连接于另一列子像素单元,所述另一列子像素单元与所述第一输出端连接的子像素单元位于同一像素列组合且颜色相同,

当所述选择电路的控制端输入第一电平时,所述选择电路的输入端与所述第一输出端导通,且所述输入端与所述第二输出端不导通,且所述缓存数据输出端输出与连接的选择电路的第一输出端连接的相应子像素单元的数据信号;

当所述选择电路的控制端输入第二电平时,所述选择电路的输入端与所述第二输出端导通,且所述输入端与所述第一输出端不导通,且所述缓存数据输出端输出与连接的选择电路的第二输出端连接的相应子像素单元的数据信号。

8. 根据权利要求7所述的液晶显示装置,其特征在于,所述选择电路包括第一开关元件和第二开关元件,所述第一开关元件的控制端和第二开关元件的控制端连接作为所述选择电路的控制端,所述第一开关元件的输入端和第二开关元件的输入端连接作为所述选择电路的输入端,所述第一开关元件的输出端作为所述选择电路的第一输出端,所述第二开关元件的输出端作为所述选择电路的第二输出端。

9. 根据权利要求7或8所述的液晶显示装置,其特征在于,在所述液晶面板采用点反转驱动或者以像素为单位的行反转驱动时,所述液晶面板的每相邻两列像素单元组成一所述像素列组合。

10. 根据权利要求7或8所述的液晶显示装置,其特征在于,所述驱动电路还包括控制电路,所述控制电路连接于所有选择电路的控制端,以向所述选择电路的控制端周期性输入所述第一电平和第二电平,其中,每个周期中的所述第一电平的时长和第二电平的时长均等于提供给所述液晶面板的扫描时钟信号的周期。

一种液晶面板的驱动电路及液晶显示装置

技术领域

[0001] 本申请涉及液晶显示技术领域,特别涉及一种液晶面板的驱动电路及液晶显示装置。

背景技术

[0002] 在薄膜晶体管(英文:Thin Film Transistor,简称:TFT)液晶显示中,为了延长液晶的使用寿命,通常对液晶面板采用极性反转的方式进行驱动,其中使用最普遍的就是点反转和以像素为单位的行反转。点反转即为相邻子像素单元的极性相反。以像素为单位的行反转即为相邻像素单元的极性相反。

[0003] 然而,采用上述极性反转方式时,液晶面板的源极驱动器需要控制每条数据线的电平均频繁在正极性和负极性之间变化,导致源极驱动器的功耗较大。

发明内容

[0004] 本申请提供一种液晶面板的驱动电路及液晶显示装置,能够降低驱动电路中的源极驱动器的功耗。

[0005] 本申请第一方面提供一种液晶面板的驱动电路,所述液晶面板采用点反转或者以像素为单位的行反转进行驱动,所述液晶面板包括多个像素单元,每个所述像素单元包括三个子像素单元,在所述液晶面板采用点反转驱动时,所述液晶面板的每两列像素单元组成一像素列组合,在所述液晶面板采用以像素为单位的行反转驱动时,所述液晶面板的每极性相反的两列像素单元组成一像素列组合,所述驱动电路包括源极驱动器和数量与子像素单元的列数相同的选择电路,所述源极驱动器的每个缓存数据输出端分别与一所述选择电路的输入端连接,每个所述选择电路的第一输出端连接于一列子像素单元,每个所述选择电路的第二输出端连接于与所述第一输入端连接的子像素单元位于同一像素列组合且颜色相同的另一列子像素单元,当所述选择电路的控制端输入第一电平时,所述选择电路的输入端与所述第一输出端导通,且所述输入端与所述第二输出端不导通,且所述缓存数据输出端输出与连接的选择电路的第一输出端连接的相应子像素单元的数据信号;当所述选择电路的控制端输入第二电平时,所述选择电路的输入端与所述第二输出端导通,且所述输入端与所述第一输入端不导通,且所述缓存数据输出端输出与连接的选择电路的第二输出端连接的相应子像素单元的数据。

[0006] 其中,所述选择电路包括第一开关元件和第二开关元件,所述第一开关元件的控制端和第二开关元件的控制端连接作为所述选择电路的控制端,所述第一开关元件的输入端和第二开关元件的输入端连接作为所述选择电路的输入端,所述第一开关元件的输出端作为所述选择电路的第一输出端,所述第二开关元件的输出端作为所述选择电路的第二输出端。

[0007] 其中,所述第一开关元件为NMOS晶体管,所述第二开关元件为PMOS晶体管。

[0008] 其中,在所述液晶面板采用点反转驱动或者以像素为单位的行反转驱动时,所述

液晶面板的每相邻两列像素单元组成一所述像素列组合。

[0009] 其中,还包括控制电路,所述控制电路连接于所有选择电路的控制端,以向所述选择电路的控制端周期性输入所述第一电平和第二电平,其中,每个周期中的所述第一电平的时长和第二电平的时长均等于提供给所述液晶面板的扫描时钟信号的周期。

[0010] 其中,所有所述选择电路的控制端均与所述控制电路的同一输出端连接。

[0011] 本申请第二方面提供一种液晶显示装置,包括液晶面板和用于驱动所述液晶面板的驱动电路,所述液晶面板采用点反转或者以像素为单位的行反转进行驱动,所述液晶面板包括多个像素单元,每个所述像素单元包括三个子像素单元,在所述液晶面板采用点反转驱动时,所述液晶面板的每两列像素单元组成一像素列组合,在所述液晶面板采用以像素为单位的行反转驱动时,所述液晶面板的每极性相反的两列像素单元组成一像素列组合,所述驱动电路包括源极驱动器和数量与子像素单元的列数相同的选择电路,所述源极驱动器的每个缓存数据输出端分别与一所述选择电路的输入端连接,每个所述选择电路的第一输出端连接于一列子像素单元,每个所述选择电路的第二输出端连接于与所述第一输入端连接的子像素单元位于同一像素列组合且颜色相同的另一列子像素单元,当所述选择电路的控制端输入第一电平时,所述选择电路的输入端与所述第一输出端导通,且所述输入端与所述第二输出端不导通,且所述缓存数据输出端输出与连接的选择电路的第一输出端连接的相应子像素单元的数据信号;当所述选择电路的控制端输入第二电平时,所述选择电路的输入端与所述第二输出端导通,且所述输入端与所述第一输入端不导通,且所述缓存数据输出端输出与连接的选择电路的第二输出端连接的相应子像素单元的数据。

[0012] 其中,所述选择电路包括第一开关元件和第二开关元件,所述第一开关元件的控制端和第二开关元件的控制端连接作为所述选择电路的控制端,所述第一开关元件的输入端和第二开关元件的输入端连接作为所述选择电路的输入端,所述第一开关元件的输出端作为所述选择电路的第一输出端,所述第二开关元件的输出端作为所述选择电路的第二输出端。

[0013] 其中,在所述液晶面板采用点反转驱动或者以像素为单位的行反转驱动时,所述液晶面板的每相邻两列像素单元组成一所述像素列组合。

[0014] 其中,所述驱动电路还包括控制电路,所述控制电路连接于所有选择电路的控制端,以向所述选择电路的控制端周期性输入所述第一电平和第二电平,其中,每个周期中的所述第一电平的时长和第二电平的时长均等于提供给所述液晶面板的扫描时钟信号的周期。

[0015] 上述方案中,在驱动电路的缓存数据输出端与子像素单元之间设置选择电路,且所述选择电路的第一、第二输出端分别于同一像素列组合中的相同颜色的两列子像素单元连接,实现了缓存数据输出端与同一像素列组合中的相同颜色的两列子像素单元的选择连接,其中,点反转或以像素为单位的行反转的同一像素列组合中相同颜色的两列子像素单元的极性相反,故可通过向选择电路的控制端输入对应的电平信号,使得缓存数据输出端连接的子像素单元列的极性不变,即所述缓存数据输出端输出的数据信号的极性相同,故降低了驱动电路中的栅极驱动器的压差,从而降低了栅极驱动电路的功耗。

附图说明

[0016] 图1是本申请液晶显示装置一实施方式的结构示意图；

[0017] 图2是本申请液晶显示装置的液晶面板为点反转驱动一实施方式的结构示意图；

[0018] 图3是本申请液晶显示装置的液晶面板为以像素为单位的行反转驱动另一实施方式的结构示意图；

[0019] 图4是图1所示的驱动电路的控制电路输出的控制信号的第一示意图；

[0020] 图5是图1所示的驱动电路的控制电路输出的控制信号的第二示意图。

具体实施方式

[0021] 以下描述中,为了说明而不是为了限定,提出了诸如特定系统结构、接口、技术之类的具体细节,以便透彻理解本申请。然而,本领域的技术人员应当清楚,在没有这些具体细节的其它实施方式中也可以实现本申请。在其它情况中,省略对众所周知的装置、电路以及方法的详细说明,以免不必要的细节妨碍本申请的描述。

[0022] 请参阅图1,图1是本申请液晶显示装置一实施方式的结构示意图。本实施方式中,液晶显示装置100包括液晶面板110和用于驱动液晶面板110的驱动电路120。

[0023] 具体,液晶面板110包括多个像素单元111、数据线112和扫描线113,每个像素单元111包括三个子像素单元1111,分别表示红、绿、蓝三原色,本实施方式中,子像素单元由TFT驱动。每条数据线112为列设置,分别与一列子像素单元1111连接,以将驱动电路120提供的的数据信号输出给所述列的子像素单元1111。每条扫描线113为行设置,分别与一行子像素单元1111连接,以将驱动电路120提供的扫描信号输出给所述行的子像素单元1111。

[0024] 本实施方式的液晶面板采用的是点反转或者以像素为单元的行反转方式进行驱动。所述点反转即液晶面板110的相邻子像素单元1111的极性均不相同,如图2所示。所述以像素为单元的行反转即液晶面板110的相邻像素单元111的极性均不相同,如图3所示。

[0025] 将液晶面板110划分为多个像素列组合114。其中,

[0026] 在所述液晶面板110采用点反转驱动时,将液晶面板110的每任意两列像素单元111(包括三列子像素单元1111)组成一像素列组合114。例如,将液晶面板110每相邻的两列像素单元111组成一像素列组合114(如第n列像素单元和第n+1列像素单元组成像素列组合)、或者将每相邻的两奇数/偶数列像素单元111组成一像素列组合114(如第n列像素单元和第n+2列像素单元组成像素列组合)等。

[0027] 在所述液晶面板采用以像素为单元的行反转驱动时,将液晶面板110的每极性相反的两列像素单元111组成一像素列组合114。例如,液晶面板110每相邻的两列像素单元111组成一像素列组合114(如第n列像素单元和第n+1列像素单元组成像素列组合)、或者将每任意一奇数列和任意一偶数列像素单元111组成一像素列组合114等。

[0028] 驱动电路120包括源极驱动器121、控制电路123和数量与子像素单元1111的列数相同的选择电路122。

[0029] 源极驱动器121用于为液晶面板110的子像素单元111提供数据信号。具体,源极驱动器121包括多个缓存器1211,每个缓存器1211用于缓存子像素单元1111的数据信号,并通过缓存数据输出端1212输出至一选择电路122的输入端1221。

[0030] 控制电路123用于输出第一电平或第二电平,以控制选择电路的第一、第二输出端的选择。具体,控制电路123的输出端与所有选择电路122的控制端1224连接。可以理解的

是,控制电路123可以通过一个输出端与所有选择电路122的控制端1224连接,如图1所示,或者控制电路123通过不同的输出端分别与不同的选择电路的控制端1224连接,故对控制电路123与选择电路的控制端1224间的具体连接不作限定。

[0031] 选择电路122的第一、第二输出端与两列子像素单元1111连接,用于受控制电路123的控制,选择将源极驱动器121的数据信号输出至第一或第二输出端的子像素单元1111。具体,每个选择电路122的第一输出端1222分别与液晶面板110中的一数据线112,以通过所述数据线112与一列子像素单元1111连接。每个所述选择电路122的第二输出端1223连接于液晶面板110中的另一数据线112,以通过所述另一数据线112连接于与第一输出端1222连接的子像素单元1111位于同一像素列组合114且颜色相同的另一列子像素单元1111。即每个选择电路122的第一、第二输出电路用于连接同一像素列组合114中颜色相同的两列子像素单元1111。

[0032] 本实施方式中,选择电路122包括第一开关元件1225和第二开关元件1226,第一开关元件1225的控制端和第二开关元件1226的控制端连接作为所述选择电路的控制端1224,所述第一开关元件1225的输入端和第二开关元件1226的输入端连接作为所述选择电路的输入端1221,所述第一开关元件1225的输出端作为所述选择电路的第一输出端1222,所述第二开关元件1226的输出端作为所述选择电路的第二输出端1223。其中,第一、第二开关元件的导通条件不同,当第一开关元件1225导通时,第二开关元件1226不导通,当第二开关元件1226导通时,第一开关元件1225不导通,具体如,第一开关元件为N型金属-氧化物-半导体(英文:negative channel-metal-oxide-semiconductor,简称:NMOS)晶体管,第二开关元件为P型金属-氧化物-半导体(英文:positive channel metal oxide semiconductor,简称:PMOS)晶体管。

[0033] 如图1所示,液晶面板110每相邻的两列像素单元111组成一像素列组合114。以图示的第一列像素单元111和第二列像素单元111组成的像素列组合114为例,在每个像素列组合114中对应连接6个选择电路122,其中,每个选择电路122与一缓存数据输出端1212连接。与第一列像素单元111对应三个选择电路122的第一输出端分别与对应连接于第一列像素单元的红绿蓝三子像素单元列的数据线S1、S2、S3连接,第二输出端分别与对应连接于第二列像素单元的红绿蓝三子像素单元列的数据线S4、S5、S6连接。与第二列像素单元111对应三个选择电路122的第一输出端分别与对应连接于第二列像素单元的红绿蓝三子像素单元列的数据线S4、S5、S6连接,第二输出端分别与对应连接于第一列像素单元的红绿蓝三子像素单元列的数据线S1、S2、S3连接。

[0034] 本实施方式中,控制电路123输出控制信号,该控制信号由周期性的第一电平A和第二电平B组成,如图4所示的Select信号。其中,提供给液晶面板110的扫描时钟信号如图4所示的Clock信号,控制电路123每次输出第一电平A的时间 t_1 和每次输出第二电平B的时间 t_2 均等于所述扫描时钟信号的周期T,以保证每行子像素单元的扫描频率与选择电路对第一、第二输出端连接的两列子像素单元的切换频率一致。

[0035] 当控制电路123向选择电路122的控制端1224输入第一电平时,选择电路122的输入端1221与所述第一输出端1222导通,且所述输入端1221与所述第二输出端1223不导通,此时,与选择电路122的输入端1221连接的缓存数据输出端与所述选择电路的第一输出端连接,以将缓存的数据信号输出至第一输出端连接的数据线上。由于此时,缓存数据输出端

1212与选择电路的第一输出端1222连接,故缓存数据输出端1212输出与连接的选择电路122的第一输出端1222连接的相应子像素单元1111的数据信号,假如连接的选择电路122的第一输出端1222连接的第n列子像素单元,当前扫描信号打开第m行子像素单元,所述相应子像素单元的数据信号即为:第n列第m行子像素单元1111的数据信号。

[0036] 当控制电路123向选择电路122的控制端1224输入第二电平时,选择电路122的输入端1221与所述第二输出端1223导通,且所述输入端1221与所述第一输出端1222不导通,此时,与选择电路122的输入端1221连接的缓存数据输出端与所述选择电路的第二输出端连接,以将缓存的数据信号输出至第二输出端连接的数据线上。由于此时,缓存数据输出端1212与选择电路的第二输出端1223连接,故缓存数据输出端1212输出与连接的选择电路122的第二输出端1223连接的相应子像素单元1111的数据信号,假如连接的选择电路122的第二输出端1223连接的第k列子像素单元,当前扫描信号打开第m行子像素单元,所述相应子像素单元的数据信号即为:第k列第m行子像素单元1111的数据信号。

[0037] 具体如图1所示,控制电路123输入第一电平时,第一、第二列像素列组合114中的缓存数据输出端从左至右依序与数据线S1、S2、S3、S4、S5、S6连接。控制电路123输入第二电平时,第一、第二列像素列组合114中的缓存数据输出端从左至右依序与数据线S4、S5、S6、S1、S2、S3连接。源极驱动器121的从左到右的缓存数据输出端1212输出的数据信号如图5所示,即控制电路123输入第一电平时,此时扫描电路打开第n行的子像素单元1111,源极驱动器121的从左到右的缓存数据输出端1212对应输出Rn1、Gn1、Bn1、Rn2、Gn2、Bn2、Rn3、Gn3、Bn3、Rn4、Gn4、Bn4...的数据信号,控制电路123输入第二电平时,此时扫描电路打开第k行的子像素单元1111,源极驱动器121的从左到右的缓存数据输出端1212对应输出Rk2、Gk2、Bk2、Rk1、Gk1、Bk1、Rk4、Gk4、Bk4、Rk3、Gk3、Bk3...的数据信号。

[0038] 本实施方式,由于液晶面板采用点反转或者像素为单元的行反转,故在同一像素列组合中的两个颜色相同的子像素单元的极性必然是相反的,也即如图1所示的一像素列组合中,R11为正极性时,R12为负极性,R21为负极性,R22为正极性,R31为正极性时,R32为负极性,其他子像素单元以此类推。如图5所示,采用本实施方式的驱动电路后,与第一列像素单元连接的三个缓存数据输出端依时序输出的数据信号为R11G11B11、R22G22B22、R31G31B31、R42G42B42...,该数据信号均为相同极性。与第二列像素单元连接的三个缓存数据输出端依时序输出的数据信号为R12G12B12、R21G21B21、R32G32B32、R41G41B41...,该数据信号也均为相同极性,故驱动电路的每个缓存数据输出端在驱动过程中均输出同一极性(如正极性或负极性)的数据信号,故降低了源极驱动器的压差,进而降低了源极驱动器的功耗和温度。

[0039] 本申请还提供一种液晶面板的驱动电路,所述驱动电路如图1和上面实施方式所示的驱动电路。

[0040] 上述方案中,在驱动电路的缓存数据输出端与子像素单元之间设置选择电路,且所述选择电路的第一、第二输出端分别于同一像素列组合中的相同颜色的两列子像素单元连接,实现了缓存数据输出端与同一像素列组合中的相同颜色的两列子像素单元的选择连接,其中,点反转或以像素为单元的行反转的同一像素列组合中相同颜色的两列子像素单元的极性相反,故可通过向选择电路的控制端输入对应的电平信号,使得缓存数据输出端连接的子像素单元列的极性不变,即所述缓存数据输出端输出的数据信号的极性相同,故

降低了驱动电路中的栅极驱动器的压差,从而降低了栅极驱动电路的功耗,同时也降低了栅极驱动电路的温度。

[0041] 在本申请所提供的几个实施方式中,应该理解到,所揭露的系统,装置和方法,可以通过其它的方式实现。例如,以上所描述的装置实施方式仅仅是示意性的,例如,所述模块或单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,装置或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0042] 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施方式方案的目的。

[0043] 另外,在本申请各个实施方式中的各功能单元可以集成在一个处理单元中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现,也可以采用软件功能单元的形式实现。

[0044] 所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用,可以存储在一个计算机可读取存储介质中。基于这样的理解,本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来,该计算机软件产品存储在一个存储介质中,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)或处理器(processor)执行本申请各个实施方式所述方法的全部或部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(ROM,Read-Only Memory)、随机存取存储器(RAM,Random Access Memory)、磁碟或者光盘等各种可以存储程序代码的介质。

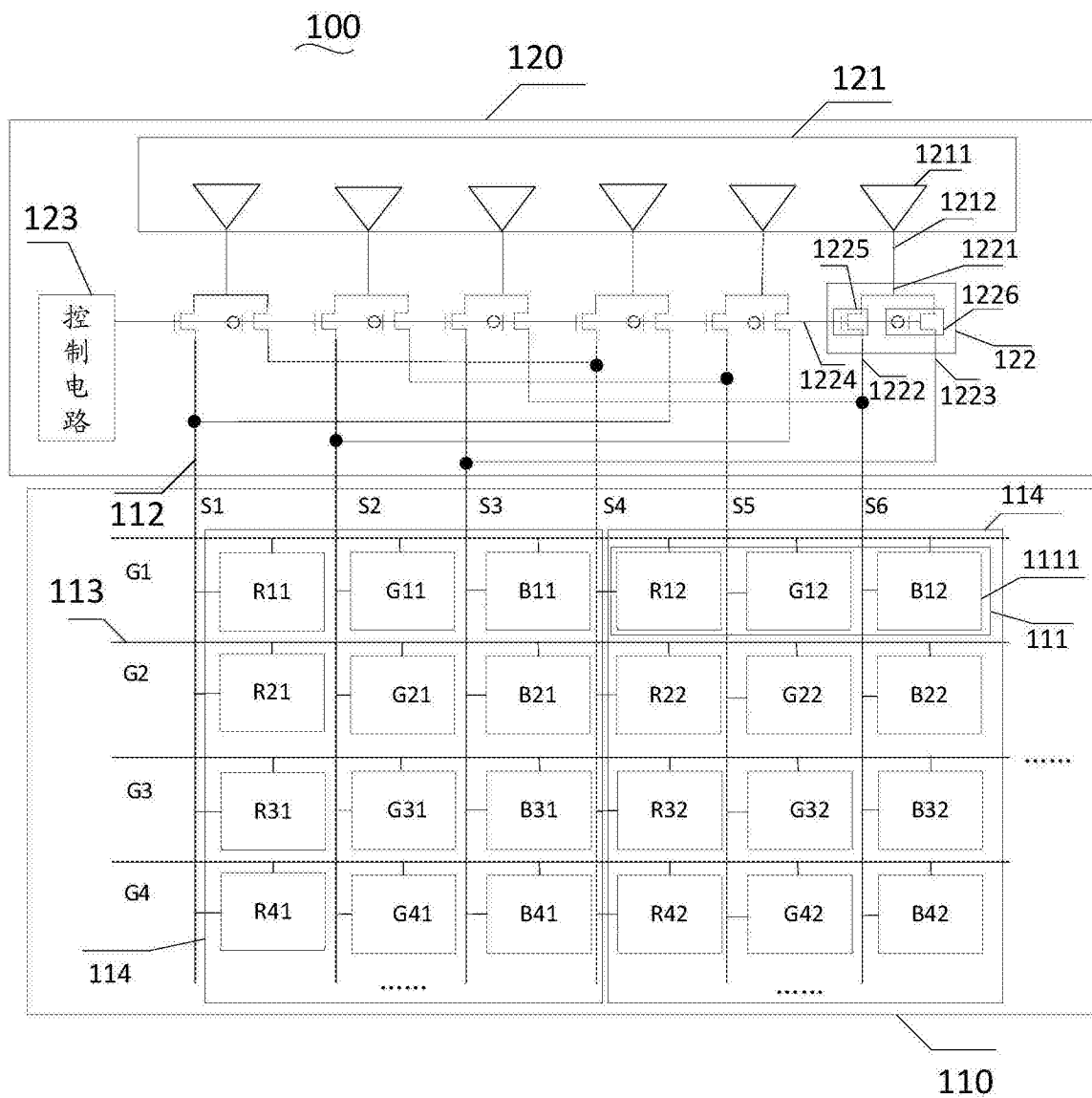


图1

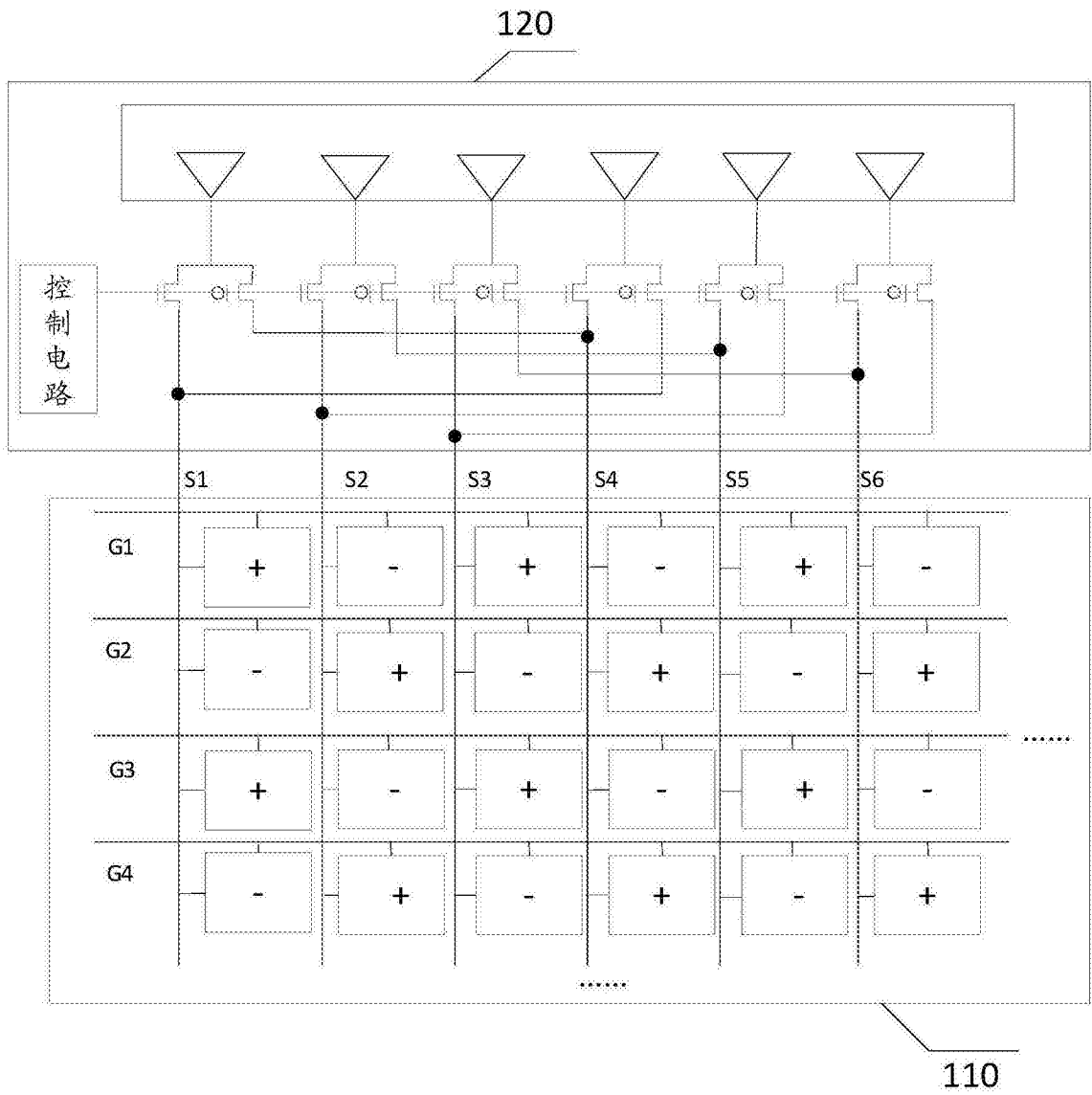


图2

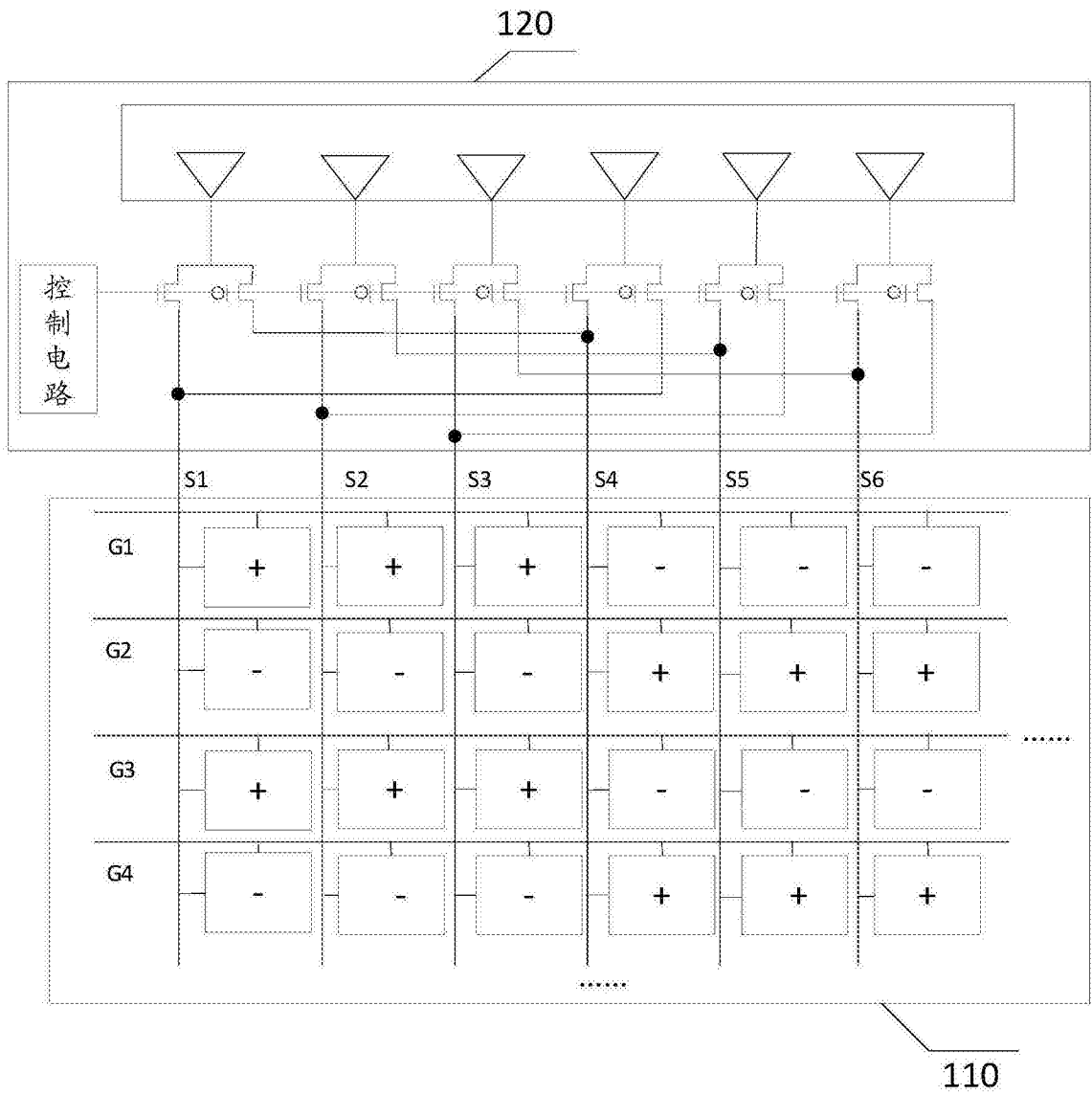


图3

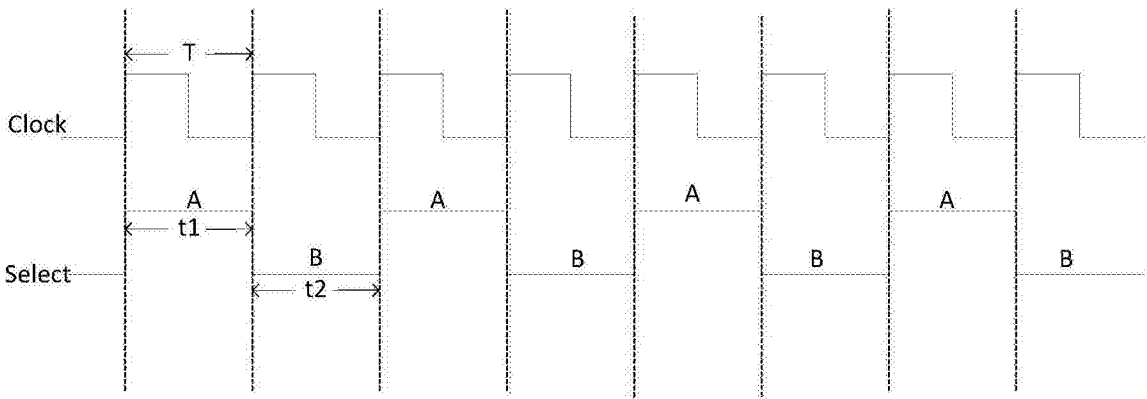


图4

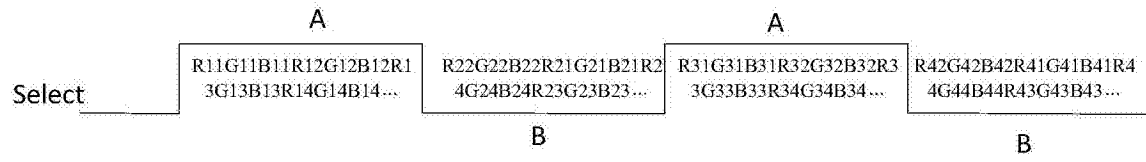


图5

Figure 1 is a block diagram of a multi-channel signal processing system. The system includes a control circuit (123) connected to a series of comparators (122) and a grid of processing blocks (110). The comparators are connected to a series of input signals (S1-S6) and a series of output signals (G1-G4). The processing blocks are arranged in a grid with rows G1-G4 and columns S1-S6. Each block contains a sub-block (R, G, or B) and is connected to the comparators and the control circuit.