



(12)发明专利

(10)授权公告号 CN 103514840 B

(45)授权公告日 2016.12.21

(21)申请号 201210198895.5

(22)申请日 2012.06.14

(65)同一申请的已公布的文献号

申请公布号 CN 103514840 A

(43)申请公布日 2014.01.15

(73)专利权人 瀚宇彩晶股份有限公司

地址 中国台湾新北市五股区五权路48号4楼

(72)发明人 曾俊钦 李雅雯 潘扩文

(74)专利代理机构 北京润平知识产权代理有限公司 11283

代理人 陈潇潇 南毅宁

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

CN 1641740 A, 2005.07.20,

CN 102024437 A, 2011.04.20,

CN 101783124 A, 2010.07.21,

US 2011157263 A1, 2011.06.30,

JP 2006189423 A, 2006.07.20,

审查员 王雪梅

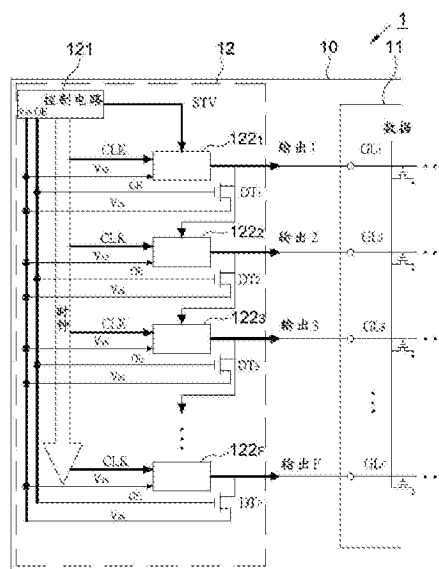
权利要求书1页 说明书5页 附图7页

(54)发明名称

集成门极驱动电路及液晶面板

(57)摘要

一种集成门极驱动电路,包含控制电路、多个驱动级以及多个放电晶体管。所述控制电路用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号。每一个所述驱动级接收所述时钟信号并包含用于输出门极驱动信号的输出端。每一个所述放电晶体管连接一个所述驱动级的所述输出端,接收所述放电使能信号以对所述输出端进行放电,藉以消除所述输出端在所述空白期间的电压浮动。



1. 一种集成门极驱动电路,该集成门极驱动电路包含:

控制电路,用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号,所述时钟信号包括依序输出的第一时钟信号、第二时钟信号、第三时钟信号及第四时钟信号;

多个驱动级,每一个所述驱动级接收所述第一、第二、第三及第四时钟信号并包含用于输出门极驱动信号的输出端,每一个所述驱动级还包含第一晶体管、第二晶体管、第三晶体管、第四晶体管及第五晶体管,其中所述第一晶体管、第二晶体管、第三晶体管、第四晶体管及第五晶体管皆包含有第一端、第二端及控制端,其中,所述第一晶体管的第一端连接其控制端,所述第一晶体管的第二端连接至节点,所述第二晶体管的第一端依序接收所述第一、第二、第三及第四时钟信号,所述第二晶体管的第二端连接所述输出端,所述第三晶体管的第一端连接所述输出端,所述第三晶体管的控制端依序接收所述第三、第四、第一及第二时钟信号,所述第四晶体管的第一端连接所述第一晶体管的第一端及控制端,所述第四晶体管的第二端连接所述节点,所述第四晶体管的控制端依序接收所述第四、第一、第二及第三时钟信号,所述第五晶体管的第一端连接所述节点,所述第五晶体管的第二端连接所述第三晶体管的第二端;以及

多个放电晶体管,每一个所述放电晶体管连接一个所述驱动级的所述输出端,且每一个所述放电晶体管从所述控制电路接收所述放电使能信号以在所述空白期间对所述输出端进行放电。

2. 根据权利要求1所述的集成门极驱动电路,其中所述控制电路在所述空白期间不输出所述第一、第二、第三及第四时钟信号。

3. 根据权利要求1所述的集成门极驱动电路,其中所述控制电路还输出负电压源。

4. 根据权利要求3所述的集成门极驱动电路,其中所述负电压源被提供至每一个所述驱动级。

5. 根据权利要求3所述的集成门极驱动电路,其中每一个所述放电晶体管的第一端连接所述输出端,第二端连接所述负电压源,控制端接收所述放电使能信号。

6. 根据权利要求1所述的集成门极驱动电路,其中所述控制电路在所述帧期间开始时还输出帧起始信号至所述驱动级的第一驱动级。

7. 根据权利要求6所述的集成门极驱动电路,其中所述空白期间介于所述驱动级的最末驱动级输出的所述门极驱动信号与下一个所述帧起始信号之间。

8. 根据权利要求1所述的集成门极驱动电路,其中所述放电使能信号的信号期间小于等于所述空白期间。

9. 一种液晶面板,该液晶面板包含:

基板;

薄膜晶体管阵列,该薄膜晶体管阵列形成于所述基板上且包含多个门极线;以及

根据权利要求1至8中任一项权利要求所述的集成门极驱动电路,该集成门极驱动电路形成于所述基板上以用于驱动所述薄膜晶体管阵列。

集成门极驱动电路及液晶面板

技术领域

[0001] 本发明涉及一种液晶显示器,特别涉及一种集成门极驱动电路及使用所述集成门极驱动电路的液晶面板。

背景技术

[0002] 已知液晶显示面板通常具有多个门极驱动电路用于驱动像素阵列,而为了降低制作成本以及有效利用基板空间,可将门极驱动功能与像素阵列共同制作于基板表面,其中所述门极驱动功能被称为集成门极驱动电路(integrated gate driver circuit,IGD)。

[0003] 参照图1所示,其显示一种已知集成门极驱动电路9的方框示意图,其包含控制电路91及多个驱动级92₁-92₄…。所述控制电路91输出多个时钟信号CLK至所述驱动级92₁-92₄…,时钟信号CLK例如包含CLK1-CLK4,所述驱动级(Driving Stage)92₁-92₄…分别输出输出信号输出1-输出4…用于驱动一条门极线。

[0004] 参照图2所示,其显示图1的集成门极驱动电路9的时钟信号及输出信号的时序图。所述控制电路91首先输出帧起始信号(Start Vertical Frame Signal)STV至第一驱动级92₁,接着依序输出时钟信号CLK1-CLK4中的部分时钟信号(例如:时钟信号CLK1-CLK3)至各个驱动级。所述第一驱动级92₁接收部分时钟信号CLK后随即输出输出信号输出1,其与时钟信号CLK1的第一个波形相同;第二驱动级92₂接收部分时钟信号CLK后随即输出输出信号输出2,其与时钟信号CLK2的第一个波形相同;第五驱动级92₅接收部分时钟信号CLK后随即输出输出信号输出5,其与时钟信号CLK1的第二个波形相同;第六驱动级92₆接收部分时钟信号CLK后随即输出输出信号输出6,其与时钟信号CLK2的第二个波形相同;依此类推。

[0005] 为了节省所述集成门极驱动电路9的耗能,所述控制电路91会于两张图像帧之间停止输出任何时钟信号至所述驱动级92₁-92₄…。亦即,最末驱动级在第一张图像帧输出的输出信号输出n后至第一驱动级92₁于第二张图像帧输出的输出信号输出1前,参照图3,所述控制电路91不输出任何时钟信号。然而,当所述驱动级92₁-92₄…未接收时钟信号时,所述输出信号输出1-输出n会出现电压上升的情形,如图3所示,而此电压浮动会影响第二张图像帧的门极驱动信号。

[0006] 鉴于此,本发明还提供一种集成门极驱动电路及液晶面板,其可有效消除两张图像帧间的空白期间(blanking period)的门极线电位浮动的情形。

发明内容

[0007] 本发明的目的是提供一种集成门极驱动电路及液晶面板,其利用多个放电晶体管(transistor)于两张图像帧间的空白期间对每一条门极线进行放电,藉以消除所述门极线在所述空白期间电位浮动的情形。

[0008] 本发明另一目的是提供一种集成门极驱动电路及液晶面板,其通过在两张图像帧间的空白期间另外输出放电使能信号以针对门极线进行放电。

[0009] 本发明提供一种集成门极驱动电路,包含控制电路、多个驱动级以及多个放电晶

晶体管。所述控制电路用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号。每一个所述驱动级接收所述时钟信号并包含输出端用于输出门极驱动信号。每一个所述放电晶体管连接一个所述驱动级的所述输出端,接收所述放电使能信号以对所述输出端进行放电。

[0010] 本发明还提供一种液晶面板,包含基板、薄膜晶体管阵列以及集成门极驱动电路。所述薄膜晶体管阵列形成于所述基板上且包含多个门极线。所述集成门极驱动电路形成于所述基板上用于驱动所述薄膜晶体管阵列。所述集成门极驱动电路包含控制电路、多个驱动级及多个放电晶体管。所述控制电路用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号。每一个所述驱动级接收所述时钟信号并输出门极驱动信号至一条所述门极线。每一个所述放电晶体管连接一条所述门极线,接收所述放电使能信号以对所述门极线进行放电。

[0011] 实施方式中,每一个所述驱动级包含操作晶体管,所述操作晶体管的控制端接收所述时钟信号,所述操作晶体管的第一端或第二端连接所述输出端。

[0012] 实施方式中,所述空白期间介于所述驱动级的最末驱动级输出的所述门极驱动信号与下一个帧起始信号之间;优选地,所述空白期间介于所述驱动级的最末驱动级输出的所述门极驱动信号的降沿与下一个帧起始信号的升沿之间。

[0013] 实施方式中,所述控制电路还输出负电压源;所述放电晶体管的第一端连接所述输出端,第二端连接所述负电压源,控制端接收所述放电使能信号。

[0014] 实施方式中,所述放电使能信号的信号期间优选小于等于所述空白期间。

[0015] 本发明实施方式的集成门极驱动电路及液晶面板中,由于所述控制电路在所述空白期间不输出任何时钟信号至所述驱动级,导致所述驱动级浮接(floating)而出现输出端电压上升的情形。因此,本发明利用所述放电使能信号在所述空白期间对每一个驱动级的输出端进行放电,以避免所述输出端及液晶面板的门极线于所述空白期间出现电压浮动的情形。

附图说明

[0016] 图1显示已知集成门极驱动电路的方框示意图。

[0017] 图2显示图1的集成门极驱动电路的时序图。

[0018] 图3显示已知集成门极驱动电路的第一驱动级及最末驱动级的输出信号的示意图。

[0019] 图4显示本发明实施方式的液晶面板及集成门极驱动电路的示意图。

[0020] 图5A显示本发明实施方式的集成门极驱动电路的时序图。

[0021] 图5B显示本发明实施方式的集成门极驱动电路的单一驱动级的电路图。

[0022] 图5C显示图5B为第一驱动级的操作示意图。

具体实施方式

[0023] 为了让本发明的上述和其他目的、特征和优点能更明显,下文将配合附图作详细说明。在本发明的说明中,相同的元件以相同的符号表示,在此先说明。

[0024] 参照图4所示,其显示本发明实施方式的液晶面板的方框示意图。液晶面板1包含

基板10、薄膜晶体管阵列11及集成门极驱动电路12。所述基板10可为一般液晶显示面板中，用于形成薄膜晶体管阵列的玻璃基板、可挠基板等。

[0025] 所述薄膜晶体管阵列11形成于所述基板10上，且包含多个门极线 GL_1 – GL_F 分别连接一系列薄膜晶体管；其中，在基板上形成薄膜晶体管阵列的方式为已知且已记载于文献，故于此不再赘述。

[0026] 所述集成门极驱动电路12与所述薄膜晶体管阵列11共同形成于所述基板10上，用于驱动所述薄膜晶体管阵列11。所述集成门极驱动电路12包含控制电路121、多个驱动级122₁–122_F以及多个放电晶体管DT₁–DT_F，所述放电晶体管DT₁–DT_F的第一端分别连接所述驱动级122₁–122_F。

[0027] 所述控制电路121用于在帧期间 T_f 输出多个时钟信号CLK并于空白期间 T_b 输出放电使能信号或输出允许信号(Output Enable Signal)OE，参照图5A；其中，所述控制电路121在所述空白期间 T_b 不输出所述时钟信号CLK。所述控制电路121还提供负电压源 V_{ss} （或低电压源，例如–5~–10伏特，但不限于此）至每一个所述驱动级122₁–122_F及每一个所述放电晶体管DT₁–DT_F。另一实施方式中，提供至所述驱动级122₁–122_F及提供至所述放电晶体管DT₁–DT_F的负电压源或低电压源可以不相同。

[0028] 每一个所述驱动级122₁–122_F接收所述时钟信号CLK且均包含输出端，并通过所述输出端分别输出门极驱动信号输出1–输出F至一条所述门极线 GL_1 – GL_F 。可以了解的是，每一条所述门极线 GL_1 – GL_F 均用于驱动所述薄膜晶体管阵列11的一系列薄膜晶体管(thin film transistor)。

[0029] 每一个所述放电晶体管DT₁–DT_F连接一个所述驱动级122₁–122_F的输出端及一条所述门极线 GL_1 – GL_F ，接收所述放电使能信号OE以对所述输出端及相对的所述门极线 GL_1 – GL_F 进行放电。每一个所述放电晶体管DT₁–DT_F包含第一端、第二端及控制端；其中，所述第一端连接所述输出端及一条所述门极线 GL_1 – GL_F ，所述第二端连接所述负电压源 V_{ss} ，所述控制端接收所述放电使能信号OE以对所述输出端及相对的所述门极线 GL_1 – GL_F 进行放电；亦即，当所述控制端接收所述放电使能信号OE时，所述放电晶体管DT₁–DT_F开启以将所述输出端及相对的所述门极线 GL_1 – GL_F 通过所述第二端进行放电，例如此时放电至所述负电压源 V_{ss} 。本发明实施方式中，所述放电晶体管DT₁–DT_F例如可为薄膜晶体管，其与所述驱动级122₁–122_F及所述薄膜晶体管阵列11共同形成于所述基板10上。另一实施方式中，所述放电晶体管DT₁–DT_F可分别包含于所述驱动级122₁–122_F内。

[0030] 参照图5A所示，其显示本发明实施方式的集成门极驱动电路的时钟信号CLK₁–CLK₄及输出信号输出1–输出F的时序图。每一个帧期间 T_f 开始时，所述控制电路121先输出帧起始信号STV（例如STV₁及STV₂）至所述驱动级的第一驱动级122₁；其中，所述帧期间 T_f 即为所述集成门极驱动电路12驱动所述门极线 GL_1 – GL_F 的期间。两相邻帧间，由于所述控制电路121不输出任何时钟信号亦不驱动任何门极线，因此称此时间区间为空白期间(blanking period)。

[0031] 所述空白期间 T_b 介于所述驱动级的最末驱动级122_F输出的所述门极驱动信号输出F与下一个帧起始信号STV₂间；优选地，所述空白期间 T_b 介于所述驱动级的最末驱动级122_F输出的所述门极驱动信号输出F的降沿与下一个帧起始信号STV₂的升沿之间。

[0032] 本发明实施方式的集成门极驱动电路及液晶面板在所述空白期间 T_b 输出所述放

电使能信号OE至所述放电晶体管DT₁-DT_F,以通过所述放电晶体管DT₁-DT_F对所述输出端及所述门极线GL₁-GL_F进行放电,因此所述放电使能信号OE的信号期间T_{OE}优选小于等于所述空白期间T_b。

[0033] 参照图5B,其显示图4的集成门极驱动电路的第N驱动级122_N与第N放电晶体管DT_N的电路图。所述第N驱动级122_N包含第一晶体管T₁、第二晶体管T₂、第三晶体管T₃、第四晶体管T₄及第五晶体管T₅;其中,所述晶体管T₁-T₅例如为薄膜晶体管并与所述薄膜晶体管阵列11及所述放电晶体管DT₁-DT_F共同形成于所述基板10上。所述第N驱动级122_N的输出端连接所述第N放电晶体管DT_N并输出门极驱动信号输出N以驱动一条门极线GL_N。

[0034] 所述第一晶体管T₁的第一端连接其控制端,并接收帧起始信号STV或前一驱动级122_{N-1}输出的门极驱动信号输出(N-1),第二端连接至节点Y;其中,所述节点Y通过电容C_Y连接至所述第N驱动级122_N的输出端及所述门极线GL_N;所述电容C_Y用于维持所述节点Y的电位,其他实施方式中所述电容C_Y可不予实施。

[0035] 所述第二晶体管T₂的第一端接收所述时钟信号CLK,第二端连接所述输出端及所述门极线GL_N,控制端连接所述节点Y。本实施方式中,所述第一端例如依序接收图5A的时钟信号CLK₁、CLK₂、CLK₃及CLK₄。

[0036] 所述第三晶体管T₃的第一端连接所述输出端及所述门极线GL_N,控制端接收所述时钟信号CLK,第二端连接所述负电压源V_{SS}。本实施方式中,所述控制端例如依序接收图5A的时钟信号CLK₃、CLK₄、CLK₁及CLK₂。

[0037] 所述第四晶体管T₄的第一端连接所述第一晶体管T₁的第一端及控制端,以接收所述帧起始信号STV或前一驱动级122_{N-1}的门极驱动信号输出(N-1),第二端连接所述节点Y,控制端接收所述时钟信号CLK。本实施方式中,所述控制端例如依序接收图5A的时钟信号CLK₄、CLK₁、CLK₂及CLK₃。

[0038] 所述第五晶体管T₅的第一端连接所述节点Y,第二端连接所述负电压源V_{SS},控制端连接所述第N驱动级122_N后第二驱动级122_(N+2)的门极驱动信号输出(N+2)。

[0039] 参照图5C所示,其显示图5B为第一驱动级的操作示意图。

[0040] 在第一驱动级122₁中,所述控制电路121于帧期间T_f开始时输出帧起始信号STV₁至所述第一驱动级122₁,接着所述控制电路121依序输出时钟信号CLK₁、CLK₂、CLK₃及CLK₄至所述第一驱动级122₁(如图5A所示)。所述晶体管T₁-T₅依序接收所述帧起始信号STV₁及所述时钟信号CLK₁-CLK₄时的启闭状态、所述节点Y及所述门极驱动信号输出1的电压状态显示于图5C,其中H表示数位电压“1”而L表示数位电压“0”,且H及L的实际电压值根据实际应用决定。例如一种实施方式中,H可为+15伏特而L可为-5伏特,但并不限于此。

[0041] 图5A中,当最末驱动级122_F输出门极驱动信号输出F以驱动所述薄膜晶体管阵列11的最后一条门极线GL_F时,则完成一个帧期间T_f。接着,当所述控制电路121再次发出帧起始信号STV₂时则开始下一个帧期间T_f。更详细地,所述帧期间T_f为所述集成门极驱动电路12驱动所述门极线GL₁-GL_F的期间;亦即,所述帧起始信号STV的升沿至最末驱动级122_F输出的所述门极驱动信号输出F的降沿的期间。

[0042] 必须说明的是,本发明中每一个驱动级的电路图并不限于图5B所示,只要是包含操作晶体管及输出端,且所述操作晶体管的控制端接收所述时钟信号CLK以于所述帧期间T_f的至少一部分期间对所述操作晶体管的第一端或第二端所连接的所述输出端及相对的

所述门极线进行放电的电路结构均可。例如,图5B中所述操作晶体管为所述第三晶体管 T_3 ,当所述第三晶体管 T_3 的控制端被时钟信号开启时则对所述操作晶体管的第一端所连接的所述输出端及相对的所述门极线进行放电。必须说明的是,所述输出端的电荷并不限于通过所述操作晶体管被放电至所述负电压源 V_{SS} 或低电压源,亦可放电至所述时钟信号的信号源。本发明中,只要于每一个驱动级的输出端设置如图4的放电晶体管 DT_1-DT_F 并于两张图像帧间的空白期间 T_b 发出所述放电使能信号 OE 至所述放电晶体管 DT_1-DT_F 以对所述输出端及门极线 GL_1-GL_F 放电即可,故可适用于各式驱动级的电路结构。所述空白期间 T_b 及/或所述帧期间 T_f 可根据实际的面板尺寸决定。

[0043] 综上所述,已知集成门极驱动电路在两张图像帧的空白期间,会出现输出电压浮动的情形而影响图像的输出。因此,本发明还提出一种集成门极驱动电路及液晶面板(图4),其通过在两张图像帧间的空白期间利用放电晶体管对输出电压进行放电,以有效消除电压浮动的情形。

[0044] 虽然本发明已以前述实施方式公开,然其并非用于限定本发明,任何本发明所属技术领域中的技术人员,在不脱离本发明的精神和范围内,可作各种变动与修改。因此本发明的保护范围应以所附的权利要求书所界定的范围为准。

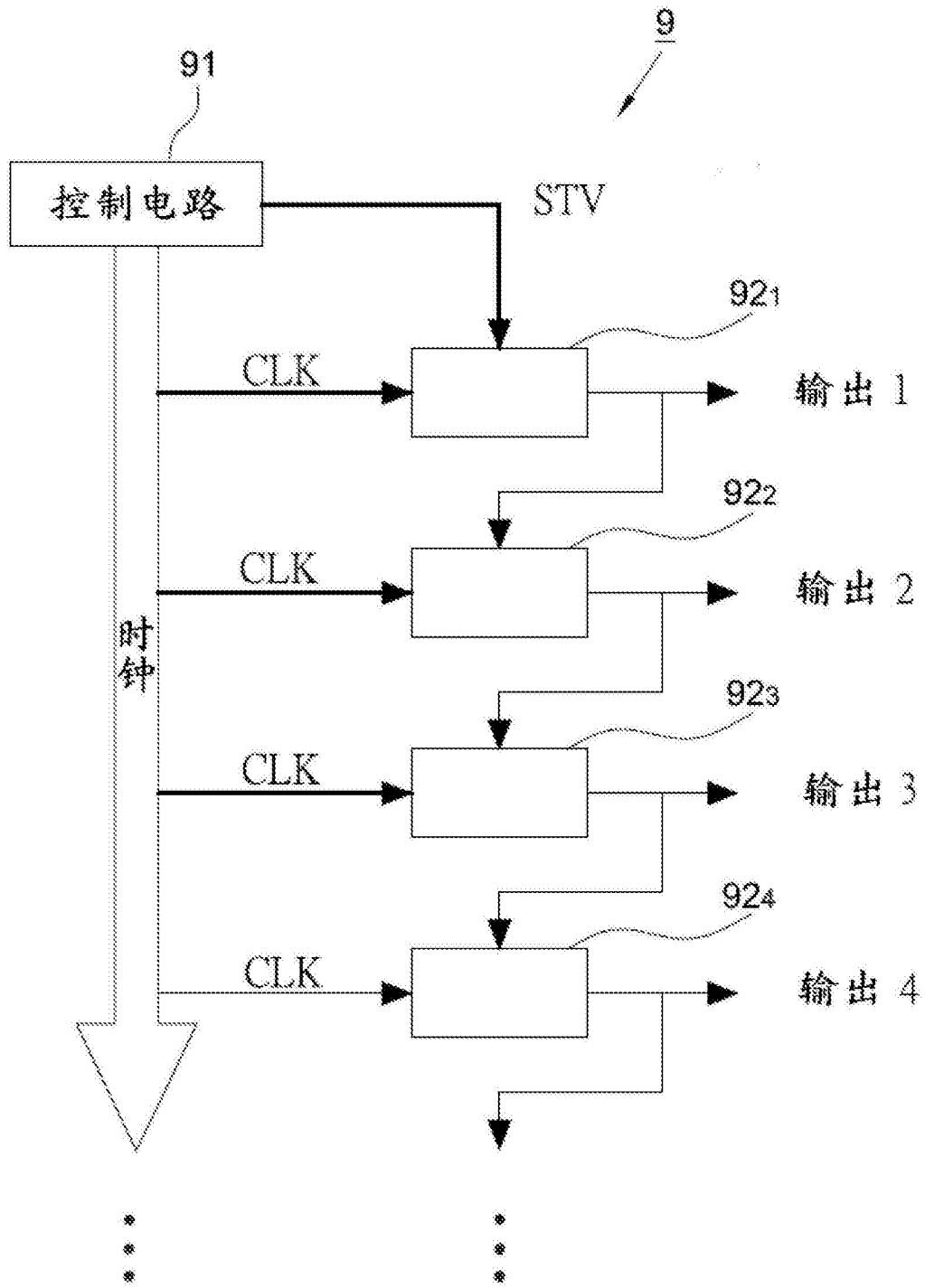


图1

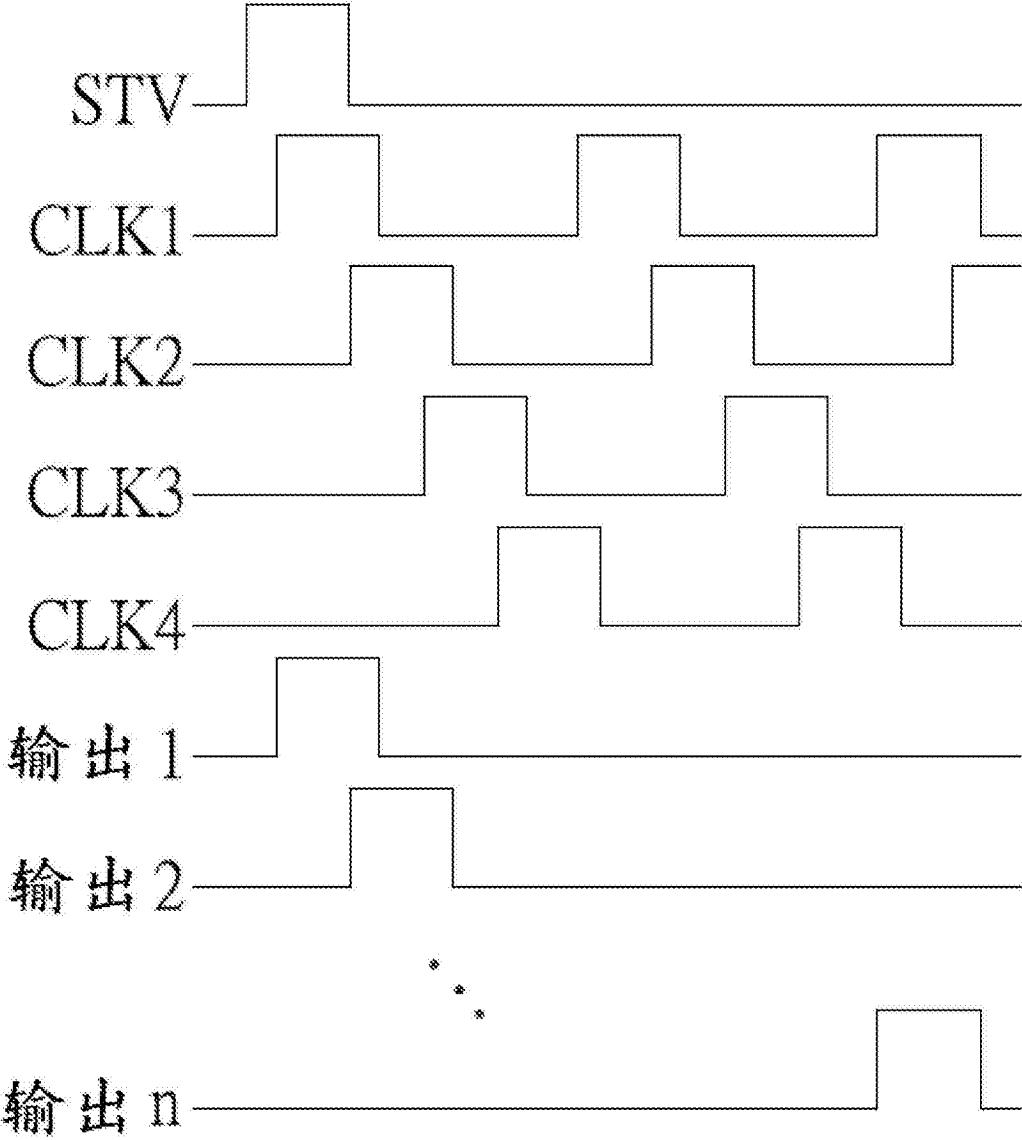


图2

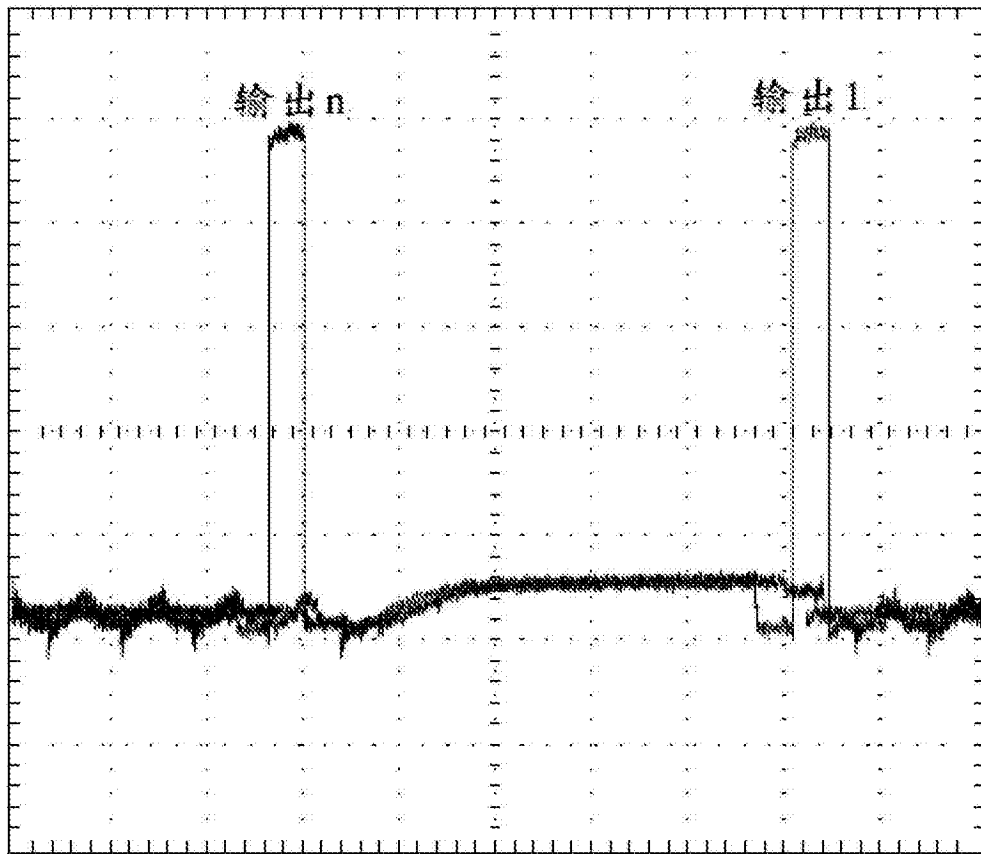


图3

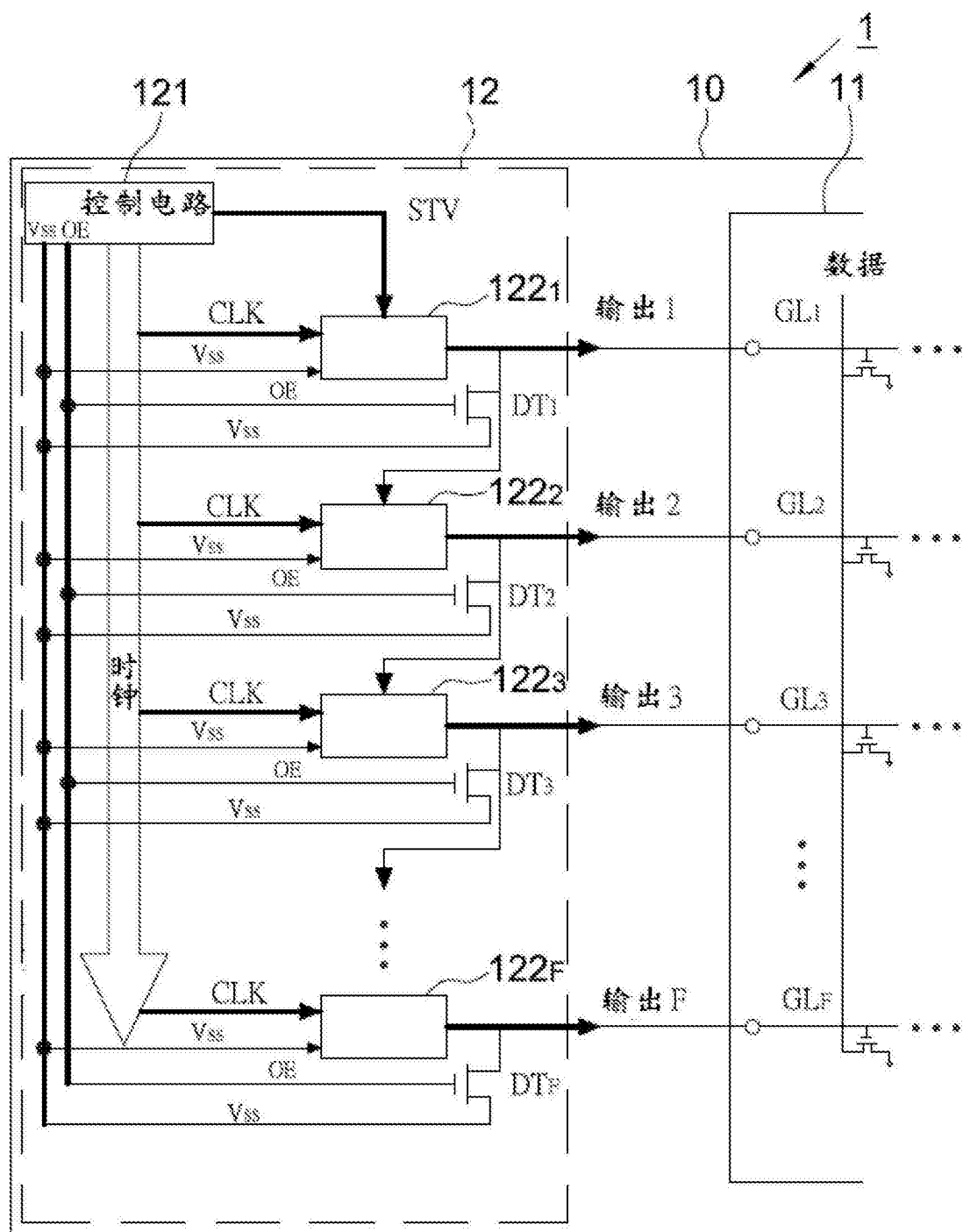


图 4

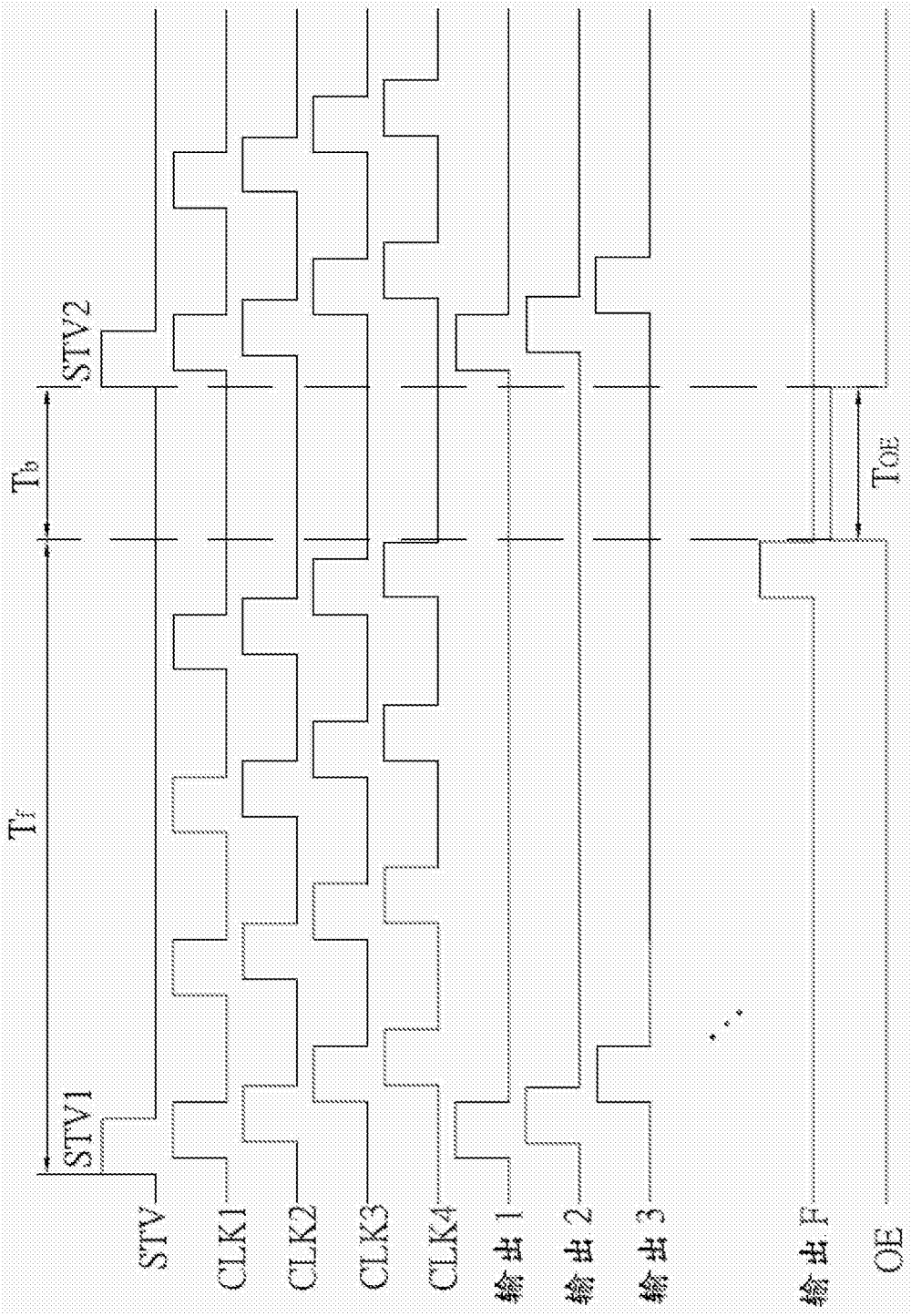


图5A

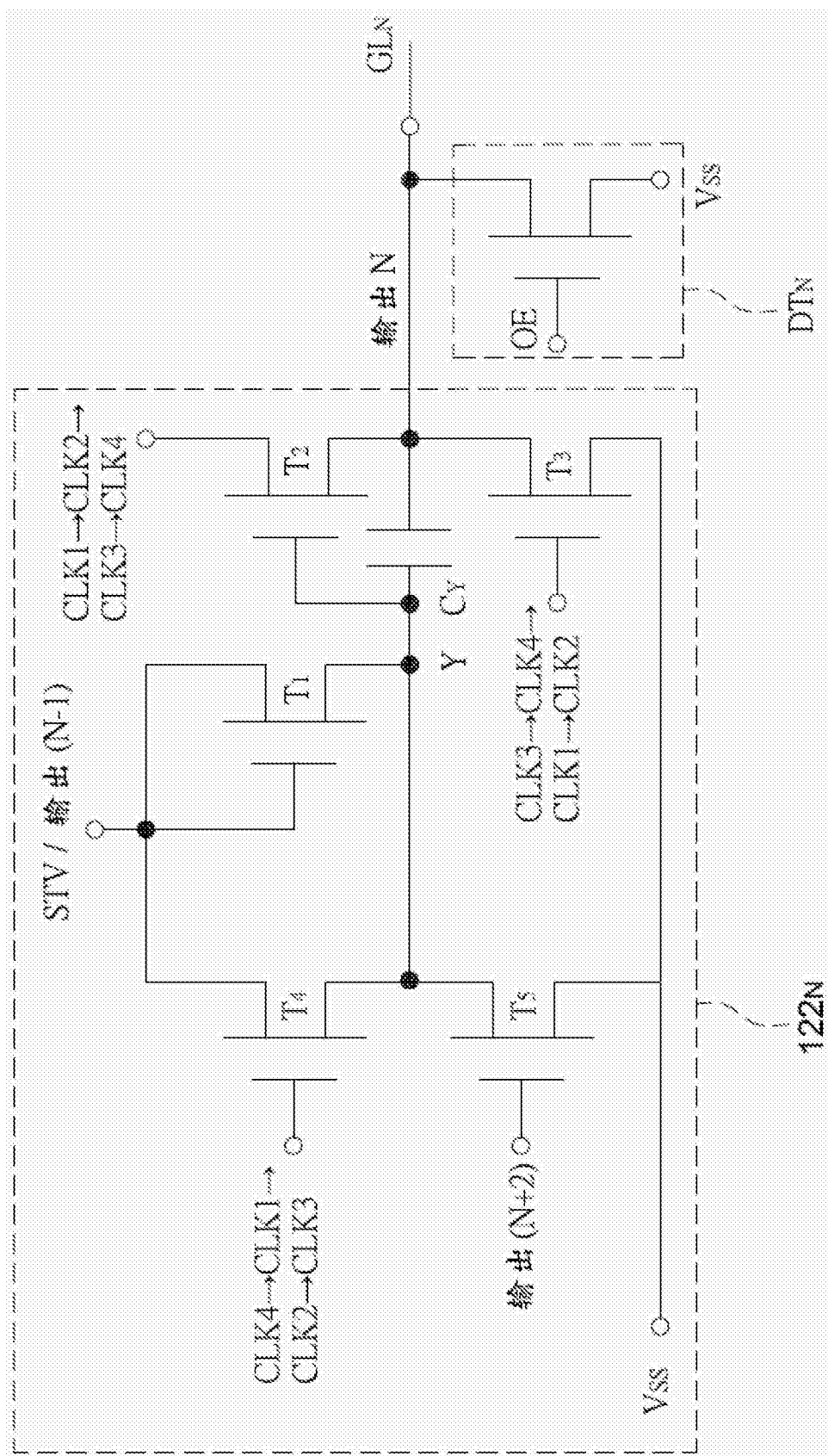


图5B

信号升沿	STV	CLK1	CLK2	CLK3	CLK4
节点Y	H	H	H	L	L
输出1	H STV · CLK1 重叠期间	H	H CLK1 · CLK2 重叠期间	L	L
T ₁	开	开 STV · CLK1 重叠期间	开 STV · CLK2 重叠期间	关	关
T ₂	开	开	开	关	关
T ₃	关	关	关	开	关
T ₄	关	关	关	关	开
T ₅	关	关	关	开	关

图5C

专利名称(译)	集成门极驱动电路及液晶面板		
公开(公告)号	CN103514840B	公开(公告)日	2016-12-21
申请号	CN201210198895.5	申请日	2012-06-14
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股份有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股份有限公司		
[标]发明人	曾俊钦 李雅雯 潘扩文		
发明人	曾俊钦 李雅雯 潘扩文		
IPC分类号	G09G3/36		
CPC分类号	G02F1/13306 G09G3/3677 G09G5/008 G09G5/18 G09G2310/0286 G09G2310/08 G09G2330/021 G09G2370/08 G11C19/28 H03K17/16 H03K17/161		
代理人(译)	陈潇潇		
审查员(译)	王雪梅		
其他公开文献	CN103514840A		
外部链接	Espacenet SIPO		

摘要(译)

一种集成门极驱动电路，包含控制电路、多个驱动级以及多个放电晶体管。所述控制电路用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号。每一个所述驱动级接收所述时钟信号并包含用于输出门极驱动信号的输出端。每一个所述放电晶体管连接一个所述驱动级的所述输出端，接收所述放电使能信号以对所述输出端进行放电，藉以消除所述输出端在所述空白期间的电压浮动。

