



(12) 发明专利申请

(10) 申请公布号 CN 103514840 A

(43) 申请公布日 2014. 01. 15

(21) 申请号 201210198895. 5

(22) 申请日 2012. 06. 14

(71) 申请人 瀚宇彩晶股份有限公司

地址 中国台湾新北市五股区五权路 48 号 4 楼

(72) 发明人 曾俊钦 李雅雯 潘扩文

(74) 专利代理机构 北京润平知识产权代理有限公司 11283

代理人 陈潇潇 南毅宁

(51) Int. Cl.

G09G 3/36 (2006. 01)

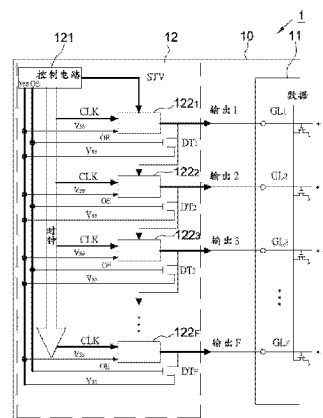
权利要求书1页 说明书5页 附图7页

(54) 发明名称

集成门极驱动电路及液晶面板

(57) 摘要

一种集成门极驱动电路,包含控制电路、多个驱动级以及多个放电晶体管。所述控制电路用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号。每一个所述驱动级接收所述时钟信号并包含用于输出门极驱动信号的输出端。每一个所述放电晶体管连接一个所述驱动级的所述输出端,接收所述放电使能信号以对所述输出端进行放电,藉以消除所述输出端在所述空白期间的电压浮动。



1. 一种集成门极驱动电路,该集成门极驱动电路包含:
控制电路,用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号;
多个驱动级,每一个所述驱动级接收所述时钟信号并包含用于输出门极驱动信号的输出端;以及
多个放电晶体管,每一个所述放电晶体管连接一个所述驱动级的所述输出端,接收所述放电使能信号以对所述输出端进行放电。
2. 根据权利要求1所述的集成门极驱动电路,其中所述控制电路在所述空白期间不输出所述时钟信号。
3. 根据权利要求1所述的集成门极驱动电路,其中所述控制电路还输出负电压源。
4. 根据权利要求3所述的集成门极驱动电路,其中所述负电压源被提供至每一个所述驱动级。
5. 根据权利要求3所述的集成门极驱动电路,其中每一个所述放电晶体管的第一端连接所述输出端,第二端连接所述负电压源,控制端接收所述放电使能信号。
6. 根据权利要求1所述的集成门极驱动电路,其中所述控制电路在所述帧期间开始时还输出帧起始信号至所述驱动级的第一驱动级。
7. 根据权利要求6所述的集成门极驱动电路,其中所述空白期间介于所述驱动级的最末驱动级输出的所述门极驱动信号与下一个所述帧起始信号之间。
8. 根据权利要求1所述的集成门极驱动电路,其中所述放电使能信号的信号期间小于等于所述空白期间。
9. 根据权利要求1所述的集成门极驱动电路,其中每一个所述驱动级包含操作晶体管,所述操作晶体管的控制端接收所述时钟信号,所述操作晶体管的第一端或第二端连接所述输出端。
10. 一种液晶面板,该液晶面板包含:
基板;
薄膜晶体管阵列,该薄膜晶体管阵列形成于所述基板上且包含多个门极线;以及
根据权利要求1至9中任一项权利要求所述的集成门极驱动电路,该集成门极驱动电路形成于所述基板上以用于驱动所述薄膜晶体管阵列。

集成门极驱动电路及液晶面板

技术领域

[0001] 本发明涉及一种液晶显示器,特别涉及一种集成门极驱动电路及使用所述集成门极驱动电路的液晶面板。

背景技术

[0002] 已知液晶显示面板通常具有多个门极驱动电路用于驱动像素阵列,而为了降低制作成本以及有效利用基板空间,可将门极驱动功能与像素阵列共同制作于基板表面,其中所述门极驱动功能被称为集成门极驱动电路(integrated gate driver circuit, IGD)。

[0003] 参照图 1 所示,其显示一种已知集成门极驱动电路 9 的方框示意图,其包含控制电路 91 及多个驱动级 $92_1-92_4\cdots$ 。所述控制电路 91 输出多个时钟信号 CLK 至所述驱动级 $92_1-92_4\cdots$,时钟信号 CLK 例如包含 CLK1-CLK4,所述驱动级(Driving Stage) $92_1-92_4\cdots$ 分别输出输出信号输出 1- 输出 4 $\cdots$ 用于驱动一条门极线。

[0004] 参照图 2 所示,其显示图 1 的集成门极驱动电路 9 的时钟信号及输出信号的时序图。所述控制电路 91 首先输出帧起始信号(Start Vertical Frame Signal)STV至第一驱动级 92_1 ,接着依序输出时钟信号 CLK1-CLK4 中的部分时钟信号(例如:时钟信号 CLK1-CLK3)至各个驱动级。所述第一驱动级 92_1 接收部分时钟信号 CLK 后随即输出输出信号输出 1,其与时钟信号 CLK1 的第一个波形相同;第二驱动级 92_2 接收部分时钟信号 CLK 后随即输出输出信号输出 2,其与时钟信号 CLK2 的第一个波形相同;第五驱动级 92_5 接收部分时钟信号 CLK 后随即输出输出信号输出 5,其与时钟信号 CLK1 的第二个波形相同;第六驱动级 92_6 接收部分时钟信号 CLK 后随即输出输出信号输出 6,其与时钟信号 CLK2 的第二个波形相同;依此类推。

[0005] 为了节省所述集成门极驱动电路 9 的耗能,所述控制电路 91 会于两张图像帧之间停止输出任何时钟信号至所述驱动级 $92_1-92_4\cdots$;亦即,最末驱动级在第一张图像帧输出的输出信号输出 n 后至第一驱动级 92_1 于第二张图像帧输出的输出信号输出 1 前,参照图 3,所述控制电路 91 不输出任何时钟信号。然而,当所述驱动级 $92_1-92_4\cdots$ 未接收时钟信号时,所述输出信号输出 1- 输出 n 会出现电压上升的情形,如图 3 所示,而此电压浮动会影响第二张图像帧的门极驱动信号。

[0006] 鉴于此,本发明还提供一种集成门极驱动电路及液晶面板,其可有效消除两张图像帧间的空白期间(blanking period)的门极线电位浮动的情形。

发明内容

[0007] 本发明的目的是提供一种集成门极驱动电路及液晶面板,其利用多个放电晶体管(transistor)于两张图像帧间的空白期间对每一条门极线进行放电,藉以消除所述门极线在所述空白期间电位浮动的情形。

[0008] 本发明另一目的是提供一种集成门极驱动电路及液晶面板,其通过在两张图像帧间的空白期间另外输出放电使能信号以针对门极线进行放电。

[0009] 本发明提供一种集成门极驱动电路,包含控制电路、多个驱动级以及多个放电晶体管。所述控制电路用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号。每一个所述驱动级接收所述时钟信号并包含输出端用于输出门极驱动信号。每一个所述放电晶体管连接一个所述驱动级的所述输出端,接收所述放电使能信号以对所述输出端进行放电。

[0010] 本发明还提供一种液晶面板,包含基板、薄膜晶体管阵列以及集成门极驱动电路。所述薄膜晶体管阵列形成于所述基板上且包含多个门极线。所述集成门极驱动电路形成于所述基板上用于驱动所述薄膜晶体管阵列。所述集成门极驱动电路包含控制电路、多个驱动级及多个放电晶体管。所述控制电路用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号。每一个所述驱动级接收所述时钟信号并输出门极驱动信号至一条所述门极线。每一个所述放电晶体管连接一条所述门极线,接收所述放电使能信号以对所述门极线进行放电。

[0011] 实施方式中,每一个所述驱动级包含操作晶体管,所述操作晶体管的控制端接收所述时钟信号,所述操作晶体管的第一端或第二端连接所述输出端。

[0012] 实施方式中,所述空白期间介于所述驱动级的最末驱动级输出的所述门极驱动信号与下一个帧起始信号之间;优选地,所述空白期间介于所述驱动级的最末驱动级输出的所述门极驱动信号的降沿与下一个帧起始信号的升沿之间。

[0013] 实施方式中,所述控制电路还输出负电压源;所述放电晶体管的第一端连接所述输出端,第二端连接所述负电压源,控制端接收所述放电使能信号。

[0014] 实施方式中,所述放电使能信号的信号期间优选小于等于所述空白期间。

[0015] 本发明实施方式的集成门极驱动电路及液晶面板中,由于所述控制电路在所述空白期间不输出任何时钟信号至所述驱动级,导致所述驱动级浮接(floating)而出现输出端电压上升的情形。因此,本发明利用所述放电使能信号在所述空白期间对每一个驱动级的输出端进行放电,以避免所述输出端及液晶面板的门极线于所述空白期间出现电压浮动的情形。

附图说明

[0016] 图 1 显示已知集成门极驱动电路的方框示意图。

[0017] 图 2 显示图 1 的集成门极驱动电路的时序图。

[0018] 图 3 显示已知集成门极驱动电路的第一驱动级及最末驱动级的输出信号的示意图。

[0019] 图 4 显示本发明实施方式的液晶面板及集成门极驱动电路的示意图。

[0020] 图 5A 显示本发明实施方式的集成门极驱动电路的时序图。

[0021] 图 5B 显示本发明实施方式的集成门极驱动电路的单一驱动级的电路图。

[0022] 图 5C 显示图 5B 为第一驱动级的操作示意图。

具体实施方式

[0023] 为了让本发明的上述和其他目的、特征和优点能更明显,下文将配合附图作详细说明。在本发明的说明中,相同的元件以相同的符号表示,在此先说明。

[0024] 参照图 4 所示,其显示本发明实施方式的液晶面板的方框示意图。液晶面板 1 包含基板 10、薄膜晶体管阵列 11 及集成门极驱动电路 12。所述基板 10 可为一般液晶显示面板中,用于形成薄膜晶体管阵列的玻璃基板、可挠基板等。

[0025] 所述薄膜晶体管阵列 11 形成于所述基板 10 上,且包含多个门极线 GL_1 - GL_F 分别连接一列薄膜晶体管;其中,在基板上形成薄膜晶体管阵列的方式为已知且已记载于文献,故于此不再赘述。

[0026] 所述集成门极驱动电路 12 与所述薄膜晶体管阵列 11 共同形成于所述基板 10 上,用于驱动所述薄膜晶体管阵列 11。所述集成门极驱动电路 12 包含控制电路 121、多个驱动级 122_1 - 122_F 以及多个放电晶体管 DT_1 - DT_F ,所述放电晶体管 DT_1 - DT_F 的第一端分别连接所述驱动级 122_1 - 122_F 。

[0027] 所述控制电路 121 用于在帧期间 T_f 输出多个时钟信号 CLK 并于空白期间 T_b 输出放电使能信号或输出允许信号(Output Enable Signal) OE,参照图 5A;其中,所述控制电路 121 在所述空白期间 T_b 不输出所述时钟信号 CLK。所述控制电路 121 还提供负电压源 V_{SS} (或低电压源,例如 $-5 \sim -10$ 伏特,但不限于此)至每一个所述驱动级 122_1 - 122_F 及每一个所述放电晶体管 DT_1 - DT_F 。另一实施方式中,提供至所述驱动级 122_1 - 122_F 及提供至所述放电晶体管 DT_1 - DT_F 的负电压源或低电压源可以不相同。

[0028] 每一个所述驱动级 122_1 - 122_F 接收所述时钟信号 CLK 且均包含输出端,并通过所述输出端分别输出门极驱动信号输出 1- 输出 F 至一条所述门极线 GL_1 - GL_F 。可以了解的是,每一条所述门极线 GL_1 - GL_F 均用于驱动所述薄膜晶体管阵列 11 的一列薄膜晶体管(thin film transistor)。

[0029] 每一个所述放电晶体管 DT_1 - DT_F 连接一个所述驱动级 122_1 - 122_F 的输出端及一条所述门极线 GL_1 - GL_F ,接收所述放电使能信号 OE 以对所述输出端及相对的所述门极线 GL_1 - GL_F 进行放电。每一个所述放电晶体管 DT_1 - DT_F 包含第一端、第二端及控制端;其中,所述第一端连接所述输出端及一条所述门极线 GL_1 - GL_F ,所述第二端连接所述负电压源 V_{SS} ,所述控制端接收所述放电使能信号 OE 以对所述输出端及相对的所述门极线 GL_1 - GL_F 进行放电;亦即,当所述控制端接收所述放电使能信号 OE 时,所述放电晶体管 DT_1 - DT_F 开启以将所述输出端及相对的所述门极线 GL_1 - GL_F 通过所述第二端进行放电,例如此时放电至所述负电压源 V_{SS} 。本发明实施方式中,所述放电晶体管 DT_1 - DT_F 例如可为薄膜晶体管,其与所述驱动级 122_1 - 122_F 及所述薄膜晶体管阵列 11 共同形成于所述基板 10 上。另一实施方式中,所述放电晶体管 DT_1 - DT_F 可分别包含于所述驱动级 122_1 - 122_F 内。

[0030] 参照图 5A 所示,其显示本发明实施方式的集成门极驱动电路的时钟信号 CLK1-CLK4 及输出信号输出 1- 输出 F 的时序图。每一个帧期间 T_f 开始时,所述控制电路 121 先输出帧起始信号 STV (例如 STV1 及 STV2)至所述驱动级的第一驱动级 122_1 ;其中,所述帧期间 T_f 即为所述集成门极驱动电路 12 驱动所述门极线 GL_1 - GL_F 的期间。两相邻帧间,由于所述控制电路 121 不输出任何时钟信号亦不驱动任何门极线,因此称此时间区间为空白期间(blanking period)。

[0031] 所述空白期间 T_b 介于所述驱动级的最末驱动级 122_F 输出的所述门极驱动信号输出 F 与下一个帧起始信号 STV2 间;优选地,所述空白期间 T_b 介于所述驱动级的最末驱动级 122_F 输出的所述门极驱动信号输出 F 的降沿与下一个帧起始信号 STV2 的升沿之间。

[0032] 本发明实施方式的集成门极驱动电路及液晶面板在所述空白期间 T_b 输出所述放电使能信号 OE 至所述放电晶体管 DT_1 - DT_F , 以通过所述放电晶体管 DT_1 - DT_F 对所述输出端及所述门极线 GL_1 - GL_F 进行放电, 因此所述放电使能信号 OE 的信号期间 T_{OE} 优选小于等于所述空白期间 T_b 。

[0033] 参照图 5B, 其显示图 4 的集成门极驱动电路的第 N 驱动级 122_N 与第 N 放电晶体管 DT_N 的电路图。所述第 N 驱动级 122_N 包含第一晶体管 T_1 、第二晶体管 T_2 、第三晶体管 T_3 、第四晶体管 T_4 及第五晶体管 T_5 ; 其中, 所述晶体管 T_1 - T_5 例如为薄膜晶体管并与所述薄膜晶体管阵列 11 及所述放电晶体管 DT_1 - DT_F 共同形成于所述基板 10 上。所述第 N 驱动级 122_N 的输出端连接所述第 N 放电晶体管 DT_N 并输出门极驱动信号输出 N 以驱动一条门极线 GL_N 。

[0034] 所述第一晶体管 T_1 的第一端连接其控制端, 并接收帧起始信号 STV 或前一驱动级 122_{N-1} 输出的门极驱动信号输出 (N-1), 第二端连接至节点 Y; 其中, 所述节点 Y 通过电容 C_Y 连接至所述第 N 驱动级 122_N 的输出端及所述门极线 GL_N ; 所述电容 C_Y 用于维持所述节点 Y 的电位, 其他实施方式中所述电容 C_Y 可不予实施。

[0035] 所述第二晶体管 T_2 的第一端接收所述时钟信号 CLK, 第二端连接所述输出端及所述门极线 GL_N , 控制端连接所述节点 Y。本实施方式中, 所述第一端例如依序接收图 5A 的时钟信号 CLK1、CLK2、CLK3 及 CLK4。

[0036] 所述第三晶体管 T_3 的第一端连接所述输出端及所述门极线 GL_N , 控制端接收所述时钟信号 CLK, 第二端连接所述负电压源 V_{SS} 。本实施方式中, 所述控制端例如依序接收图 5A 的时钟信号 CLK3、CLK4、CLK1 及 CLK2。

[0037] 所述第四晶体管 T_4 的第一端连接所述第一晶体管 T_1 的第一端及控制端, 以接收所述帧起始信号 STV 或前一驱动级 122_{N-1} 的门极驱动信号输出 (N-1), 第二端连接所述节点 Y, 控制端接收所述时钟信号 CLK。本实施方式中, 所述控制端例如依序接收图 5A 的时钟信号 CLK4、CLK1、CLK2 及 CLK3。

[0038] 所述第五晶体管 T_5 的第一端连接所述节点 Y, 第二端连接所述负电压源 V_{SS} , 控制端连接所述第 N 驱动级 122_N 后第二驱动级 122_(N+2) 的门极驱动信号输出 (N+2)。

[0039] 参照图 5C 所示, 其显示图 5B 为第一驱动级的操作示意图。

[0040] 在第一驱动级 122₁ 中, 所述控制电路 121 于帧期间 T_f 开始时输出帧起始信号 STV1 至所述第一驱动级 122₁, 接着所述控制电路 121 依序输出时钟信号 CLK1、CLK2、CLK3 及 CLK4 至所述第一驱动级 122₁ (如图 5A 所示)。所述晶体管 T_1 - T_5 依序接收所述帧起始信号 STV1 及所述时钟信号 CLK1-CLK4 时的启闭状态、所述节点 Y 及所述门极驱动信号输出 1 的电压状态显示于图 5C, 其中 H 表示数位电压“1”而 L 表示数位电压“0”, 且 H 及 L 的实际电压值根据实际应用决定。例如一种实施方式中, H 可为 +15 伏特而 L 可为 -5 伏特, 但并不限于此。

[0041] 图 5A 中, 当最末驱动级 122_F 输出门极驱动信号输出 F 以驱动所述薄膜晶体管阵列 11 的最后一门极线 GL_F 时, 则完成一个帧期间 T_f 。接着, 当所述控制电路 121 再次发出帧起始信号 STV2 时则开始下一个帧期间 T_f 。更详细地, 所述帧期间 T_f 为所述集成门极驱动电路 12 驱动所述门极线 GL_1 - GL_F 的期间; 亦即, 所述帧起始信号 STV 的升沿至最末驱动级 122_F 输出的所述门极驱动信号输出 F 的降沿的期间。

[0042] 必须说明的是, 本发明中每一个驱动级的电路图并不限于图 5B 所示, 只要是包含

操作晶体管及输出端,且所述操作晶体管的控制端接收所述时钟信号 CLK 以于所述帧期间 T_f 的至少一部分期间对所述操作晶体管的第一端或第二端所连接的所述输出端及相对的所述门极线进行放电的电路结构均可。例如,图 5B 中所述操作晶体管为所述第三晶体管 T_3 ,当所述第三晶体管 T_3 的控制端被时钟信号开启时则对所述操作晶体管的第一端所连接的所述输出端及相对的所述门极线进行放电。必须说明的是,所述输出端的电荷并不限于通过所述操作晶体管被放电至所述负电压源 V_{ss} 或低电压源,亦可放电至所述时钟信号的信号源。本发明中,只要于每一个驱动级的输出端设置如图 4 的放电晶体管 DT_1 - DT_F 并于两张图像帧间的空白期间 T_b 发出所述放电使能信号 OE 至所述放电晶体管 DT_1 - DT_F 以对所述输出端及门极线 GL_1 - GL_F 放电即可,故可适用于各式驱动级的电路结构。所述空白期间 T_b 及/或所述帧期间 T_f 可根据实际的面板尺寸决定。

[0043] 综上所述,已知集成门极驱动电路在两张图像帧的空白期间,会出现输出电压浮动的情形而影响图像的输出。因此,本发明还提出一种集成门极驱动电路及液晶面板(图 4),其通过在两张图像帧间的空白期间利用放电晶体管对输出电压进行放电,以有效消除电压浮动的情形。

[0044] 虽然本发明已以前述实施方式公开,然其并非用于限定本发明,任何本发明所属技术领域中的技术人员,在不脱离本发明的精神和范围内,可作各种变动与修改。因此本发明的保护范围应以所附的权利要求书所界定的范围为准。

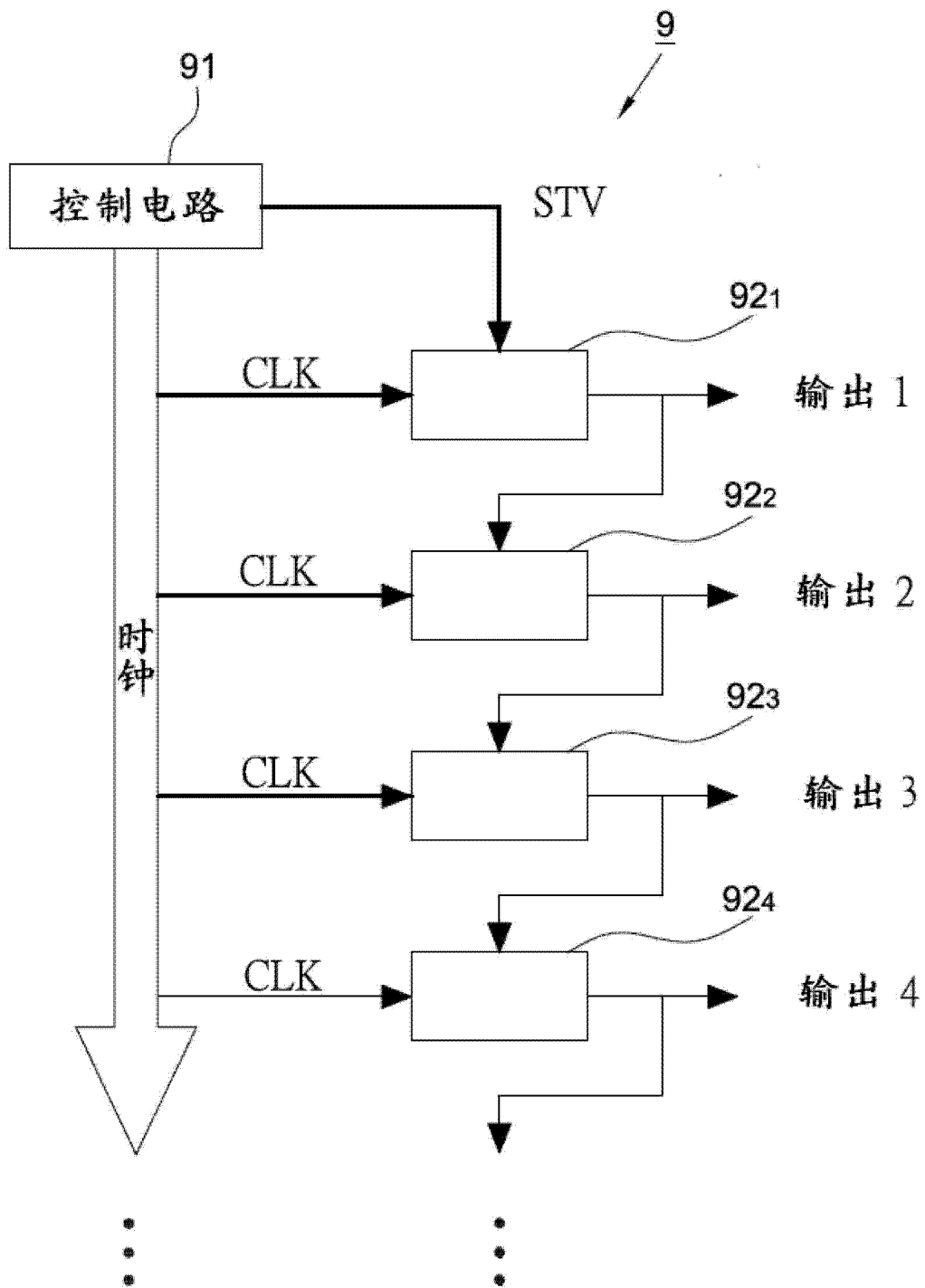


图 1

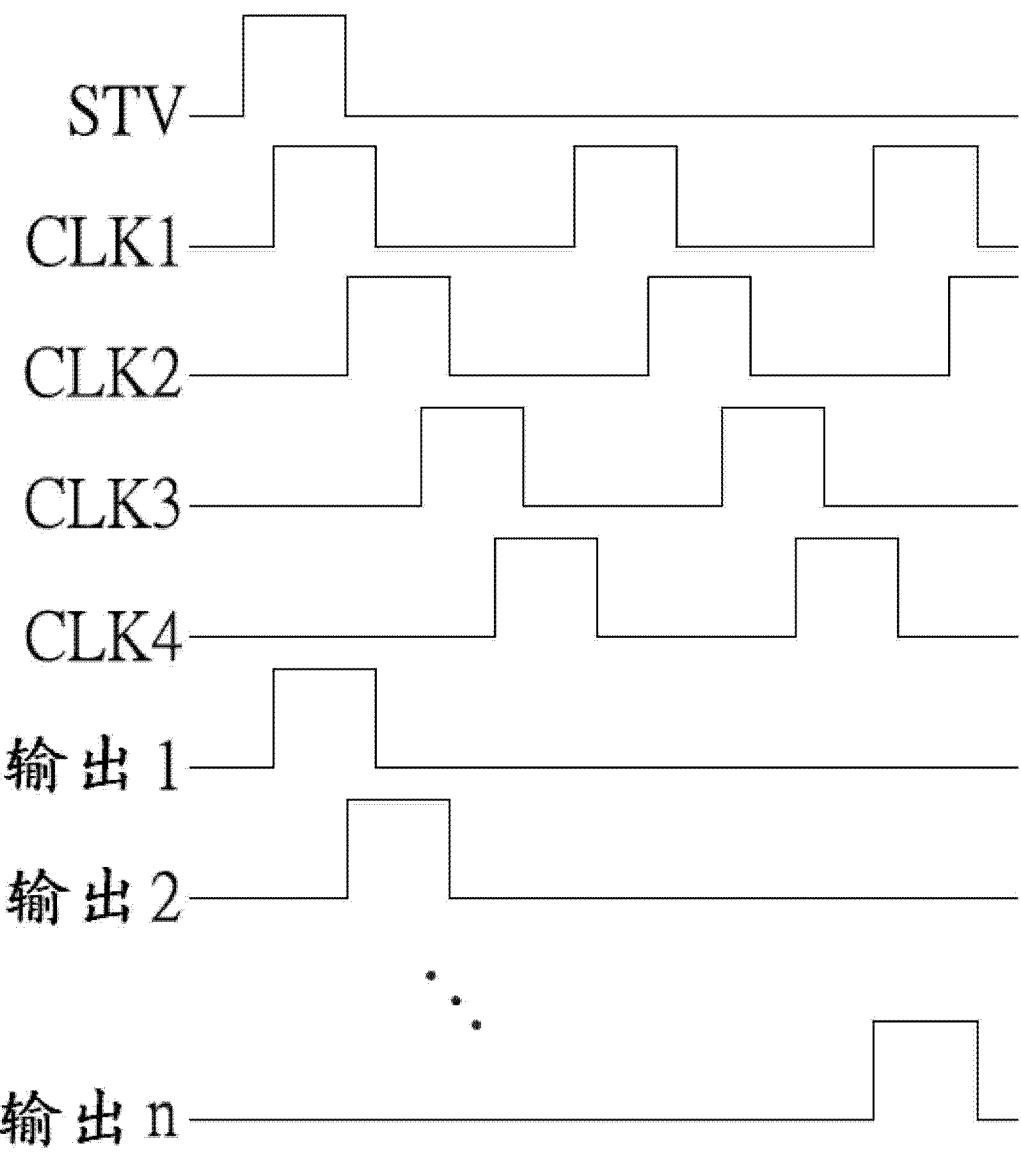


图 2

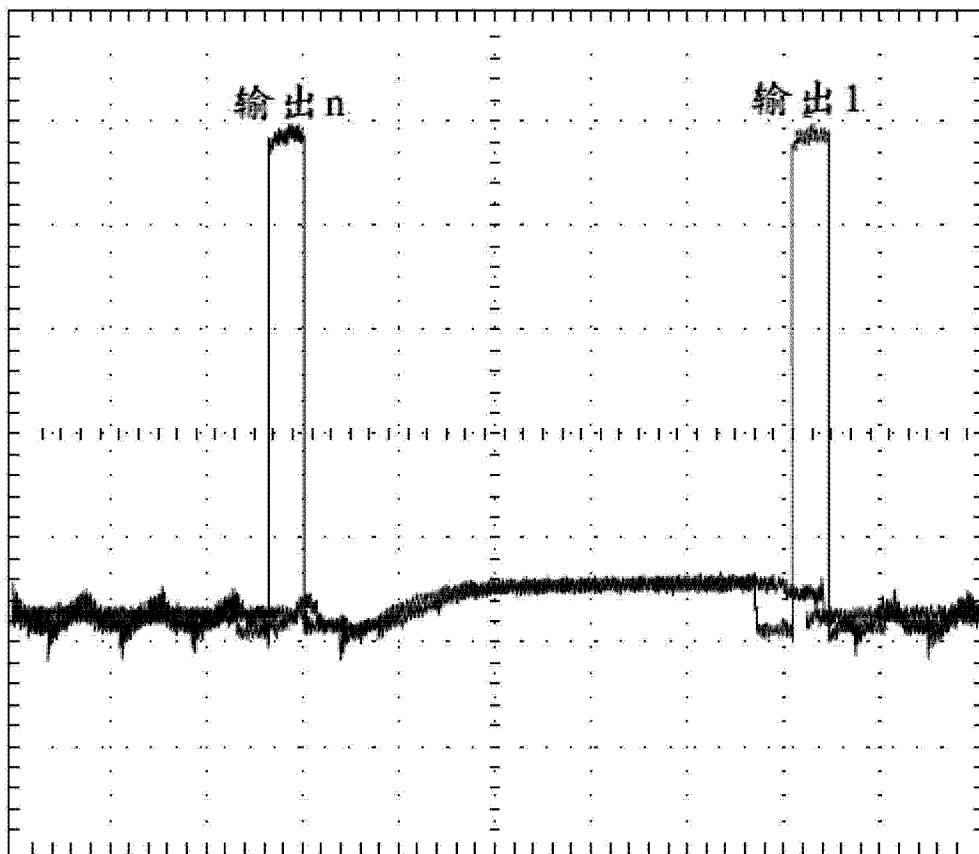


图 3

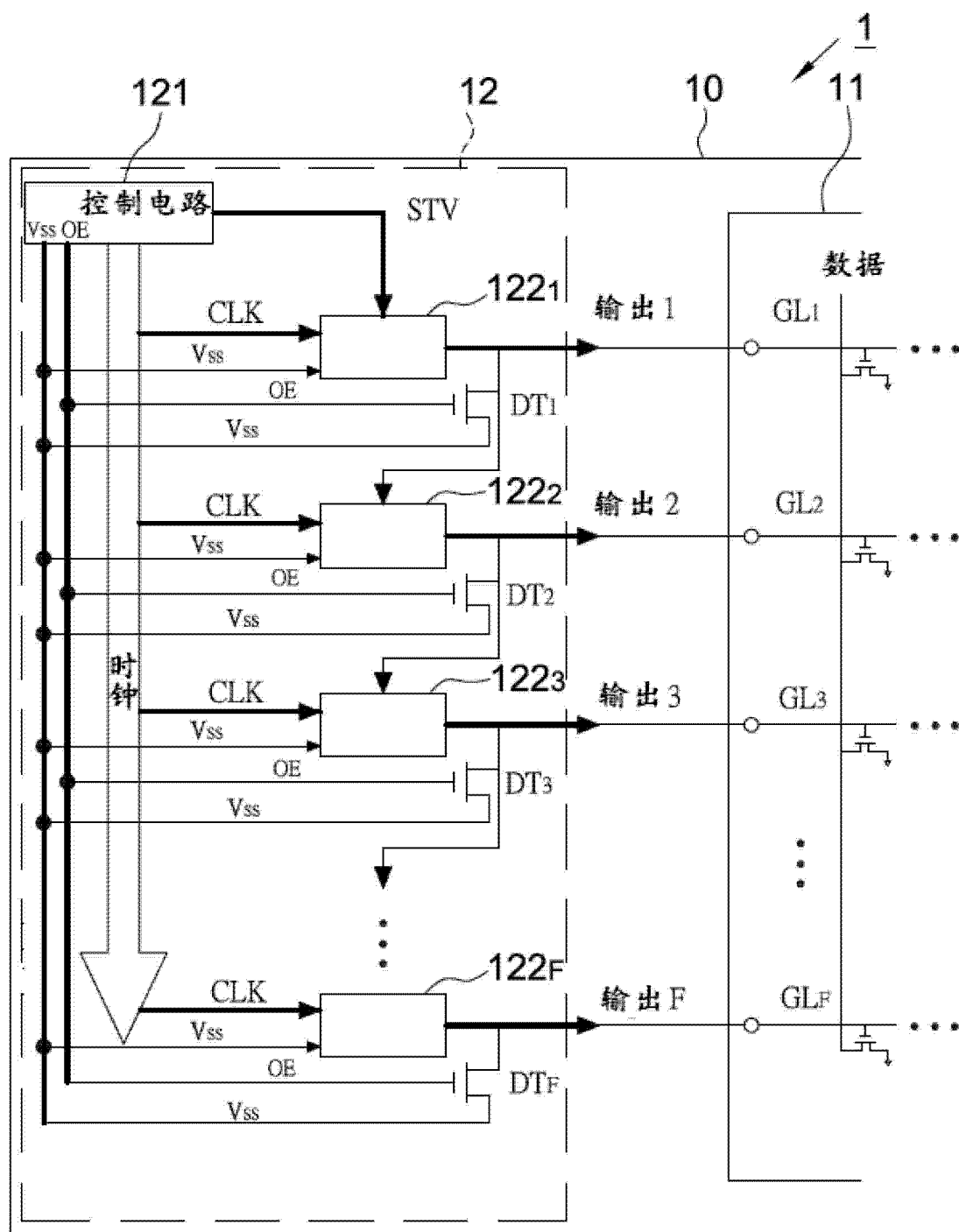


图 4

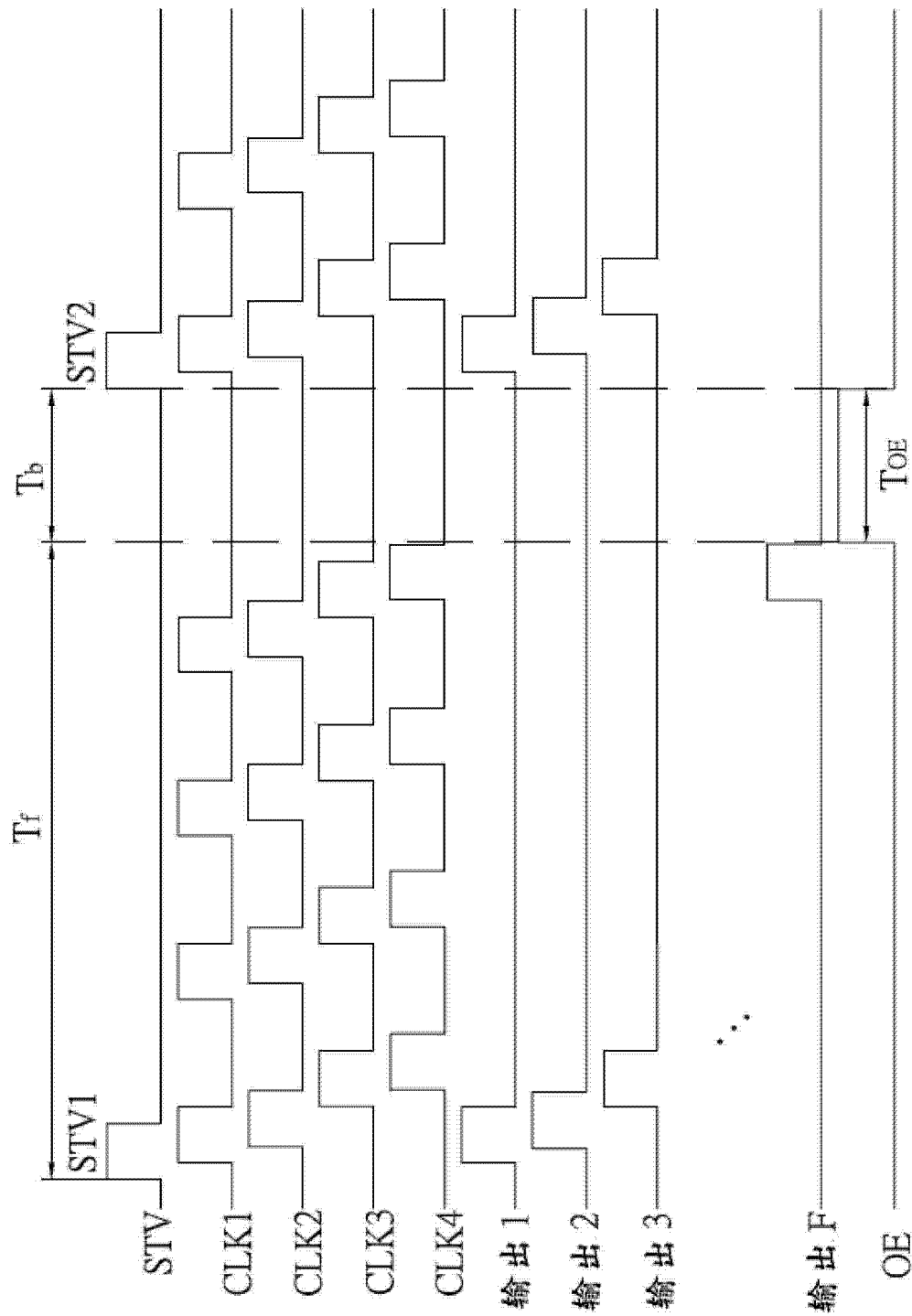


图 5A

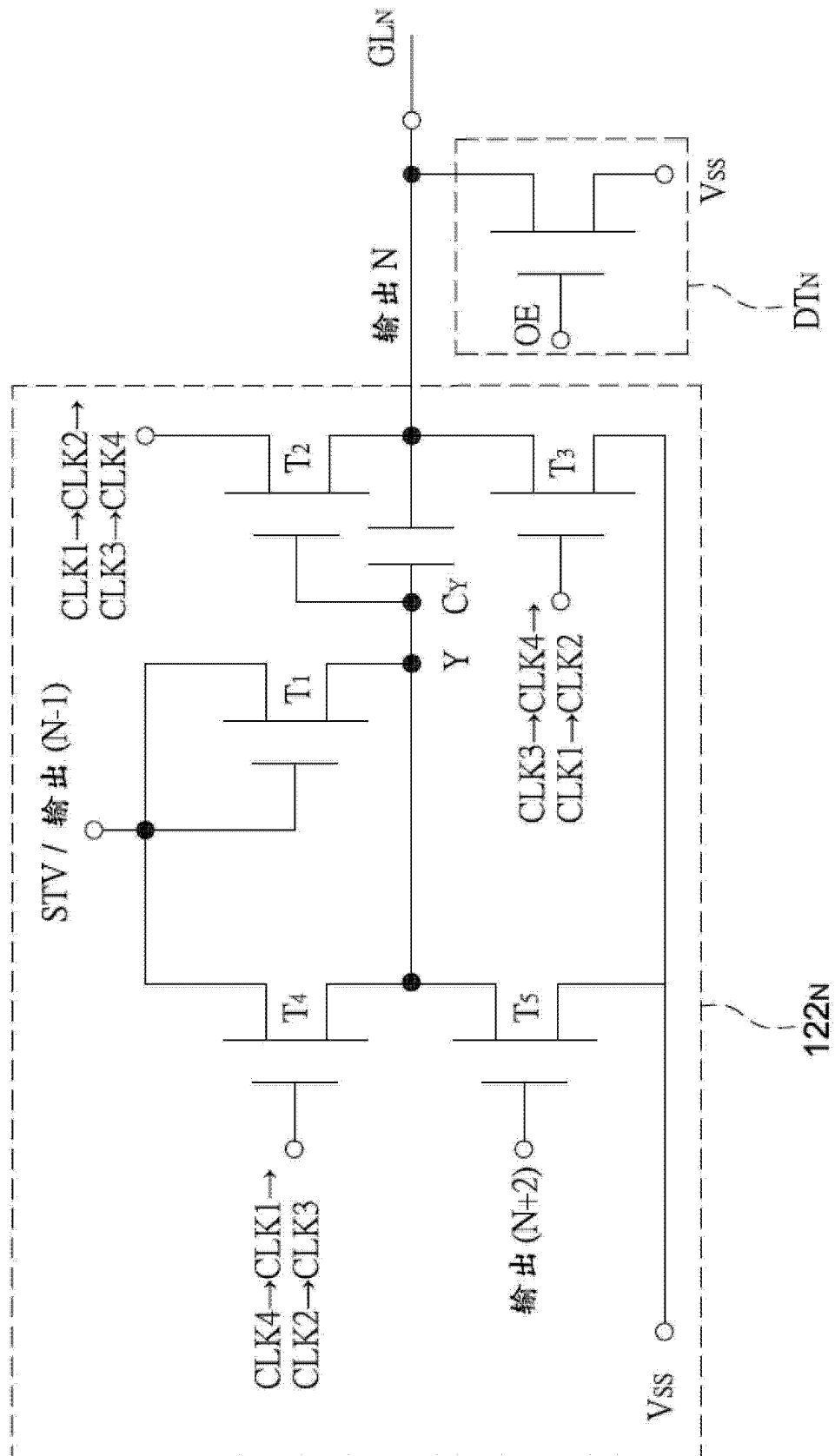


图 5B

信号升沿	STV	CLK1	CLK2	CLK3	CLK4
节点Y	H	H	H	L	L
输出1	H STV、CLK1 重叠期间	H	H CLK1、CLK2 重叠期间	L	L
T ₁	开	开 STV、CLK1 重叠期间	开 STV、CLK2 重叠期间	关	关
T ₂	开	开	开	关	关
T ₃	关	关	关	开	关
T ₄	关	关	关	关	开
T ₅	关	关	关	开	关

图 5C

一种集成门极驱动电路，包含控制电路、多个驱动级以及多个放电晶体管。所述控制电路用于在帧期间输出多个时钟信号并在空白期间输出放电使能信号。每一个所述驱动级接收所述时钟信号并包含用于输出门极驱动信号的输出端。每一个所述放电晶体管连接一个所述驱动级的所述输出端，接收所述放电使能信号以对所述输出端进行放电，藉以消除所述输出端在所述空白期间的电压浮动。

