



(12) 发明专利

(10) 授权公告号 CN 103217842 B

(45) 授权公告日 2016.06.08

(21) 申请号 201210019086.3

(22) 申请日 2012.01.20

(73) 专利权人 群康科技(深圳)有限公司

地址 518109 广东省深圳市宝安区龙华镇富
士康科技工业园区E区4栋1楼

专利权人 群创光电股份有限公司

(72) 发明人 宋立伟 王忠益 汪安昌 谢耀联

(74) 专利代理机构 北京三友知识产权代理有限
公司 11127

代理人 任默闻

(56) 对比文件

US 5757444 A, 1998.05.26,

US 5563727 A, 1996.10.08,

CN 1908791 A, 2007.02.07,

US 5757444 A, 1998.05.26,

CN 101666949 A, 2010.03.10,

审查员 陈丽丽

(51) Int. Cl.

G02F 1/1362(2006.01)

G02F 1/1343(2006.01)

G02F 1/133(2006.01)

G02F 1/1333(2006.01)

H01L 27/02(2006.01)

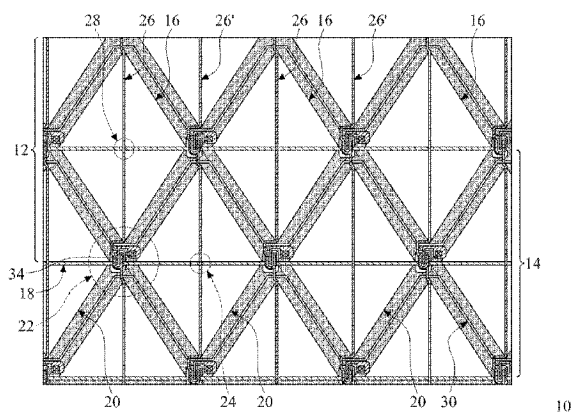
权利要求书1页 说明书4页 附图5页

(54) 发明名称

像素结构

(57) 摘要

本发明提供一种像素结构,包括:一第一次像素列,包括多个次像素,电性连接于一第一扫描线;以及一第二次像素列,包括多个次像素,其中该第一扫描线通过该第二次像素列的所述次像素中的一区域。本发明利用相邻次像素的错位排列使例如第一次像素列的扫描线得以埋藏于例如第二次像素列中对应至液晶暗纹的区域,此作法即是将不透光的金属走线与液晶效率差的液晶暗纹作结合,而达到最大化穿透率的目的,同时,因例如第二次像素列的像素电极所跨过的走线为例如第一次像素列的扫描线,因此,电容耦合效应不会增加,明显降低了现有技术为使穿透率最大化而伴随产生的副作用。



1. 一种像素结构,其特征在于,所述的像素结构包括:
 - 第一扫描线;
 - 第一次像素列,包括多个次像素,电性连接于所述第一扫描线;以及
 - 第二次像素列,包括多个次像素,其中所述第一扫描线通过所述第二次像素列的所述次像素中的一液晶暗纹区以及所述第一次像素列的所述次像素的边缘。
2. 如权利要求1所述的像素结构,其特征在于,所述第一次像素列的所述次像素与所述第二次像素列的所述次像素为矩形、菱形或多边形。
3. 如权利要求1所述的像素结构,其特征在于,所述第一次像素列的所述次像素包括红色、蓝色或绿色次像素其中之一或其组合。
4. 如权利要求1所述的像素结构,其特征在于,所述第二次像素列的所述次像素包括红色、蓝色或绿色次像素其中之一或其组合。
5. 如权利要求1所述的像素结构,其特征在于,所述第二次像素列的所述次像素分别设置于所述第一次像素列的所述次像素之间,以使所述第一次像素列的所述次像素与所述第二次像素列的所述次像素呈错位排列态样。
6. 如权利要求1所述的像素结构,其特征在于,所述的像素结构更包括多条第一信号线,通过所述第一次像素列的所述次像素中的一区域。
7. 如权利要求6所述的像素结构,其特征在于,所述第一信号线通过所述第一次像素列的所述次像素中的所述区域对应至一液晶暗纹区。
8. 如权利要求6所述的像素结构,其特征在于,所述的像素结构更包括多条第二信号线,通过所述第二次像素列的所述次像素中的一区域。
9. 如权利要求8所述的像素结构,其特征在于,所述第二信号线通过所述第二次像素列的所述次像素中的所述区域对应至一液晶暗纹区。
10. 如权利要求1所述的像素结构,其特征在于,所述的像素结构更包括多条共用电极,设置于所述第一次像素列的所述次像素与所述第二次像素列的所述次像素的边缘。
11. 如权利要求10所述的像素结构,其特征在于,所述共用电极呈锯齿状或凹凸状。
12. 如权利要求6所述的像素结构,其特征在于,所述第一扫描线与所述第一信号线垂直。
13. 如权利要求1所述的像素结构,其特征在于,所述第一扫描线通过所述第二次像素列的所述次像素的中心位置。
14. 如权利要求8所述的像素结构,其特征在于,所述的像素结构更包括多个驱动元件,其中每一驱动元件同时控制一条第一信号线与一条第二信号线。
15. 如权利要求1所述的像素结构,其特征在于,所述的像素结构更包括多个驱动晶体管,其中所述驱动晶体管电性连接于所述第一次像素列的所述次像素,并设置于所述第二次像素列的两相邻所述次像素之间。

像素结构

技术领域

[0001] 本发明是有关于一种像素结构,特别是有关于一种高穿透率及可有效控制电容耦合效应的像素结构。

背景技术

[0002] 在垂直配向(vertical alignment,VA)的广视角技术中,液晶分子在其不同相位交界处的效率不佳,致整体面板的穿透率下降;另外,在半导体工艺中由于金属走线是不透光的,亦会导致面板穿透率下降;一般而言,在像素电极的设计上会最佳化穿透率,例如将液晶效率不佳的面积减少是设计者的共识,但,此动作往往带来光学品味上的问题,例如:电容耦合效应过大,产生串音现象,或是正负半周电压对称性过差,致制造生产难度提升,良率下降,以及产品信赖性不佳等。

[0003] "Feedthrough"是晶体管由元件打开至元件关闭时所产生的电容耦合效应,因电压是由高至低(以CM1公司为例),因此,耦合方向是将像素电极的电压向下拉扯;液晶分子会在正负半周的交流状态下驱动,目的是为防止液晶分子极化而失去原本特性;此时,若feedthrough过大会使正负半周对称性变差,进而衍生出制造上及光学品味上的问题。

发明内容

[0004] 本发明的一实施例,提供一种像素结构,包括:一第一次像素列,包括多个次像素,电性连接于一第一扫描线;以及一第二次像素列,包括多个次像素,其中该第一扫描线通过该第二次像素列的所述次像素中的一区域。

[0005] 该第一次像素列与该第二次像素列的所述次像素为矩形、菱形或多边形。

[0006] 该第一次像素列的所述次像素包括红色、蓝色或绿色次像素其中之一或其组合。

[0007] 该第二次像素列的所述次像素包括红色、蓝色或绿色次像素其中之一或其组合。

[0008] 该第一扫描线通过该第二次像素列的所述次像素中的该区域对应至一液晶暗纹区。

[0009] 该第二次像素列的所述次像素分别设置于该第一次像素列的所述次像素之间,以使该第一次像素列的所述次像素与该第二次像素列的所述次像素呈错位排列态样。

[0010] 本发明像素结构更包括多条第一信号线,通过该第一次像素列的所述次像素中的一区域。

[0011] 所述第一信号线通过该第一次像素列的所述次像素中的该区域对应至一液晶暗纹区。

[0012] 本发明像素结构更包括多条第二信号线,通过该第二次像素列的所述次像素中的一区域。

[0013] 所述第二信号线通过该第二次像素列的所述次像素中的该区域对应至一液晶暗纹区。

[0014] 本发明像素结构更包括多条共用电极,设置于该第一次像素列与该第二次像素列

的所述次像素的边缘。

[0015] 所述共用电极呈锯齿状或凹凸状。

[0016] 该第一扫描线通过该第一次像素列的所述次像素的边缘,并与所述第一信号线垂直。

[0017] 该第一扫描线通过该第二次像素列的所述次像素的中心位置。

[0018] 本发明像素结构更包括多个驱动元件,其中每一驱动元件同时控制一条第一信号线与一条第二信号线。

[0019] 本发明像素结构更包括多个驱动晶体管,其中所述驱动晶体管电性连接于该第一次像素列的所述次像素,并设置于该第二次像素列的两相邻次像素之间。

[0020] 本发明利用相邻(不同列)次像素的错位排列使例如第一次像素列的扫描线(scan line)得以埋藏于例如第二次像素列中对应至液晶暗纹的区域,此作法即是将不透光的金属走线(例如扫描线及信号线)与液晶效率差的液晶暗纹作结合,而达到最大化穿透率的目的,同时,因例如第二次像素列的像素电极(ITO)所跨过的走线为例如第一次像素列的扫描线,因此,电容耦合效应("feedthrough")不会增加,明显降低了现有技术为使穿透率最大化而伴随产生的副作用。

[0021] 为让本发明的上述目的、特征及优点能更明显易懂,下文特举一较佳实施例,作详细说明如下:

附图说明

[0022] 图1A是根据本发明的一实施例,揭露一种像素结构的上视图;

[0023] 图1B是根据本发明的一实施例,揭露一种像素结构的上视图;

[0024] 图2是根据本发明的一实施例,揭露一种像素结构的上视图;

[0025] 图3A是根据本发明的一实施例,揭露一种像素结构的上视图;以及

[0026] 图3B是根据本发明的一实施例,揭露一种像素结构的上视图。

[0027] 附图标号:

[0028] 10、100~像素结构;

[0029] 12、120~第一次像素列;

[0030] 14、140~第二次像素列;

[0031] 15~第三次像素列;

[0032] 16、20、160、200、21、23、25~次像素;

[0033] 17~第四次像素列;

[0034] 18、180~第一扫描线;

[0035] 19~第五次像素列;

[0036] 22、220~次像素的边缘;

[0037] 24、28、240、280~次像素的中心位置;

[0038] 26、260~第一信号线;

[0039] 26'、260'~第二信号线;

[0040] 30、300~共用电极;

[0041] 32~驱动元件;

- [0042] 34、340～驱动晶体管；
[0043] B～蓝色次像素；
[0044] G～绿色次像素；
[0045] R～红色次像素。

具体实施方式

[0046] 请参阅图1A,根据本发明的一实施例,说明一种像素结构。像素结构10包括一第一次像素列12与一第二次像素列14。第一次像素列12包括多个次像素16,电性连接于一第一扫描线18。第二次像素列14包括多个次像素20。值得注意的是,第一扫描线18通过第二次像素列14的次像素20中的一区域,例如第一扫描线18通过第二次像素列14的次像素20的中心位置24。

[0047] 在此实施例中,第一次像素列12与第二次像素列14的次像素16、20为菱形。然而,本发明并不限于此,在其他实施例中,第一次像素列12与第二次像素列14的次像素16、20亦可为矩形或多边形。请参阅图1B,根据本发明的另一实施例,说明一种像素结构。像素结构100包括一第一次像素列120与一第二次像素列140。第一次像素列120包括多个次像素160,电性连接于一第一扫描线180。第二次像素列140包括多个次像素200。值得注意的是,第一扫描线180通过第二次像素列140的次像素200中的一区域,例如第一扫描线180通过第二次像素列140的次像素200的中心位置240。

[0048] 在此实施例中,第一次像素列120与第二次像素列140的次像素160、200为矩形。

[0049] 接着,请参阅图3A至图3B,第一次像素列12的次像素16可包括红色、蓝色与绿色次像素的组合,例如红色次像素R、蓝色次像素B与绿色次像素G以横向排列(如图3A所示)。同样地,第二次像素列14的次像素20亦可包括红色、蓝色与绿色次像素的组合,例如红色次像素R、蓝色次像素B与绿色次像素G以横向排列(如图3A所示)。此外,请参阅图3B,第一次像素列12的次像素16亦可包括红色、蓝色或绿色次像素其中之一,例如红色次像素R,第二次像素列14的次像素20亦可包括红色、蓝色或绿色次像素其中之一,例如绿色次像素G,第三次像素列15的次像素21可包括红色、蓝色或绿色次像素其中之一,例如蓝色次像素B,第四次像素列17的次像素23可包括红色、蓝色或绿色次像素其中之一,例如红色次像素R,第五次像素列19的次像素25可包括红色、蓝色或绿色次像素其中之一,例如绿色次像素G,使得例如红色次像素16(R)、蓝色次像素21(B)与绿色次像素25(G)以例如纵向的方式排列。

[0050] 值得注意的是,第一扫描线18通过第二次像素列14的次像素20中的区域可对应至一液晶暗纹区。此处所指的液晶暗纹区是由于位在不同液晶排列方向区域交界的液晶无法因应电场而正确排列所致。此外,由图1A可看出,第二次像素列14的次像素20分别设置于第一次像素列12的次像素16之间,以使第一次像素列12的次像素16与第二次像素列14的次像素20呈错位排列态样。

[0051] 此外,仍请参阅图1A,本发明像素结构10更包括多条第一信号线26,通过第一次像素列12的次像素16中对应至一液晶暗纹区的区域,例如第一信号线26通过第一次像素列12的次像素16的中心位置28。本发明像素结构10更包括多条第二信号线26',通过第二次像素列14的次像素20中对应至一液晶暗纹区的区域,例如第二信号线26'通过第二次像素列14的次像素20的中心位置24。

[0052] 值得注意的是,第一扫描线18通过第一次像素列12的次像素16的边缘22,并与第一信号线26垂直。

[0053] 本发明像素结构10更包括多条共用电极30,设置于第一次像素列12与第二次像素列14的次像素16、20的边缘,例如共用电极30呈锯齿状(zigzag)分布态样,如图1A所示。

[0054] 本发明像素结构10更包括多个驱动晶体管34,电性连接于第一次像素列12的次像素16,并设置于第二次像素列14的两相邻次像素(20、20)之间。

[0055] 在另一实施例中,请参阅图1B,本发明像素结构100更包括多条第一信号线260,通过第一次像素列120的次像素160中对应至一液晶暗纹区的区域,例如第一信号线260通过第一次像素列120的次像素160的中心位置280。本发明像素结构100更包括多条第二信号线260',通过第二次像素列140的次像素200中对应至一液晶暗纹区的区域,例如第二信号线260'通过第二次像素列140的次像素200的中心位置240。

[0056] 值得注意的是,第一扫描线180通过第一次像素列120的次像素160的边缘220,并与第一信号线260垂直。

[0057] 本发明像素结构100更包括多条共用电极300,设置于第一次像素列120与第二次像素列140的次像素160、200的边缘,例如共用电极300呈凹凸状分布态样,如图1B所示。

[0058] 本发明像素结构100更包括多个驱动晶体管340,电性连接于第一次像素列120的次像素160,并设置于第二次像素列140的两相邻次像素(200、200)之间。

[0059] 此外,请参阅图2,本发明像素结构10更包括多个驱动元件32,值得注意的是,每一驱动元件32可同时控制一条第一信号线26与一条第二信号线26'。

[0060] 本发明利用相邻(不同列)次像素的错位排列使例如第一次像素列的扫描线(scan line)得以埋藏于例如第二次像素列中对应至液晶暗纹的区域,此作法即是将不透光的金属走线(例如扫描线及信号线)与液晶效率差的液晶暗纹作结合,而达到最大化穿透率的目的,同时,因例如第二次像素列的像素电极(ITO)所跨过的走线为例如第一次像素列的扫描线,因此,电容耦合效应("feedthrough")不会增加,明显降低了现有技术为使穿透率最大化而伴随产生的副作用。

[0061] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作更动与润饰,因此本发明的保护范围当以权利要求所界定的为准。

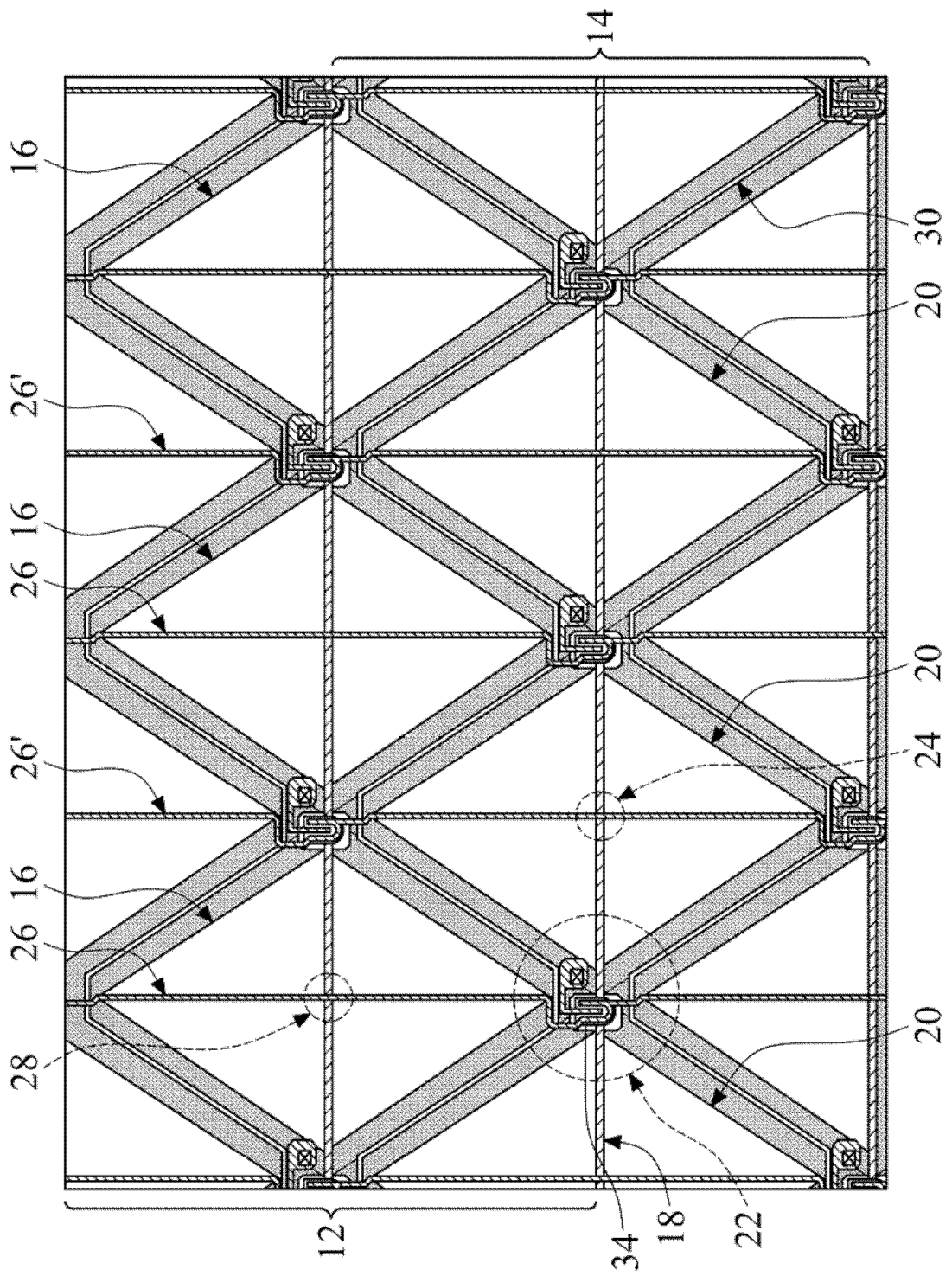


图1A

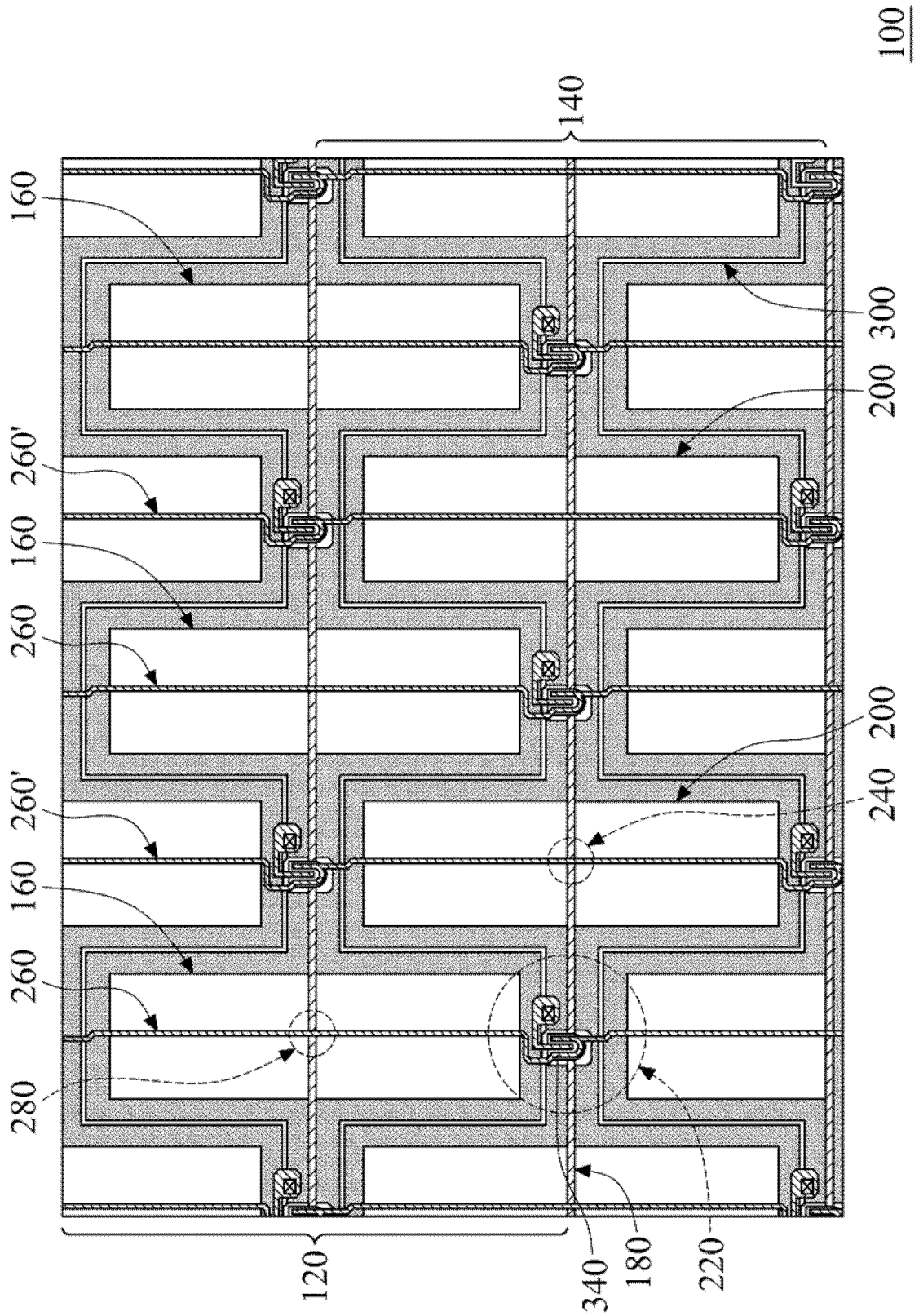


图1B

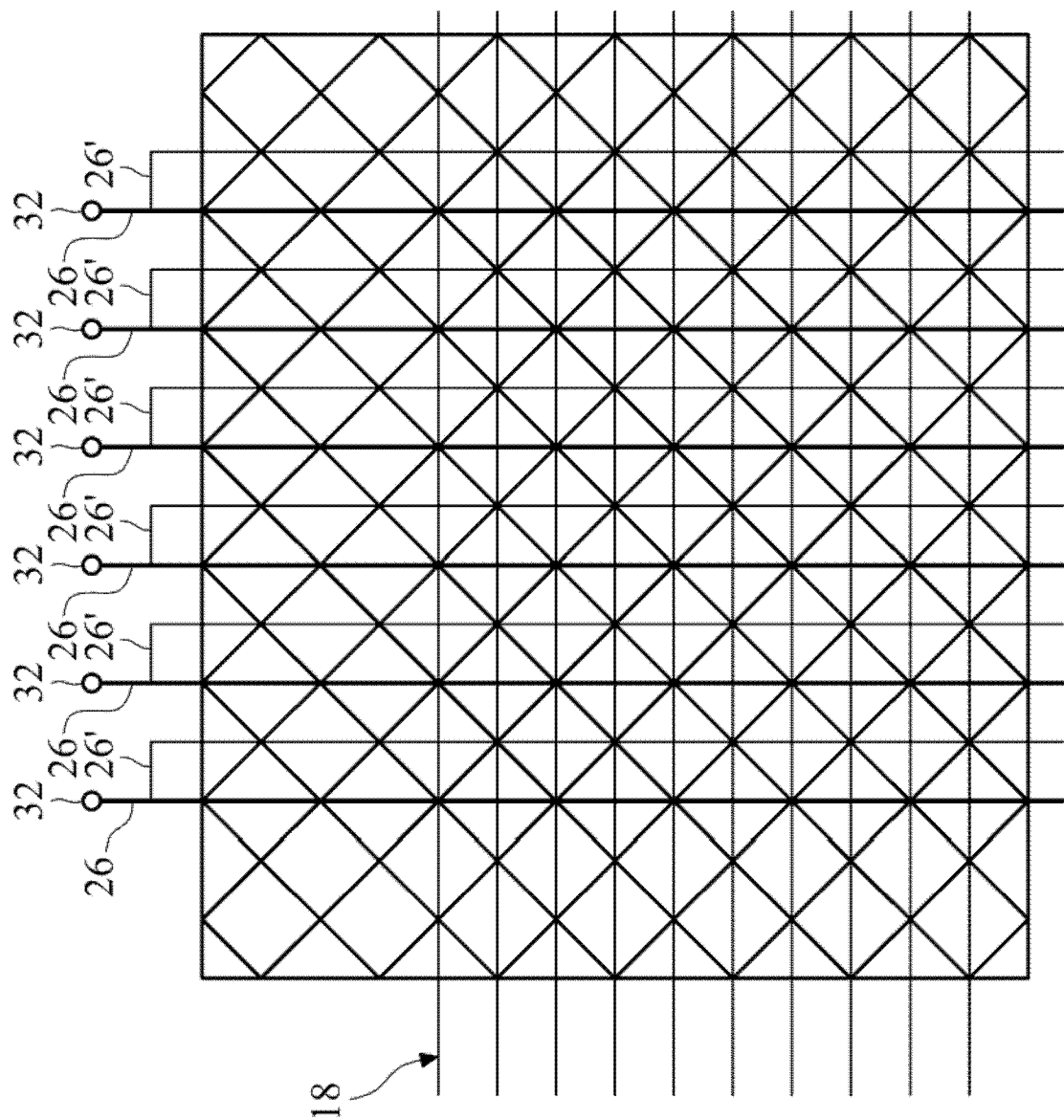


图2

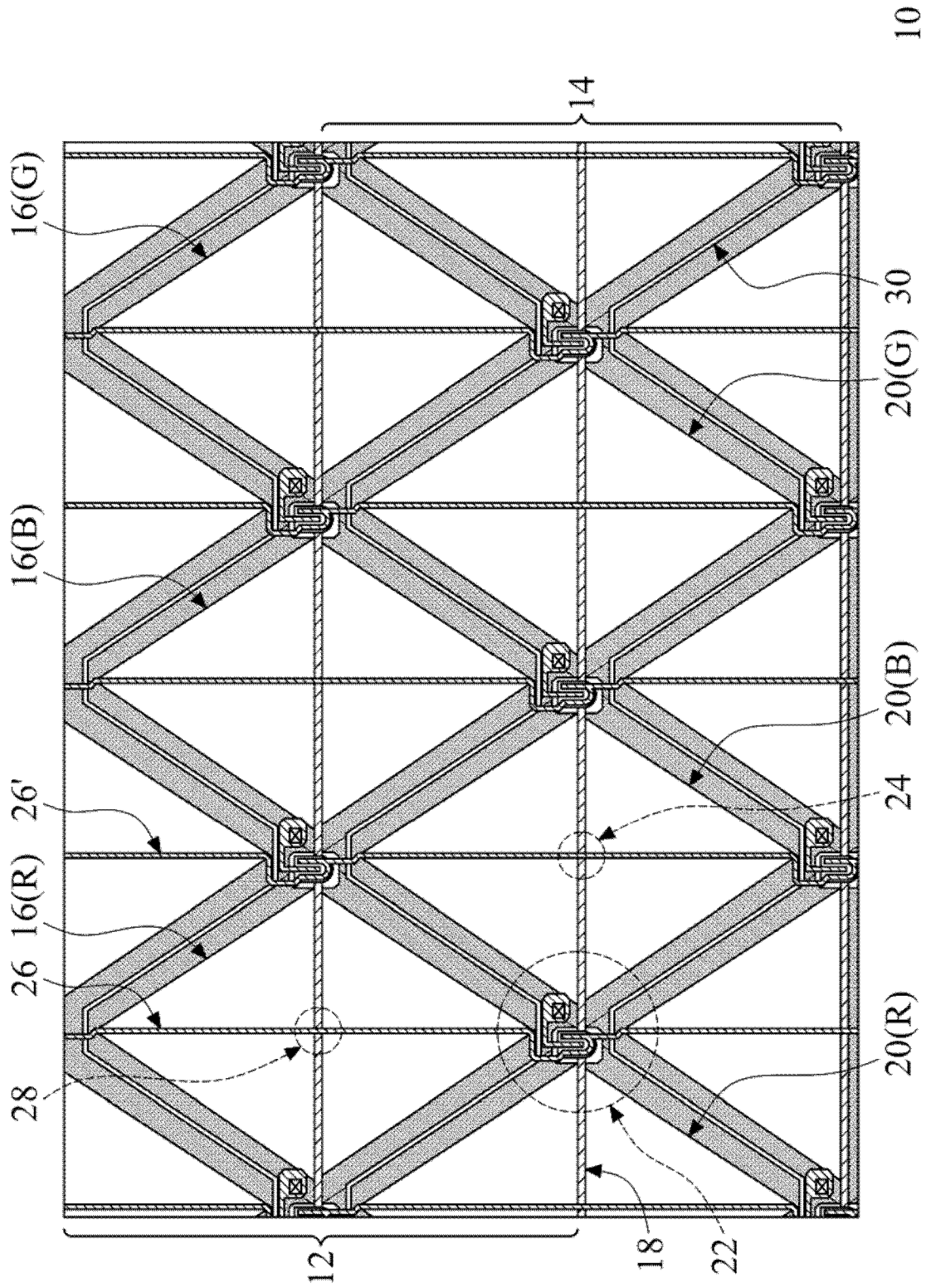


图3A

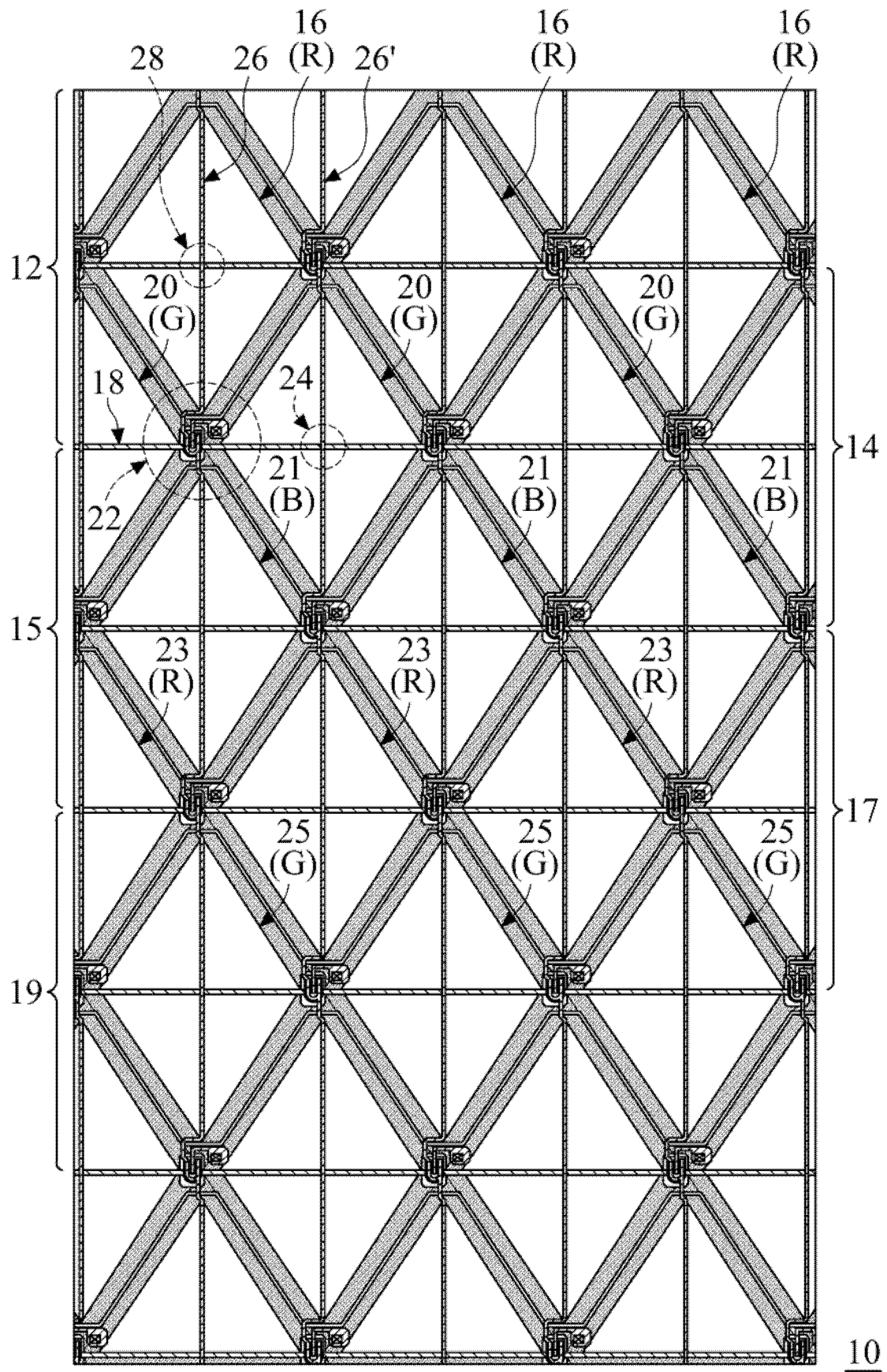


图3B

专利名称(译)	像素结构		
公开(公告)号	CN103217842B	公开(公告)日	2016-06-08
申请号	CN201210019086.3	申请日	2012-01-20
[标]申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
申请(专利权)人(译)	群康科技(深圳)有限公司 奇美电子股份有限公司		
当前申请(专利权)人(译)	群康科技(深圳)有限公司 群创光电股份有限公司		
[标]发明人	宋立伟 王忠益 汪安昌 谢耀联		
发明人	宋立伟 王忠益 汪安昌 谢耀联		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/133 G02F1/1333 H01L27/02		
审查员(译)	陈丽丽		
其他公开文献	CN103217842A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素结构，包括：一第一次像素列，包括多个次像素，电性连接于一第一扫描线；以及一第二次像素列，包括多个次像素，其中该第一扫描线通过该第二次像素列的所述次像素中的一区域。本发明利用相邻次像素的错位排列使例如第一次像素列的扫描线得以埋藏于例如第二次像素列中对应至液晶暗纹的区域，此作法即是将不透光的金属走线与液晶效率差的液晶暗纹作结合，而达到最大化穿透率的目的，同时，因例如第二次像素列的像素电极所跨过的走线为例如第一次像素列的扫描线，因此，电容耦合效应不会增加，明显降低了现有技术为使穿透率最大化而伴随产生的副作用。

