



(12) 发明专利申请

(10) 申请公布号 CN 103000151 A

(43) 申请公布日 2013. 03. 27

(21) 申请号 201210500711. 6

(22) 申请日 2012. 11. 29

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 合肥京东方光电科技有限公司

(72) 发明人 刘金良

(74) 专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华

(51) Int. Cl.

G09G 3/36 (2006. 01)

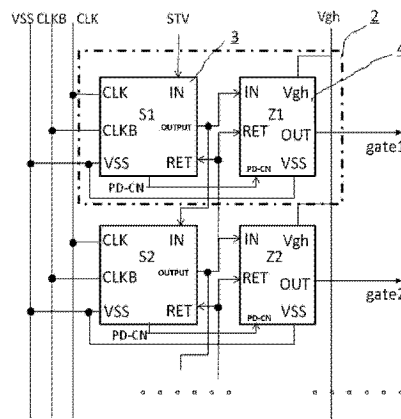
权利要求书 1 页 说明书 6 页 附图 4 页

(54) 发明名称

一种栅极驱动装置及显示设备

(57) 摘要

本发明公开了一种栅极驱动装置及显示设备,用以解决因为液晶显示面板内与栅线相关的线路发生短路时,导致移位寄存器输出信号异常进而引起全屏显示异常。本发明实施例提供一种栅极驱动装置,包括多个级联的栅极驱动单元,其中每一级栅极驱动单元包括移位寄存器单元,每一级栅极驱动单元还包括中继单元,其中,该中继单元的上拉控制端连接移位寄存器单元的输出端子,复位信号端连接移位寄存器单元的复位信号端,下拉控制端连接移位寄存器单元的下拉控制节点,第一电源输入端连接第一功率电压,第二电源输入端连接第二功率电压,该中继单元的输出端子作为栅极驱动单元的输出端子与栅线连接。



1. 一种栅极驱动装置,包括多个级联的栅极驱动单元,其中每一级栅极驱动单元包括移位寄存器单元,其特征在于,每一级栅极驱动单元还包括用于输出第一功率电压或第二功率电压给栅线的中继单元,其中,

中继单元的上拉控制端连接移位寄存器单元的输出端子,复位信号端连接移位寄存器单元的复位信号端,下拉控制端连接移位寄存器单元的下拉控制节点,第一电源输入端连接第一功率电压,第二电源输入端连接第二功率电压,该中继单元的输出端子作为栅极驱动单元的输出端子与栅线连接。

2. 根据权利要求1所述的驱动装置,其特征在于,所述中继单元包括:

第一输出模块,用于响应于上拉控制信号,将第一功率电压提供给该中继单元的输出端子;

第二输出模块,用于响应于复位信号,将第二功率电压提供给该中继单元的输出端子;

第三输出模块,用于响应于下拉控制信号,将第二功率电压提供给该中继单元的输出端子。

3. 根据权利要求2所述的驱动装置,其特征在于,所述第一输出模块包括第一薄膜晶体管,其栅极连接该中继单元的上拉控制端,源极连接第一电源输入端,漏极连接该中继单元的输出端子。

4. 根据权利要求2所述的驱动装置,其特征在于,所述第二输出模块包括第二薄膜晶体管,其栅极连接该中继单元的复位信号端,源极连接该中继单元的输出端子,漏极连接第二电源输入端。

5. 根据权利要求2所述的驱动装置,其特征在于,所述第三输出模块包括第三薄膜晶体管,其栅极连接该中继单元的下拉控制端,源极连接该中继单元的输出端子,漏极连接第二电源输入端。

6. 根据权利要求3~5任一权项所述的驱动装置,其特征在于,所有薄膜晶体管均为N型薄膜晶体管。

7. 根据权利要求1所述的驱动装置,其特征在于,

第一级移位寄存器单元的输入信号端连接帧开启信号,第一级移位寄存器单元的复位信号端连接第二级移位寄存器单元的输出端子;

最后一级移位寄存器单元的输入信号端连接前一级移位寄存器单元的输出端子,最后一级移位寄存器单元的复位信号端连接帧开启信号或排除其前一级移位寄存器单元之外的任意一级移位寄存器单元的输出端或中继单元的输出端;

除第一级和最后一级移位寄存器单元外,其余各级移位寄存器单元的输入信号端连接上一级移位寄存器单元的输出端子,复位信号端连接下一级移位寄存器单元的输出端子。

8. 一种显示设备,其特征在于,该显示设备包括权利要求1~7任一所述的栅极驱动装置。

一种栅极驱动装置及显示设备

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种栅极驱动装置及显示设备。

背景技术

[0002] 液晶显示器件的应用已经渗入到人们生活的各个方面,如手机、游戏机、电脑显示器、电视等。但传统的液晶显示器件多使用栅极驱动 IC 和源极驱动 IC 通过绑定(bonding)的方式驱动液晶面板显示,在分辨率增高和竞争成本压力的要求下,出现了将栅极驱动器集成制作在液晶显示上的驱动技术(gate inpanel, GIP)。该技术中栅极驱动电路由多个薄膜晶体管 TFT 构成,其制作过程与液晶显示相同,能够在不增加工艺难度和成本的条件下降低使用栅极驱动 IC 的费用。

[0003] 图 1 所示是一种现有 GIP 技术驱动液晶显示的示意图,栅极驱动装置由多个级联的移位寄存器单元 1 构成,每个移位寄存器对应一条栅极驱动信号线,其中 STV (帧开启信号)给移位寄存器单元 S1 提供起始信号,周期与帧频相同,第一时钟信号 CLK 和第二时钟信号 CLKB 信号相同,但极性相反,用于控制移位寄存器输出高、低电平信号, VSS 给移位寄存器提供低电平维持信号。移位寄存器单元 S1 的输出信号作为下一个移位寄存器单元 S2 的起始信号,当 S2 输出高电平时,同时给移位寄存器单元 S1 提供复位信号,使 S1 输出为低电平,从而产生液晶显示器件的逐行驱动过程。

[0004] 但由于移位寄存器的输出信号直接与栅极驱动信号线相连,当液晶显示器件面内发生与栅极驱动信号线相关的短路时(如栅极信号线与数据信号线、栅极信号线与公共电极线),移位寄存器输出的信号会发生异常变化,对其上一级移位寄存器的复位和下一级移位寄存器的导通产生明显影响,进一步会导致所有移位寄存器的时序和工作状态发生混乱,产生全屏显示异常或无法显示。该问题也会严重影响工程师对画面显示异常不良原因的调查和分析,不利于产品良率的提升。

发明内容

[0005] 本发明实施例提供了一种栅极驱动装置及显示设备,用以解决因为液晶显示面板内与栅线相关的线路发生短路时,导致移位寄存器输出信号异常进而引起的全屏显示异常。

[0006] 本发明实施例提供的一种栅极驱动装置,包括多个级联的栅极驱动单元,其中每一级栅极驱动单元包括移位寄存器单元,每一级栅极驱动单元还包括用于输出第一功率电压或第二功率电压给栅线的中继单元,其中,

[0007] 该中继单元的上拉控制端连接移位寄存器单元的输出端子,复位信号端连接移位寄存器单元的复位信号端,下拉控制端连接移位寄存器单元的下拉控制节点,第一电源输入端连接第一功率电压,第二电源输入端连接第二功率电压,该中继单元的输出端子作为栅极驱动单元的输出端子与栅线连接。

[0008] 本发明实施例提供的一种显示设备,包括上述的栅极驱动装置。

[0009] 本发明实施例通过在移位寄存器单元的输出端设置中继单元,将栅极驱动装置的移位寄存器单元的输出信号作为中继单元的上拉控制信号,由中继单元给栅线提供输出信号,能够解决现有技术中因为液晶显示面板内与栅线相关的线路发生短路时,导致移位寄存器单元输出信号异常进而引起的全屏显示异常,同时能够提高对显示异常等不良现象的分析效率和产品良率。

附图说明

- [0010] 图 1 为现有技术中一种栅极驱动装置的结构示意图 ;
[0011] 图 2 为本发明实施例提供的一种栅极驱动装置的结构示意图 ;
[0012] 图 3 为所示的栅极驱动装置中移位寄存器单元的结构示意图 ;
[0013] 图 4 为本发明实施例提供的中继单元的结构示意图 ;
[0014] 图 5 为本发明实施例提供的栅极驱动单元各个信号端的时序图。

具体实施方式

[0015] 本发明实施例提供了一种栅极驱动装置及显示设备,用以解决因为液晶显示面板内与栅线相关的线路发生短路时,导致移位寄存器输出信号异常进而引起的全屏显示异常。

[0016] 下面结合附图,对本发明进行说明。

[0017] 参照图 2,本发明实施例提供的一种栅极驱动装置,包括多个级联的栅极驱动单元 2,其中每一级栅极驱动单元 2 包括移位寄存器单元 3,如图中 S1、S2 等,该移位寄存器单元包括下拉控制节点 PD-CN,每一级栅极驱动单元还包括用于输出第一功率电压 V_{gh} 或第二功率电压 V_{ss} 给栅线的中继单元 4,如图中 Z1、Z2 等,其中,

[0018] 中继单元的上拉控制端 IN 连接移位寄存器单元的输出端子 OUTPUT,复位信号端 RET 连接同级栅极驱动单元中移位寄存器单元的复位信号端 RET,下拉控制端连接同级栅极驱动单元中移位寄存器单元的 PD-CN 节点,第一电源输入端连接第一功率电压 V_{gh},第二电源输入端连接第二功率电压 V_{ss},该中继单元的输出端子 OUT 作为栅极驱动单元的输出端子与栅线 gate 连接。

[0019] 较佳地,所述中继单元包括:

[0020] 第一输出模块,用于响应于上拉控制信号,即响应于移位寄存器单元的输出信号,将第一功率电压提供给该中继单元的输出端子,即输出到栅线;

[0021] 第二输出模块,用于响应于复位信号,将第二功率电压提供给该中继单元的输出端子;

[0022] 第三输出模块,用于响应于下拉控制信号,即响应于移位寄存器单元的 PD-CN 节点的电压信号,将第二功率电压提供给该中继单元的输出端子。

[0023] 较佳地,所述第一输出模块包括第一薄膜晶体管,其栅极连接该中继单元的上拉控制端,源极连接第一电源输入端,漏极连接该中继单元的输出端子。

[0024] 较佳地,所述第二输出模块包括第二薄膜晶体管,其栅极连接该中继单元的复位信号端,源极连接该中继单元的输出端子,漏极连接第二电源输入端。

[0025] 较佳地,所述第三输出模块包括第三薄膜晶体管,其栅极连接该中继单元的下拉

控制端,源极连接该中继单元的输出端子,漏极连接第二电源输入端。

[0026] 较佳地,所述移位寄存器单元包括多个 N 型薄膜晶体管,中继单元中的第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管均为 N 型薄膜晶体管。N 型薄膜晶体管为高电平导通,低电平断开。

[0027] 较佳地,对于移位寄存器单元,

[0028] 第一级移位寄存器单元的输入信号端连接帧开启信号,第一级移位寄存器单元的复位信号端连接第二级移位寄存器单元的输出端子;

[0029] 最后一级移位寄存器单元的输入信号端连接前一级移位寄存器单元的输出端子,最后一级移位寄存器单元的复位信号端连接帧开启信号或排除其前一级移位寄存器单元之外的任意一级移位寄存器单元的输出端或中继单元的输出端;

[0030] 除第一级和最后一级移位寄存器单元外,其余各级移位寄存器单元的输入信号端连接上一级移位寄存器单元的输出端子,复位信号端连接下一级移位寄存器单元的输出端子。

[0031] 下面结合附图和具体实施例,对本发明进行说明。

[0032] 参照图 2,本发明实施例提供一种栅极驱动装置,包括多个级联的栅极驱动单元 2,其中每一级栅极驱动单元 2 包括移位寄存器单元 3,如图中 S1、S2 等,该移位寄存器单元包括下拉控制节点 PD-CN,每一级栅极驱动单元还包括中继单元 4,如图中 Z1、Z2 等,其中,

[0033] 中继单元的上拉控制端 IN 连接移位寄存器单元的输出端子 OUTPUT,复位信号端 RET 连接移位寄存器单元的复位信号端 RET,下拉控制端连接移位寄存器单元的 PD-CN 节点,第一电源输入端连接第一功率电压 Vgh,第二电源输入端连接第二功率电压 VSS,该中继单元的输出端子 OUT 作为栅极驱动单元的输出端子与栅线 gate 连接。

[0034] 其中,第一功率电压 Vgh 为高电平,第二功率电压 VSS 为低电平。第一级移位寄存器单元的输入信号端 IN 连接帧开启信号 STV,第一级移位寄存器单元的复位信号端 RET 连接第二级移位寄存器单元的输出端子 OUTPUT;最后一级移位寄存器单元的输入信号端连接前一级移位寄存器单元的输出端子,最后一级移位寄存器单元的复位信号端连接帧开启信号或排除其前一级移位寄存器单元之外的任意一级移位寄存器单元的输出端或中继单元的输出端;除第一级和最后一级移位寄存器单元外,其余各级移位寄存器单元的输入信号端连接上一级移位寄存器单元的输出端子,复位信号端连接下一级移位寄存器单元的输出端子。

[0035] 如图 2 中所示,STV 作为帧开启信号,向移位寄存器提供驱动起始控制信号,CLK 和 CLKB 分别为第一时钟信号和第二时钟信号,分别控制移位寄存器输出高、低电平信号,VSS 给移位寄存器 3 和中继单元 4 提供低电平维持信号,Vgh 通过中继单元 4 为栅极信号线提供高电平信号,中继单元 4 输出的高电平信号受移位寄存器 3 的输出信号控制。上述信号中,STV 的脉冲周期与显示器件帧频相同,CLK 和 CLKB 的信号脉冲相同,但极性相反,Vgh 和 VSS 分别为高电平信号和低电平信号。在逐行驱动过程中,如第一个栅极驱动单元输出高电平的时候,移位寄存器单元 S1 的高电平输出信号做为第二个栅极驱动单元移位寄存器单元 S2 的输入信号,当第二个栅极驱动单元输出高电平时,S2 的高电平输出信号做为 S1 和中继单元 Z1 的复位信号(使 S1 的输出和栅极信号为低电平),S1 和 Z1 被复位为低电平时,移位寄存器 S1 向中继单元 Z1 输出 PD-CN 信号,维持 Z1 的输出端为低电平。

[0036] 依次类推,每一个栅极驱动单元对应的栅极信号线逐行输出高电平,驱动液晶面板逐行驱动显示,在输出高电平之外的时间,均维持该栅极驱动装置的低电平的输出。

[0037] 如图 3 所示,为现有技术中一种级联的移位寄存器单元的电路结构示意图,该移位寄存器单元用于图 1 所示的现有技术,同时用于本发明实施例提供的图 2 所示的栅极驱动装置的结构。图中 11、12、13、14、15 标记区域分别对应于移位寄存器的上拉驱动模块、上拉模块、下拉控制模块、下拉模块和复位模块。

[0038] 如图 3 中所示,移位寄存器单元的上拉驱动模块 11 包括 TFT M1,M1 的栅极和源极连接 STV 信号,漏极连接 PU 节点;

[0039] 上拉模块 12 包括 M3 和 C1,M3 的源极连接第一时钟信号 CLK,栅极连接 PU 节点,漏极连接输出端子 OUTPUT ;C1 的第一端连接 PU 节点,第二端连接输出端子 OUTPUT ;

[0040] 下拉控制模块 13 包括 M6,其栅极连接 PU 节点,漏极连接 VSS,源极作为 PD-CN 节点;

[0041] 下拉模块 14 包括 M2、M4、M5 和 M8,其中,M2 的源极连接 PU 节点,栅极连接 PD-CN 节点,漏极连接 VSS ;M4 的源极连接输出端子 OUTPUT,栅极连接 PD-CN 节点,漏极连接 VSS ;M5 的源极和栅极连接第二时钟信号 CLKB,漏极连接 PD-CN 节点 ;M8 的源极连接第二时钟信号 CLKB,栅极连接 PU 节点,漏极连接 PD-CN 节点;

[0042] 复位模块 15 包括 M7 和 M9,M7 的源极连接 PU 点,栅极连接复位信号端 ERT,漏极连接 VSS ;M9 的源极连接输出端子 OUTPUT,栅极连接复位信号端 RET,漏极连接 VSS。

[0043] 其中上拉驱动模块 11 接收前一级的输出高电平信号作为起始信号,使上拉模块 12 连接的 PU 点电平升高,同时 PD-CN 的电平拉低 ;当第一时钟信号 CLK 为高电平时,TFT M3 导通,该移位寄存器单元输出高电平 ;当下一级的移位寄存器单元输出为高电平时(第二时钟信号 CLKB 为高电平),RET 信号为高电平,M7 和 M9 导通,使 PU 点和输出端 OUTPUT 被拉低成低电平 VSS,同时 PD-CN 拉高为高电平,在随后的 CLKB 高低电平切换过程中,PD-CN 点的高电平保持 TFT M2 和 M4 导通,维持 PU 点和移位寄存器输出端子 OUTPUT 端为低电平。

[0044] 本发明实施例提供的栅极驱动单元 2 当中,中继单元 4 接收移位寄存器单元 3 输出的下拉控制节点 PD-CN 的电压信号,使中继单元 4 输出端 OUT 保持低电平信号。图 4 所示为本发明实施例提供的第 n 个栅极驱动单元的中继单元 4 的内部电路结构示意图。其中,该中继单元包括第一输出模块 41,用于响应于上拉控制信号,即响应于移位寄存器的输出信号,将第一功率电压 V_{gh} 提供给该中继单元的输出端子 OUT,即输出到栅线 ;第二输出模块 42,用于响应于复位信号 RET,将第二功率电压 VSS 提供给该中继单元的输出端子 OUT ;第三输出模块 43,用于响应于下拉控制信号 PD-CN,即响应于移位寄存器的 PD-CN 节点的电压信号,将第二功率电压 VSS 提供给该中继单元的输出端子。

[0045] 具体地,所述第一输出模块包括第一薄膜晶体管 M21,其栅极连接该中继单元的上拉控制端 IN,源极连接第一电源输入端 V_{gh},漏极连接该中继单元的输出端子 OUT。

[0046] 具体地,所述第二输出模块包括第二薄膜晶体管 M22,其栅极连接该中继单元的复位信号端 RET,源极连接该中继单元的输出端子 OUT,漏极连接第二电源输入端 VSS。

[0047] 具体地,所述第三输出模块包括第三薄膜晶体管 M23,其栅极连接该中继单元的下拉控制端 PD-CN,源极连接该中继单元的输出端子 OUT,漏极连接第二电源输入端 VSS。

[0048] 本实施例提供的栅极驱动装置中,上述移位寄存器单元中的薄膜晶体管均为 N 型

薄膜晶体管, 中继单元中的第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管均为 N 型薄膜晶体管。所有 N 型薄膜晶体管均为在高电平时导通, 低电平时断开。

[0049] 该中继单元的具体工作原理如下:

[0050] 当上述的移位寄存器 n 输出高电平时, 向移位寄存器 n+1 移位, 同时 M21TFT 导通, 中继单元 OUT 端向栅线输出高电平 V_{gh}, 当移位寄存器 n 输出低电平时, M21TFT 断开, 中继单元 OUT 端与 V_{gh} 断开;

[0051] 当移位寄存器 n+1 输出高电平时, RET 信号为高电平, TFT M22 导通, VSS 信号将中继单元 n 的 OUT 端的电平拉低, 栅极信号线 n 对应为低电平, 当移位寄存器 n+1 被复位成低电平时, 不能继续维持中继单元 n 的 OUT 端的低电平;

[0052] 此时移位寄存器的下拉控制信号 PD-CN 为高, 使 M23TFT 导通, 保持中继单元 n 的输出端 OUT 端为低电平信号 VSS。这样, 通过该中继单元输出的时序信号, 能够在移位寄存器输出高电平时, 栅线信号为高电平, 在移位寄存器输出高电平之外的时间段, 栅线能够保持为低电平, 从而完全能够保持与移位寄存器的输出信号一致。

[0053] 为了更清楚的说明本发明, 参见图 5 所示的时序图。针对第一级栅极驱动单元在完成一次移位的过程中, 示出了第一级移位寄存器单元中各个信号端、PU 点和 PD-CN 点的信号, 以及第一级中继单元中的各个信号端的信号的时序图。从图中可以看出, 该第一级栅极驱动单元的输出信号 gate1-out 完全能够保持与移位寄存器的输出信号 output 一致。

[0054] 现有技术中的栅极驱动装置, 当液晶显示区域内某个位置发生栅线与其他线路的短路时, 导致移位寄存器的输出信号异常, 从而影响其他级移位寄存器的输出信号异常, 进而导致相应栅线的信号异常, 使得与这些栅线相连的驱动显示的薄膜晶体管不能正常工作, 因此最终会导致全屏显示异常。

[0055] 而本发明实施例提供的栅极驱动装置, 当液晶显示区域内某个位置发生栅线与其他信号线的短路时, 能够影响的是 VSS 低电平信号和 V_{gh} 高电平信号, 而 VSS 和 V_{gh} 的驱动能力都很强, 一般不容易被明显拉动; 同时本实施例中由于移位寄存器的输出端信号并没有与栅线直接相连, 出现短路的栅线并不会影响相应移位寄存器的输出, 进而能够正常给 n-1 级移位寄存器单元提供正常的复位信号, 以及给 n+1 移位寄存器单元提供正常的输入信号, 因此栅极驱动单元的驱动时序和工作状态不会发生混乱, 液晶显示器件能够正常显示那些受短路影响的区域之外的其他区域。这样, 由面内短路引起的全屏显示异常很容易被发现, 而且目前关于液晶先试试器件面内短路的修复方法很多, 从而能够经过修过使该不良品变成良品, 提高产品良率。

[0056] 上述实施例, 仅是针对使用一对时钟信号 (CLK 和 CLKB) 的栅极驱动方式的移位寄存器单元进行描述的, 但是并不限制采用该驱动方式的移位寄存器单元。例如, 对于栅线较多而采用多组时钟信号的驱动方式的移位寄存器单元, 同样适用于本发明实施例提供的栅极驱动装置, 其中继单元的各个信号端的连接方式与本发明实施例相同, 因此不再赘述。

[0057] 本发明实施例提供一种显示设备, 包括上述的栅极驱动装置。

[0058] 综上所述, 本发明实施例通过在移位寄存器的输出端设置中继单元, 将栅极驱动装置的移位寄存器单元的输出信号作为中继单元的上拉控制信号, 由中继单元给栅线提供输出信号, 能够解决现有技术中因为液晶显示面板内与栅线相关的线路发生短路时, 导致移位寄存器输出信号异常进而引起的全屏显示异常, 同时能够提高对显示异常等不良现象

的分析效率和产品良率。

[0059] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

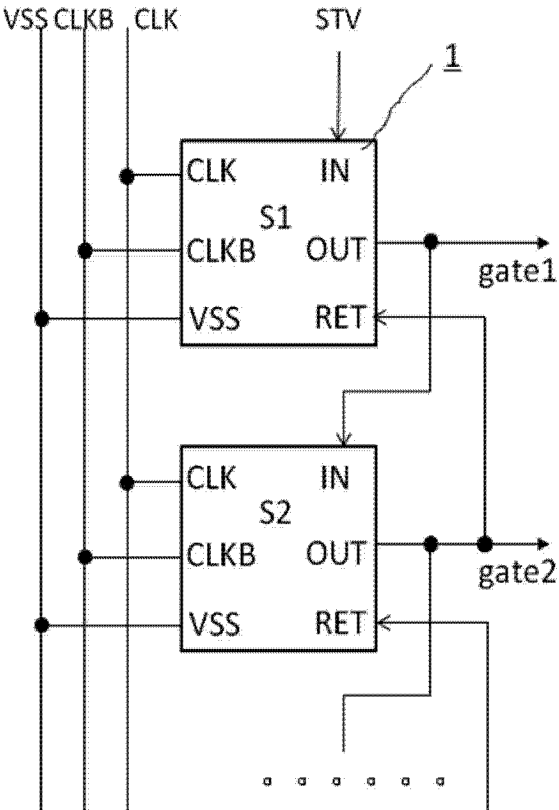


图 1

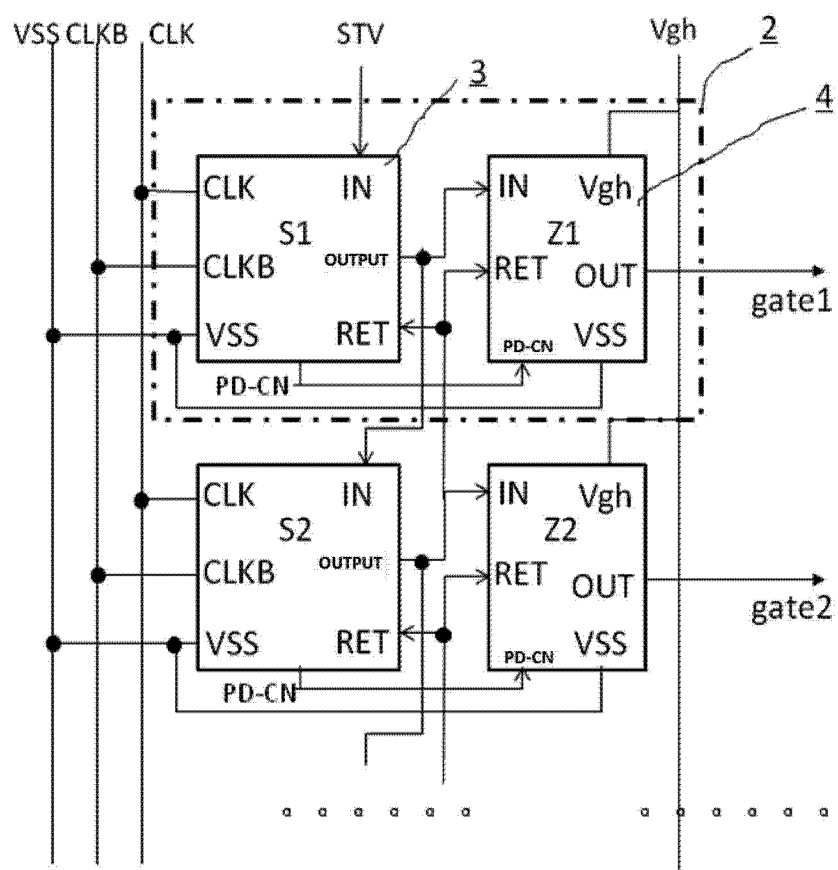


图 2

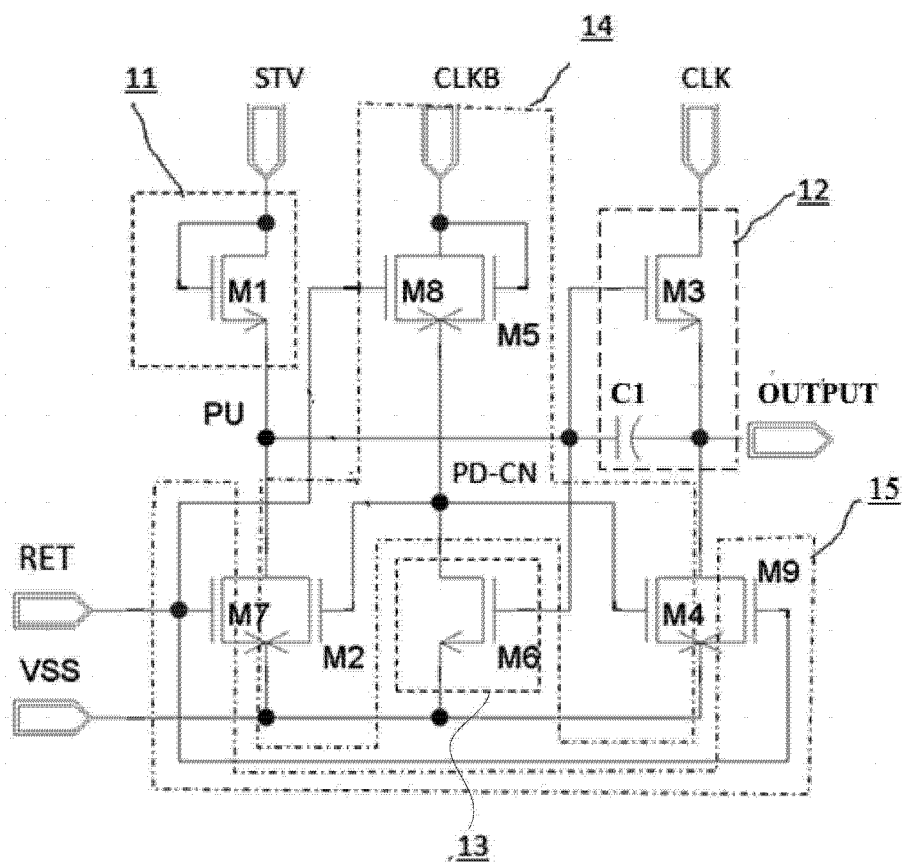


图 3

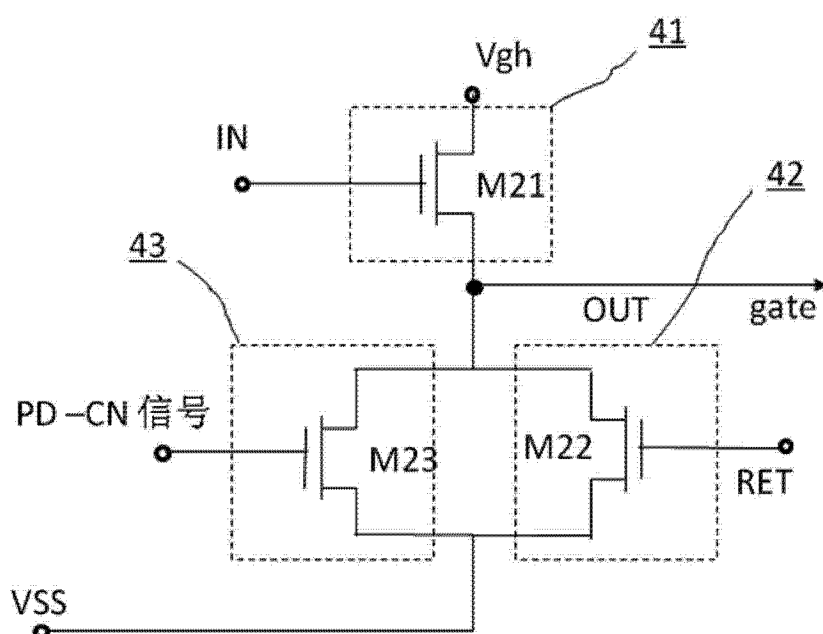


图 4

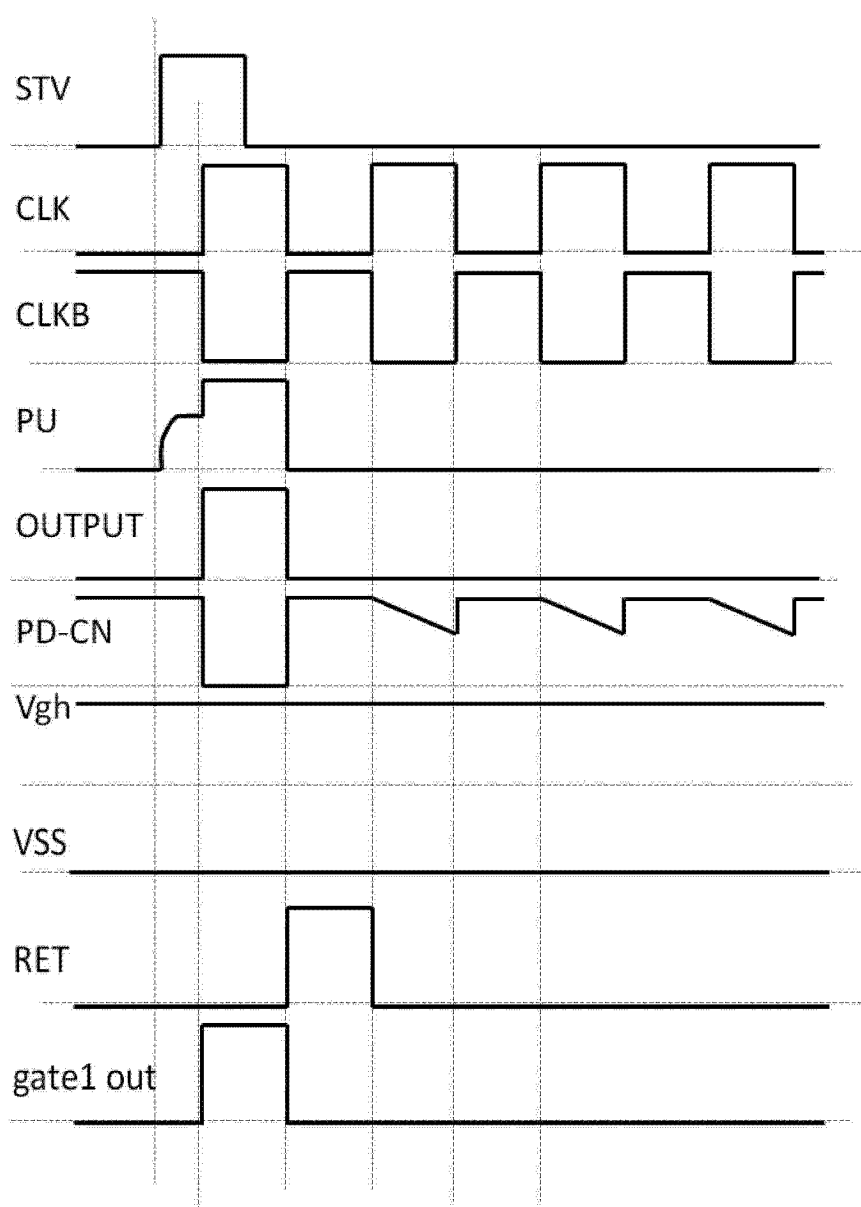


图 5

本发明公开了一种栅极驱动装置及显示设备，用以解决因为液晶显示面板内与栅线相关的线路发生短路时，导致移位寄存器输出信号异常进而引起全屏显示异常。本发明实施例提供一种栅极驱动装置，包括多个级联的栅极驱动单元，其中每一级栅极驱动单元包括移位寄存器单元，每一级栅极驱动单元还包括中继单元，其中，该中继单元的上拉控制端连接移位寄存器单元的输出端子，复位信号端连接移位寄存器单元的复位信号端，下拉控制端连接移位寄存器单元的下拉控制节点，第一电源输入端连接第一功率电压，第二电源输入端连接第二功率电压，该中继单元的输出端子作为栅极驱动单元的输出端子与栅线连接。

