



(12) 发明专利申请

(10) 申请公布号 CN 103996387 A

(43) 申请公布日 2014. 08. 20

(21) 申请号 201410117736. 7

(22) 申请日 2014. 03. 26

(30) 优先权数据

103103244 2014. 01. 28 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路 1 号

(72) 发明人 吴旻鸿

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 田景宜

(51) Int. Cl.

G09G 3/36 (2006. 01)

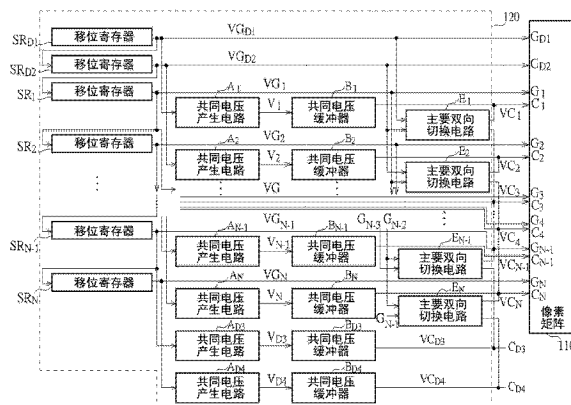
权利要求书2页 说明书8页 附图22页

(54) 发明名称

液晶显示器

(57) 摘要

本发明公开了一种液晶显示器,具有像素矩阵、多个移位寄存器、多个共同电压产生电路、多个共同电压缓冲器以及多个共同电压双向切换电路。移位寄存器依序地输出多个栅极信号至像素矩阵的多条扫描线。共同电压产生电路依据栅极信号输出多个初始共同电压。共同电压缓冲器用以缓冲初始共同电压,以输出多个共同电压至像素矩阵的多条共同电压线。每一共同双向切换电路依据至少一个移位寄存器所输出的栅极信号,控制两条共同电压线之间的电性连接。



1. 一种液晶显示器,其特征在于,包含:
 - 一像素矩阵,包含:
 - 多个像素,排列成多列;
 - 多条扫描线,每一扫描线耦接于一列的像素;以及
 - 多条共同电压线,每一共同电压线耦接于一列的像素;
 - 多个移位寄存器,耦接于这些扫描线,用以依序地输出多个栅极信号至这些扫描线;
 - 多个共同电压产生电路,耦接于这些移位寄存器及这些共同电压线之间,用以依据这些栅极信号输出多个初始共同电压;以及
 - 多个主要双向切换电路,耦接于这些移位寄存器及这些共同电压线,其中每一主要双向切换电路依据至少一个移位寄存器所输出的栅极信号,控制两条共同电压线之间的电性连接。
2. 如权利要求 1 所述的液晶显示器,其特征在于,这些像素排列成 N 列,这些移位寄存器包含 $N+2$ 第一移位寄存器,这些主要双向切换电路包含 N 个第一主要双向切换电路,其中第 T 个第一主要双向切换电路依据第 T 个及第 $T+1$ 个第一移位寄存器所输出的两个栅极信号,控制第 T 条共同电压线及第 $T+2$ 条共同电压线之间的电性连接, N 为大于一的整数, T 为整数,且 $1 \leq T \leq N$ 。
3. 如权利要求 2 所述的液晶显示器,其特征在于,这些第一移位寄存器中的第一个及第二个第一移位寄存器为虚拟移位寄存器。
4. 如权利要求 2 所述的液晶显示器,其特征在于,这些移位寄存器另包含 $N+2$ 第二移位寄存器,这些主要双向切换电路另包含 N 个第二主要双向切换电路,其中第 T 个第二主要双向切换电路依据第 T 个及第 $T+1$ 个第二移位寄存器所输出的两个栅极信号,控制第 T 条共同电压线及第 $T+2$ 条共同电压线之间的电性连接, N 为大于一的整数, T 为整数,且 $1 \leq T \leq N$ 。
5. 如权利要求 4 所述的液晶显示器,其特征在于,这些第二移位寄存器中的第一个及第二个第二移位寄存器为虚拟移位寄存器。
6. 如权利要求 4 所述的液晶显示器,其特征在于,该 $N+2$ 个第一移位寄存器及该 N 个第一主要双向切换电路设置于该液晶显示器的一第一栅极驱动器,该 $N+2$ 个第二移位寄存器及该 N 个第二主要双向切换电路设置于该液晶显示器的一第二栅极驱动器,而该第一栅极驱动器及该第二栅极驱动器设置于该液晶显示器的两侧。
7. 如权利要求 2 所述的液晶显示器,其特征在于,这些主要双向切换电路的奇数级主要双向切换电路设置于该液晶显示器的一第一栅极驱动器,而该些主要双向切换电路的偶数级主要双向切换电路设置于该液晶显示器的一第二栅极驱动器,而该第一栅极驱动器及该第二栅极驱动器设置于该液晶显示器的两侧。
8. 如权利要求 1 所述的液晶显示器,其特征在于,每一主要双向切换电路依据两个移位寄存器所输出的两个栅极信号,控制该两条共同电压线之间的电性连接。
9. 如权利要求 8 所述的液晶显示器,其特征在于,每一主要双向切换电路包含:
 - 一或非门,具有两输入端分别接收该两个移位寄存器所输出的该两个栅极信号;
 - 一反相器,其输入端耦接于该或非门的输出端;
 - 一第一开关,该第一开关的一第一端耦接于该两条共同电压线中的一条,该第一开关

的一第二端耦接于该两条共同电压线中的另一条,而该第一开关的一控制端耦接于该反相器的输出端;以及

一第二开关,该第二开关的一第一端耦接于该第一开关的该第一端,该第二开关的一第二端耦接于该第一开关的该第二端,而该第二开关的一控制端耦接于该或非门的输出端。

10. 如权利要求 1 所述的液晶显示器,其特征在于,还包含多个次要双向切换电路,耦接于这些扫描线,每一次要双向切换电路依据两个相邻移位寄存器所输出的两个栅极信号,控制两条扫描线之间的电性连接。

11. 如权利要求 10 所述的液晶显示器,其特征在于,这些像素排列成 N 列,这些移位寄存器的总数为 $N+2$,这些次要双向切换电路的总数为 $N-1$,其中第 U 个次要双向切换电路依据第 $U+2$ 个及第 $U+3$ 个第一移位寄存器所输出的两个栅极信号,控制第 U 条扫描线及第 $U+1$ 条扫描线之间的电性连接, N 为大于 1 的整数, U 为整数,且 $1 \leq U \leq N-1$ 。

12. 如权利要求 11 所述的液晶显示器,其特征在于,这些次要双向切换电路的偶数级次要双向切换电路设置于该液晶显示器的一第一栅极驱动器,而该些次要双向切换电路的奇数级次要双向切换电路设置于该液晶显示器的一第二栅极驱动器,而该第一栅极驱动器及该第二栅极驱动器设置于该液晶显示器的两侧。

13. 如权利要求 10 所述的液晶显示器,其特征在于,每一次要双向切换电路包含:

一与门,具有两输入端分别接收该两个相邻移位寄存器所输出的该两个栅极信号;

一反相器,其输入端耦接于该与门的输出端;

一第一开关,该第一开关的一第一端耦接于该两条扫描线中的一条,该第一开关的一第二端耦接于该两条扫描线中的另一条,而该第一开关的一控制端耦接于该反相器的输出端;以及

一第二开关,该第二开关的一第一端耦接于该第一开关的该第一端,该第二开关的一第二端耦接于该第一开关的该第二端,而该第二开关的一控制端耦接于该与门的输出端。

14. 如权利要求 1 所述的液晶显示器,其特征在于,还包含多个共同电压缓冲器,耦接于这些共同电压产生电路及这些共同电压线之间,用以缓冲这些初始共同电压,以输出多个共同电压至这些共同电压线。

15. 如权利要求 1 所述的液晶显示器,其特征在于,每一主要双向切换电路依据单一个移位寄存器所输出的栅极信号,控制该两条共同电压线之间的电性连接。

16. 如权利要求 15 所述的液晶显示器,其特征在于,每一主要双向切换电路包含:

一反相器,其输入端耦接收该单一个移位寄存器所输出的栅极信号;

一第一开关,该第一开关的一第一端耦接于该两条共同电压线中的一条,该第一开关的一第二端耦接于该两条共同电压线中的另一条,而该第一开关的一控制端接收该单一个移位寄存器所输出的栅极信号;以及

一第二开关,该第二开关的一第一端耦接于该第一开关的该第一端,该第二开关的一第二端耦接于该第一开关的该第二端,而该第二开关的一控制端耦接于该反相器的输出端。

液晶显示器

技术领域

[0001] 本发明关于一种液晶显示器,特别有关于一种可对其多条共同电压线进行电荷分享的液晶显示器。

背景技术

[0002] 液晶显示器(Liquid Crystal Display,简称 LCD)是目前最为普遍的显示器类型,其因具有外型轻薄、耗电量少以及无辐射污染等特性,已逐渐取代传统桌上型电脑的 CRT 监视器,且被广泛地应用在笔记型电脑(notebook)、个人数字助理(PDA)等便携式电子资讯产品。

[0003] 然而,随着智能型手机的蓬勃发展,带动着小型面板的设计多半朝着窄边框和高解析度的目标来进行,然而高解析度也会使得共同电压电路的负载愈来愈沉重,而需要加大共同电压缓冲器(common voltage buffer)的尺寸,以提升其电流的驱动能力,并能够推动大的负载。然而,大尺寸的共同电压缓冲器需要较大的布线面积,而不利于窄边框的面板的实现。

发明内容

[0004] 本发明的一实施例提供一种液晶显示器。液晶显示器包含像素矩阵、多个移位寄存器、多个共同电压产生电路及多个主要双向切换电路。像素矩阵包含多个像素、多条扫描线以及多条共同电压线。上述的多个像素排列成多列,每一扫描线耦接于一列的像素,且每一共同电压线耦接于一列的像素。上述的多个移位寄存器耦接于上述的多条扫描线,用以依序地输出多个栅极信号至上述的多条扫描线。上述的多个共同电压产生电路耦接于上述的多个移位寄存器及多条共同电压线之间,用以依据上述的多个栅极信号输出多个初始共同电压。上述的多个主要双向切换电路耦接于上述的多个移位寄存器及上述的多条共同电压线。其中每一主要双向切换电路依据至少一个移位寄存器所输出的栅极信号,控制两条共同电压线之间的电性连接。

[0005] 透过本发明实施例的液晶显示器,可依据每列像素进行极性转换的时间点,藉由多个主要双向切换电路,控制液晶显示器的多条共同电压线的电性连接。如此,因每条共同电压线的电荷可彼此地分享,而使得共同电压缓冲器所需驱动的像素的等效电容值不会过大。此外,由于共同电压缓冲器所需驱动的像素的等效电容值不会过大,共同电压缓冲器的布线面积即可相对地缩小,而有助于窄边框的液晶显示面板的实现。

附图说明

[0006] 图 1 为本发明一实施例的液晶显示器的示意图。

[0007] 图 2 为图 1 的像素矩阵的示意图。

[0008] 图 3 为图 2 的像素的电路图。

[0009] 图 4 为图 1 的像素矩阵与门栅极驱动器的示意图。

- [0010] 图 5 为图 1 的液晶显示器的时序图。
- [0011] 图 6 为图 4 的主要双向切换电路的电路图。
- [0012] 图 7 为图 6 的主要双向切换电路的相关信号的时序图。
- [0013] 图 8 为图 4 的共同电压产生电路的电路图。
- [0014] 图 9 为图 8 的反相电路的电路图。
- [0015] 图 10 为本发明一实施例的液晶显示器的示意图。
- [0016] 图 11 为图 10 的像素矩阵及第一栅极驱动器的示意图。
- [0017] 图 12 为图 10 的像素矩阵及第二栅极驱动器的示意图。
- [0018] 图 13 为本发明一实施例的液晶显示器的示意图。
- [0019] 图 14 为图 13 的像素矩阵及第一栅极驱动器的示意图。
- [0020] 图 15 为图 13 的像素矩阵及第二栅极驱动器的示意图。
- [0021] 图 16 为图 13 的像素矩阵及再一种第一栅极驱动器的示意图。
- [0022] 图 17 为图 13 的像素矩阵及再一种第二栅极驱动器的示意图。
- [0023] 图 18 为图 16 及图 17 的主要双向切换电路的电路图。
- [0024] 图 19 为图 18 的主要双向切换电路的相关信号的时序图。
- [0025] 图 20 为图 13 的像素矩阵及另一种第一栅极驱动器的示意图。
- [0026] 图 21 为图 13 的像素矩阵及另一种第二栅极驱动器的示意图。
- [0027] 图 22 为图 20 和图 21 的次要双向切换电路的电路图。

具体实施方式

[0028] 请参考图 1 至图 3。图 1 为本发明一实施例的液晶显示器 100 的示意图,图 2 为图 1 的像素矩阵 110 的示意图,而图 3 为图 2 的像素 112 的电路图。液晶显示器 100 包含像素矩阵 110、栅极驱动器 120 以及源极驱动器 130。像素矩阵 110 具有多个像素 112、多条扫描线 G_1 至 G_N 、多条共同电压线 C_1 至 C_N 以及多条数据线 D_1 至 D_M 。像素 112 排列成 N 列和 M 行,而每一扫描线 G_1 至 G_N 耦接于一列的像素,且每一共同电压线 C_1 至 C_N 耦接于一列的像素,其中 M 和 N 为正整数。每一像素 112 具有开关 SW、储存电容 Cst 及液晶电容 Clc,其中开关 SW 可由薄膜晶体管所构成。每一像素 112 耦接于一条数据线 D_x 、一条扫描线 G_y 及一条共同电压线 C_y ,其中 x, y 为正整数,且 $1 \leq x \leq M, 1 \leq y \leq N$ 。开关 SW 依据条扫描线 G_y 的电位而开启或关闭。当开关 SW 被开启时,数据线 D_x 即可经由开关 SW 对像素 112 的储存电容 Cst 及液晶电容 Clc 进行充电。共同电压线 C_y 的电位则会每隔一个画框周期(frame period)在高电位及低电位之间切换。必须了解地,图 3 所绘示的像素 112 用以说明本发明一实施例中像素 112 所采用的电路架构,但本发明并不以此为限。在本发明其他实施例中,像素 112 可采用不同的电路架构。

[0029] 请参考图 4,图 4 为图 1 的像素矩阵 110 与门栅极驱动器 120 的示意图。栅极驱动器 120 具有多个移位寄存器 SR_{D1} 、 SR_{D2} 及 SR_1 至 SR_N 、多个共同电压产生电路 A_1 至 A_N 、 A_{D3} 及 A_{D4} 及多个主要双向切换电路 E_1 至 E_N 。移位寄存器 SR_{D1} 、 SR_{D2} 及 SR_1 至 SR_N 耦接于扫描线 G_{D1} 、 G_{D2} 及 G_1 至 G_N ,用以依序地输出多个栅极信号 VG_{D1} 、 VG_{D2} 及 VG_1 至 VG_N 至扫描线 G_{D1} 、 G_{D2} 及 G_1 至 G_N 。其中,第一个移位寄存器 SR_{D1} 及第二个移位寄存器 SR_{D2} 作为虚拟(dummy)移位寄存器,而扫描线 G_{D1} 及 G_{D2} 并未直接地耦接至任何像素 112 而作为虚拟扫描线。共同电压产

生电路 A_1 至 A_N 、 A_{D3} 及 A_{D4} 耦接于移位寄存器 SR_{D1} 、 SR_{D2} 及 SR_1 至 SR_N 与共同电压线 C_1 至 C_N 、 C_{D3} 及 C_{D4} 之间,用以依据栅极信号 VG_{D1} 、 VG_{D2} 及 VG_1 至 VG_N ,输出多个初始共同电压 V_1 至 V_N 、 V_{D3} 及 V_{D4} 。主要双向切换电路 E_1 至 E_N 则耦接于移位寄存器 SR_{D1} 、 SR_{D2} 及 SR_1 至 SR_N 及共同电压线 C_1 至 C_N 、 C_{D3} 及 C_{D4} 。其中,共同电压产生电路 A_{D3} 及 A_{D4} 作为虚拟共同电压产生电路,而共同电压线 C_{D3} 及 C_{D4} 作为虚拟共同电压线。

[0030] 在本发明一实施例中,共同电压产生电路 A_1 至 A_N 、 A_{D3} 及 A_{D4} 的输出端直接地耦接至共同电压线 C_1 至 C_N 、 C_{D3} 及 C_{D4} ,用以将初始共同电压 V_1 至 V_N 、 V_{D3} 及 V_{D4} 直接地施加于共同电压线 C_1 至 C_N 、 C_{D3} 及 C_{D4} 。在本发明一实施例中,栅极驱动器 120 则另具有多个共同电压缓冲器(common voltage buffer) B_1 至 B_N 、 B_{D3} 及 B_{D4} ,耦接于共同电压产生电路 A_1 至 A_N 、 A_{D3} 及 A_{D4} 及共同电压线 C_1 至 C_N 、 C_{D3} 及 C_{D4} 之间,用以缓冲初始共同电压 V_1 至 V_N 、 V_{D3} 及 V_{D4} ,以输出多个共同电压 VC_1 至 VC_N 、 VC_{D3} 及 VC_{D4} 至共同电压线 C_1 至 C_N 、 C_{D3} 及 C_{D4} 。其中,共同电压产生电路 B_{D3} 及 B_{D4} 作为虚拟共同电压缓冲器。

[0031] 在本发明一实施例中,液晶显示器 100 所采用的像素极性反转方式为列反转(row inversion)。请参考图 5 并同时参照图 4,图 5 为图 1 的液晶显示器 100 的时序图。其中,在第 S 个画框周期内,奇数级的共同电压(例如 VC_1 、 VC_3 、 VC_{D3})会从高电位被下拉至低电位,而偶数级的共同电压(例如 VC_2 、 VC_4 、 VC_{D4})会从低电位被上拉至高电位;在第 $(S+1)$ 个画框周期内,奇数级的共同电压(例如 VC_1 、 VC_3 、 VC_{D3})会从低电位被上拉至高电位,而偶数级的共同电压(例如 VC_2 、 VC_4 、 VC_{D4})会从高电位被下拉至低电位。其中 S 为正整数。此外,在每一个画框周期中,各栅极信号 VG_{D1} 、 VG_{D2} 及 VG_1 至 VG_N 的电位会依序地由低电位被拉至高电位。此外,液晶显示器 100 的栅极驱动器 120 会依据时脉信号 FR 以及各栅极信号 VG_{D1} 、 VG_{D2} 及 VG_1 至 VG_N 的电位,产生共同电压 VC_1 至 VC_N 、 VC_{D3} 及 VC_{D4} 。其中,每个共同电压 VC_1 至 VC_N 会在其对应的栅极信号 VG_1 至 VG_N 从低电位上拉至高电位时之前两个扫描周期进行电位的切换。举例来说,共同电压 VC_1 会在栅极信号 VG_1 从低电位上拉至高电位时之前两个扫描周期(即在栅极信号 VG_{D1} 从低电位上拉至高电位时),进行电位的切换。又例如,共同电压 VC_2 会在栅极信号 VG_2 从低电位上拉至高电位时之前两个扫描周期(即在栅极信号 VG_{D2} 从低电位上拉至高电位时),进行电位的切换;共同电压 VC_3 会在栅极信号 VG_3 从低电位上拉至高电位时之前两个扫描周期(即在栅极信号 VG_1 从低电位上拉至高电位时),进行电位的切换;依此类推。此外,共同电压 VC_{D3} 会在栅极信号 VG_{N-1} 从低电位上拉至高电位时,进行电位的切换;而共同电压 VC_{D4} 会在栅极信号 VG_N 从低电位上拉至高电位时,进行电位的切换。

[0032] 请再参考图 4,每一主要双向切换电路 E_1 至 E_N 依据移位寄存器 SR_{D1} 、 SR_{D2} 及 SR_1 至 SR_N 中两个移位寄存器所输出的两个栅极信号,控制共同电压线 C_1 至 C_N 及 C_{D3} 、 C_{D4} 中两条共同电压线之间的电性连接。举例来说,在本发明一实施例中,主要双向切换电路 E_1 依据移位寄存器 SR_{D1} 和 SR_{D2} 所输出的两个栅极信号 VG_{D1} 和 VG_{D2} ,控制共同电压线 C_1 和 C_2 之间的电性连接;主要双向切换电路 E_2 依据移位寄存器 SR_{D2} 和 SR_1 所输出的两个栅极信号 VG_{D2} 和 VG_1 ,控制共同电压线 C_2 和 C_3 之间的电性连接;主要双向切换电路 E_{N-1} 依据两个移位寄存器输出到栅极线 G_{N-2} 和 G_{N-3} 的两个栅极信号,控制共同电压线 C_{N-1} 和 C_{D3} 之间的电性连接;主要双向切换电路 E_N 依据两个移位寄存器输出到栅极线 G_{N-1} 和 G_{N-2} 的两个栅极信号,控制共同电压线 C_{N-1} 和 C_{D3} 之间的电性连接。因此,藉由主要双向切换电路 E_1 至 E_N ,液晶显示器 100 的共同电压线 C_1 至 C_N 及 C_{D3} 、 C_{D4} 可进行电荷分享。

[0033] 请参考图 6 并同时参照图 4, 图 6 为图 4 的任一个主要双向切换电路 E_T 的电路图, 其中 T 为正整数, 且 $1 \leq T \leq N$ 。主要双向切换电路 E_T 包含或非门(NOR gate) 810、反相器 820、第一开关 830 及第二开关 840。或非门 810 具有两输入端分别接收两个移位寄存器 SR_{T-2} 及 SR_{T-1} 所输出的两个栅极信号 VG_{T-2} 及 VG_{T-1} , 并对两个栅极信号 VG_{T-2} 及 VG_{T-1} 进行或非(NOR)运算, 而输出信号 SW_T 。其中, 对双向切换电路 E_1 而言(即 $T=1$), 两个移位寄存器 SR_{T-2} 及 SR_{T-1} 分别为 SR_{D1} 及 SR_{D2} , 而或非门 810 所接收的两个栅极信号 VG_{T-2} 及 VG_{T-1} 分别为 VG_{D1} 及 VG_{D2} 。对双向切换电路 E_2 而言(即 $T=2$), 两个移位寄存器 SR_{T-2} 及 SR_{T-1} 分别为 SR_{D2} 及 SR_1 , 而或非门 810 所接收的两个栅极信号 VG_{T-2} 及 VG_{T-1} 分别为 VG_{D2} 及 VG_1 。此外, 反相器 820 的输入端耦接于或非门 810 的输出端。第一开关 830 的第一端耦接于共同电压线 C_T , 第一开关 830 的第二端耦接于共同电压线 C_{T+2} , 而第一开关 830 的控制端耦接于反相器 820 的输出端。第二开关 840 的第一端耦接于第一开关 830 的第一端及共同电压线 C_T , 第二开关 840 的第二端耦接于第一开关 830 的第二端及共同电压线 C_{T+2} , 而第二开关 840 的控制端耦接于或非门 810 的输出端。因此, 当栅极信号 VG_{T-2} 及 VG_{T-1} 当中只要有一个为高电位时, 第一开关 830 及第二开关 840 会被关闭, 而中断共同电压线 C_T 及共同电压线 C_{T+2} 之间的电性连接; 而当栅极信号 VG_{T-2} 及 VG_{T-1} 都为低电位时, 第一开关 830 及第二开关 840 会被开启, 而共同电压线 C_T 及共同电压线 C_{T+2} 之间的电性连接会被建立。换言之, 第 T 个主要双向切换电路 E_T 依据第 T 个及第 $T+1$ 个移位寄存器 SR_{T-2} 及 SR_{T-1} 所输出的两个栅极信号 VG_{T-2} 及 VG_{T-1} , 控制第 T 条共同电压线 C_T 及第 $T+2$ 条共同电压线 C_{T+2} 之间的电性连接。其中, 第一个移位寄存器为 SR_{D1} , 第二个移位寄存器为 SR_{D2} , 第三个移位寄存器为 SR_1 , 第四个移位寄存器为 SR_2 , 依此类推。因此, 藉由主要双向切换电路 E_T , 液晶显示器 100 的共同电压线 C_T 及 C_{T+2} 可进行电荷分享。例如, 主要双向切换电路 E_1 控制共同电压线 C_1 及 C_3 之间的电荷分享; 而主要双向切换电路 E_2 控制共同电压线 C_2 及 C_4 之间的电荷分享。另外, 对主要双向切换电路 E_{N-1} (即 $T=N-1$) 而言, 上述的两条共同电压线 C_T 及 C_{T+2} 分别为 C_{N-1} 及 C_{D3} ; 而对主要双向切换电路 E_N (即 $T=N$) 而言, 上述的两条共同电压线 C_T 及 C_{T+2} 分别为 C_N 及 C_{D4} 。此外, 当共同电压线 C_T 及 C_{T+2} 电性连接时, 共同电压线 C_T 及 C_{T+2} 所驱动的像素 112 的等效电容值会小于共同电压线 C_T 及 C_{T+2} 未电性连接时所驱动的像素 112 的等效电容值。由于主要双向切换电路 E_T 可以是主要双向切换电路 E_1 至 E_N 中的任一个主要双向切换电路, 且共同电压线 C_1 至 C_N 是由共同电压缓冲器 B_1 至 B_N 所驱动。因此, 藉由主要双向切换电路 E_1 至 E_N , 图 4 中的共同电压缓冲器 B_1 至 B_N 所需驱动的像素 112 的等效电容值不会过大, 而使得共同电压缓冲器 B_1 至 B_N 的布线面积可相对地缩小, 故有助于窄边框的液晶显示面板的实现。

[0034] 请参考图 7 并同时参照图 6, 图 7 为图 6 的主要双向切换电路 E_T 的相关信号的时序图。其中, 栅极信号 VG_{T-4} 至 VG_T 的电位在时段 T_A 至 T_E 依序地为高电位, 而共同电压 VC_{T-2} 、 VC_T 及 VC_{T+2} 分别会在栅极信号 VG_{T-4} 、 VG_{T-2} 及 VG_T 升为高电位时由低电位被上拉至高电位。在时段 T_C 及 T_D 期间, 共同电压 VC_T 及 VC_{T+2} 的电位不同, 而不适合进行共同电压线 C_T 及共同电压线 C_{T+2} 之间的电荷分享。为此, 图 6 中的主要双向切换电路 E_T 必须在时段 T_C 及 T_D 期间中断共同电压线 C_T 及共同电压线 C_{T+2} 之间的电性连接。如图 6 和图 7 所示, 在时段 T_C 及 T_D 期间, 因栅极信号 VG_{T-2} 及 VG_{T-1} 不同时为低电位, 故信号 SW_T 会为低电位, 而使得共同电压线 C_T 及共同电压线 C_{T+2} 之间的电性连接在时段 T_C 及 T_D 期间会被中断。如此, 当共同电压 VC_T 及 VC_{T+2} 的电位不同时, 共同电压线 C_T 及共同电压线 C_{T+2} 即可暂停彼此之间的电荷分享。同

理,在时段 T_A 及 T_B 期间,信号 SW_{T-2} 会为低电位,而使得共同电压线 C_{T-2} 及共同电压线 C_T 之间的电性连接在时段 T_A 及 T_B 期间会被中断。如此,当共同电压 VC_{T-2} 及 VC_T 的电位不同时,共同电压线 C_{T-2} 及共同电压线 C_T 即可暂停彼此之间的电荷分享。

[0035] 请参考图 8 及图 9 并同时参照图 4。图 8 为图 4 的任一个共同电压产生电路 A_T 的电路图,图 9 为图 6 的反相电路 606 的电路图,其中 T 为正整数,且 $1 \leq T \leq N$ 。共同电压产生电路 A_T 包含两个反相器 602 及 604 和两个反相电路 606。反相器 602 用以接收第 T 个移位寄存器 SR_{T-2} 所输出的栅极信号 VG_{T-2} ,而反相器 604 的输入端耦接于两个反相电路 606 的输出端。在本发明一实施例中,每一个反相电路 606 可包含两个 P 型金属氧化半导体场效晶体管(PMOSFET) P1 和 P2 以及两个 N 型金属氧化半导体场效晶体管(NMOSFET) N1 和 N2。P 型金属氧化半导体场效晶体管 P1 的源极耦接至栅极高电位 V_{GH} , P 型金属氧化半导体场效晶体管 P1 的栅极耦接至反相电路 606 的第一控制端 cp ,而 P 型金属氧化半导体场效晶体管 P1 的漏极耦接于 P 型金属氧化半导体场效晶体管 P2 的源极。P 型金属氧化半导体场效晶体管 P2 的栅极与 N 型金属氧化半导体场效晶体管 N1 的栅极耦接至反相电路 606 的输入端 S_{IN} ,而 P 型金属氧化半导体场效晶体管 P2 的漏极与 N 型金属氧化半导体场效晶体管 N1 的漏极耦接至反相电路 606 的输出端 S_{OUT} 。N 型金属氧化半导体场效晶体管 N2 的漏极耦接至 N 型金属氧化半导体场效晶体管 N1 的源极,N 型金属氧化半导体场效晶体管 N2 的栅极耦接至反相电路 606 的第二控制端 cn ,N 型金属氧化半导体场效晶体管 N2 的源极耦接至栅极低电位 V_{GL} 。如此,共同电压产生电路 A_T 可依据时脉信号 FR 闩锁(latch)栅极信号 VG_{T-2} ,以输出初始共同电压 V_T 。

[0036] 在上述实施例中,液晶显示器 100 利用栅极驱动器 120 进行单边单驱的扫描方式。然而,本发明亦适用于采用双栅极驱动器以进行双边双驱的扫描方式。请参考图 10 至图 12。图 10 为本发明一实施例的液晶显示器 1000 的示意图,图 11 为图 10 的像素矩阵 110 及第一栅极驱动器 1020 的示意图,而图 12 为图 10 的像素矩阵 110 及第二栅极驱动器 1030 的示意图。液晶显示器 1000 包含像素矩阵 110、第一栅极驱动器 1020、第二栅极驱动器 1030 以及源极驱动器 130。其中,第一栅极驱动器 1020 及第二栅极驱动器 1030 设置于液晶显示器 1000 的相对两侧。另外,像素矩阵 110 与源极驱动器 130 的作用可参照上述的说明,而第一栅极驱动器 1020 的电路结构与上述栅极驱动器 120 的电路结构完全相同,故在此即不再赘述。此外,第二栅极驱动器 1030 有与第一栅极驱动器 1020 完全对称的电路结构,且其内的元件亦与第一栅极驱动器 1020 中的元件的功用相同,而用以产生并输出栅极信号 VG_1 至 VG_N 到扫描线 G_1 至 G_N ,并输出共同电压 VC_1 至 VC_N 、 VC_{D3} 及 VC_{D4} 至共同电压线 C_1 至 C_N 、 C_{D3} 及 C_{D4} 。由于每一条扫描线 G_1 至 G_N 会接收来自其两侧的第一栅极驱动器 1020 及第二栅极驱动器 1030 的栅极信号 VG_1 、 $VG_2 \cdots$ 或 VG_N ,且每一条共同电压线 C_1 至 C_N 会接收来自其两侧的第一栅极驱动器 1020 及第二栅极驱动器 1030 的栅极信号共同电压 VC_1 、 $VC_2 \cdots$ 或 VC_N ,故液晶显示器 1000 的边缘画质会较液晶显示器 100 的边缘画质好。

[0037] 相较于液晶显示器 100 和 1000 所分别采用单边单驱及双边双驱的扫描方式,本发明亦适用于双边单驱的扫描方式。请参考图 13 至图 15。图 13 为本发明一实施例的液晶显示器 1300 的示意图,图 14 为图 13 的像素矩阵 110 及第一栅极驱动器 1320 的示意图,而图 15 为图 13 的像素矩阵 110 及第二栅极驱动器 1330 的示意图。液晶显示器 1300 包含像素矩阵 110、第一栅极驱动器 1320、第二栅极驱动器 1330 以及源极驱动器 130。其中,第一

栅极驱动器 1320 及第二栅极驱动器 1330 设置于液晶显示器 1300 的相对两侧。另外,像素矩阵 110 与源极驱动器 130 的作用可参照上述的说明,故在此即不再赘述。在本实施例中,主要是将液晶显示器 100 的共同电压产生电路 A_1 至 A_N 、 A_{D3} 及 A_{D4} 、共同电压缓冲器 B_1 至 B_N 、 B_{D3} 及 B_{D4} 与主要双向切换电路 E_1 至 E_N 分成两部分,而分别设于液晶显示器 1300 的第一栅极驱动器 1320 及第二栅极驱动器 1330。详言之,奇数级的共同电压产生电路 A_1 、 A_3 、 $\cdots$ 、 A_{N-1} 及 A_{D3} 、奇数级的共同电压缓冲器 B_1 、 B_3 、 $\cdots$ 、 B_{N-1} 及 B_{D3} 与奇数级的主要双向切换电路 E_1 、 E_3 、 $\cdots$ 及 E_{N-1} 设置于第一栅极驱动器 1320,而偶数级的共同电压产生电路 A_2 、 A_4 、 $\cdots$ 、 A_N 及 A_{D4} 、偶数级的共同电压缓冲器 B_2 、 B_4 、 $\cdots$ 、 B_N 及 B_{D4} 与偶数级的主要双向切换电路 E_2 、 E_4 、 $\cdots$ 及 E_N 设置于第二栅极驱动器 1330。因此,第一栅极驱动器 1320 会将奇数级的共同电压 VC_1 、 VC_3 、 $\cdots$ 及 VC_{N-1} 藉由奇数级的共同电压线 C_1 、 C_3 、 $\cdots$ 及 C_{N-1} 传送至像素矩阵 110。第二栅极驱动器 1330 会将偶数级的共同电压 VC_2 、 VC_4 、 $\cdots$ 及 VC_N 藉由偶数级的共同电压线 C_2 、 C_4 、 $\cdots$ 及 C_N 传送至像素矩阵 110。此外,第一栅极驱动器 1320 及第二栅极驱动器 1330 分别具有 $N+2$ 个移位寄存器 SR_{D1} 、 SR_{D2} 及 SR_1 至 SR_N ,用以依序地输出多个栅极信号 VG_{D1} 、 VG_{D2} 及 VG_1 至 VG_N 至扫描线 G_{D1} 、 G_{D2} 及 G_1 至 G_N 。液晶显示器 1300 的共同电压产生电路 A_1 至 A_N 、 A_{D3} 及 A_{D4} 、共同电压缓冲器 B_1 至 B_N 、 B_{D3} 及 B_{D4} 、主要双向切换电路 E_1 至 E_N 、扫描线 G_{D1} 、 G_{D2} 和 G_1 至 G_N 以及共同电压线 C_1 至 C_N 、 C_{D3} 及 C_{D4} 之间的连接方式则与液晶显示器 100 的连接方式一致,故不再赘述。

[0038] 在本发明一实施例中,图 14 中的第一栅极驱动器 1320 的移位寄存器的数目以及图 15 中的第二栅极驱动器 1330 的移位寄存器的数目可进一步地减少。举例来说,图 14 中的第一栅极驱动器 1320 可由图 16 中的第一栅极驱动器 1320B 取代,而图 15 中的第二栅极驱动器 1330 可由图 17 中的第二栅极驱动器 1330B 取代。此外,其中的主要双向切换电路 E_1 至 E_N 分别由主要双向切换电路 E'_1 至 E'_N 取代。请参考图 16 及图 17。在此实施例中,移位寄存器 SR_{D1} 、 SR_{D2} 及 SR_1 至 SR_N 、共同电压产生电路 A_1 至 A_N 、 A_{D3} 及 A_{D4} 、共同电压缓冲器 B_1 至 B_N 、 B_{D3} 及 B_{D4} 与主要双向切换电路 E'_1 至 E'_N 被分成两部分,而分别设于第一栅极驱动器 1320B 及第二栅极驱动器 1330B。详言之,奇数级的移位寄存器 SR_{D1} 、 SR_1 、 SR_3 、 $\cdots$ 及 SR_{N-1} 、奇数级的共同电压产生电路 A_1 、 A_3 、 $\cdots$ 、 A_{N-1} 及 A_{D3} 、奇数级的共同电压缓冲器 B_1 、 B_3 、 $\cdots$ 、 B_{N-1} 及 B_{D3} 与奇数级的主要双向切换电路 E'_1 、 E'_3 、 $\cdots$ 及 E'_{N-1} 设置于第一栅极驱动器 1320B,而偶数级的移位寄存器 SR_{D2} 、 SR_2 、 SR_4 、 $\cdots$ 及 SR_N 、偶数级的共同电压产生电路 A_2 、 A_4 、 $\cdots$ 、 A_N 及 A_{D4} 、偶数级的共同电压缓冲器 B_2 、 B_4 、 $\cdots$ 、 B_N 及 B_{D4} 与偶数级的主要双向切换电路 E'_2 、 E'_4 、 $\cdots$ 及 E'_N 设置于第二栅极驱动器 1330B。

[0039] 请参考图 18 及图 19 并同时参照图 16 及图 17,图 18 为图 16 及图 17 的任一个主要双向切换电路 E'_T 的电路图,其中 T 为正整数,且 $1 \leq T \leq N$ 。图 19 为图 18 的主要双向切换电路 E'_T 的相关信号的时序图。其中,栅极信号 VG_{T-4} 在时段 T_A 及 T_B 为高电位,栅极信号 VG_{T-3} 在时段 T_B 及 T_C 为高电位,栅极信号 VG_{T-2} 在时段 T_C 及 T_D 为高电位,栅极信号 VG_{T-1} 在时段 T_D 及 T_E 为高电位,而栅极信号 VG_T 在时段 T_E 及 T_F 为高电位。主要双向切换电路 E'_T 包含反相器 820、第一开关 830 及第二开关 840。其中,反相器 820 的输入端接收栅极信号 VG_{T-2} 。第一开关 830 的第一端耦接于共同电压线 C_T ,第一开关 830 的第二端耦接于共同电压线 C_{T+2} ,而第一开关 830 的控制端接收栅极信号 VG_{T-2} 。第二开关 840 的第一端耦接于第一开关 830 的第一端及共同电压线 C_T ,第二开关 840 的第二端耦接于第一开关 830 的第二

端及共同电压线 C_{T+2} , 而第二开关 840 的控制端耦接于反相器 820 的输出端。因此, 当栅极信号 VG_{T-2} 为高电位时, 第一开关 830 及第二开关 840 会被关闭, 而中断共同电压线 C_T 及共同电压线 C_{T+2} 之间的电性连接; 而当栅极信号 VG_{T-2} 为低电位时, 第一开关 830 及第二开关 840 会被开启, 而共同电压线 C_T 及共同电压线 C_{T+2} 之间的电性连接会被建立。换言之, 第 T 个主要双向切换电路 E'_T 依据第 T 个移位寄存器 SR_{T-2} 所输出的栅极信号 VG_{T-2} , 控制第 T 条共同电压线 C_T 及第 $T+2$ 条共同电压线 C_{T+2} 之间的电性连接。因此, 藉由主要双向切换电路 E'_T , 共同电压线 C_T 及 C_{T+2} 可进行电荷分享。

[0040] 在本发明一实施例中, 第一栅极驱动器 1320B 可由图 20 中的第一栅极驱动器 1320C 取代, 而第二栅极驱动器 1330B 可由图 21 中的第二栅极驱动器 1330C 取代。第一栅极驱动器 1320C 及第二栅极驱动器 1330C 相较于第一栅极驱动器 1320B 及第二栅极驱动器 1330B 多了多个次要双向切换电路 F_1 至 F_{N-1} 。其中次要双向切换电路 F_1 至 F_{N-1} 的偶数级次要双向切换电路 $F_2, F_4, \dots$ 至 F_{N-2} 设置于第一栅极驱动器 1320C, 而次要双向切换电路 F_1 至 F_{N-1} 的奇数级次要双向切换电路 $F_1, F_3, \dots$ 至 F_{N-1} 设置于第二栅极驱动器 1330C。其中第一栅极驱动器 1320C 及第二栅极驱动器 1330C 设置于液晶显示器的相对两侧。次要双向切换电路 F_1 至 F_{N-1} 耦接于扫描线 G_1 至 G_N 。每一个次要双向切换电路 F_1 至 F_{N-1} 会依据栅极信号 VG_1 至 VG_N 中的两个栅极信号, 控制扫描线 G_1 至 G_N 中的两条扫描线之间的电性连接。举例来说, 次要双向切换电路 F_1 依据栅极信号 VG_1 和 VG_2 , 控制扫描线 G_1 和 G_2 之间的电性连接; 次要双向切换电路 F_2 依据栅极信号 VG_2 和 VG_3 , 控制扫描线 G_2 和 G_3 之间的电性连接; 次要双向切换电路 F_3 依据栅极信号 VG_3 和 VG_4 , 控制扫描线 G_3 和 G_4 之间的电性连接; 依此类推。

[0041] 请参考图 22 并同时参照图 20 和图 21。图 22 为图 20 和图 21 的任一个次要双向切换电路 F_U 的电路图, 其中 U 为正整数, 且 $1 \leq U \leq N-1$ 。次要双向切换电路 F_U 包含与门 (AND gate) 1810、反相器 1820、第一开关 1830 及第二开关 1840。与门 1810 具有两输入端分别接收两个移位寄存器 SR_U 及 SR_{U+1} 所输出的两个栅极信号 VG_U 及 VG_{U+1} , 并对两个栅极信号 VG_U 及 VG_{U+1} 进行与 (AND) 运算。反相器 1820 的输入端耦接于与门 1810 的输出端。第一开关 1830 的第一端耦接于扫描线 G_U , 第一开关 1830 的第二端耦接于扫描线 G_{U+1} , 而第一开关 1830 的控制端耦接于反相器 1820 的输出端。第二开关 1840 的第一端耦接于第一开关 1830 的第一端及扫描线 G_U , 第二开关 1840 的第二端耦接于第一开关 1830 的第二端及扫描线 G_{U+1} , 而第二开关 1840 的控制端耦接于与门 1810 的输出端。因此, 当栅极信号 VG_U 及 VG_{U+1} 都为高电位时, 第一开关 1830 及第二开关 1840 会被开启, 而扫描线 G_U 及扫描线 G_{U+1} 之间的电性连接会被建立; 而当栅极信号 VG_U 及 VG_{U+1} 不同时为高电位时, 第一开关 1830 及第二开关 1840 会被关闭, 而中断扫描线 G_U 及扫描线 G_{U+1} 之间的电性连接。换言之, 第 U 个次要双向切换电路 F_U 依据第 $U+2$ 个及第 $U+3$ 个移位寄存器 SR_U 及 SR_{U+1} 所输出的两个栅极信号 VG_U 及 VG_{U+1} , 控制第 U 条扫描线 G_U 及第 $U+1$ 条扫描线 G_{U+1} 之间的电性连接。

[0042] 在第一栅极驱动器 1320C 中, 由于偶数级次要双向切换电路 $F_2, F_4, \dots$ 至 F_{N-2} 的作用, 在第一栅极驱动器 1320C 所产生的栅极信号 $VG_1, VG_3, \dots$ 及 VG_{N-2} 可对栅极信号 $VG_2, VG_4, \dots$ 及 VG_{N-1} 进行补偿。相对地, 在第二栅极驱动器 1330C 中, 由于奇数级次要双向切换电路 $F_1, F_3, \dots$ 至 F_{N-1} 的作用, 在第二栅极驱动器 1330C 所产生的栅极信号 $VG_2, VG_4, \dots$ 及 VG_N 可对栅极信号 $VG_1, VG_3, \dots$ 及 VG_{N-1} 进行补偿。如此, 扫描线 G_1 至 G_{N-1} 末端的信号强度可藉由次要双向切换电路 F_1 至 F_{N-1} 得到补强, 进而可确保液晶显示器的画质。

[0043] 综上所述,透过本发明实施例的液晶显示器,可依据每列像素进行极性转换的时间点,藉由多个主要双向切换电路,控制液晶显示器的多条共同电压线的电性连接。如此,因每条共同电压线的电荷可彼此地分享,而使得共同电压缓冲器所需驱动的像素的等效电容值不会过大。此外,由于共同电压缓冲器所需驱动的像素的等效电容值不会过大,共同电压缓冲器的布线面积即可相对地缩小,而有助于窄边框的液晶显示面板的实现。

[0044] 以上所述仅为本发明的较佳实施例,凡依本发明申请专利范围所做的均等变化与修改,皆应属本发明的涵盖范围。

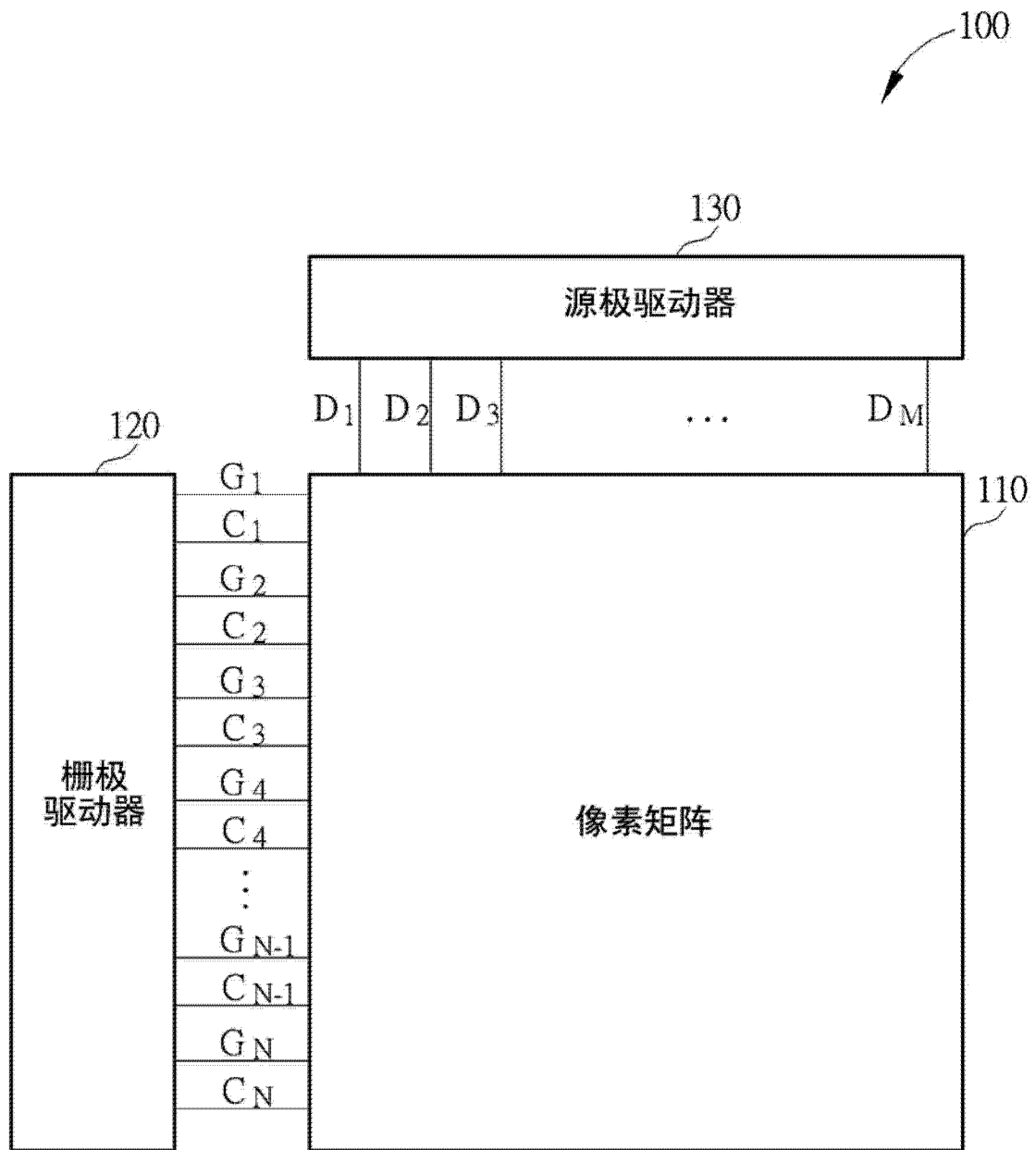


图 1

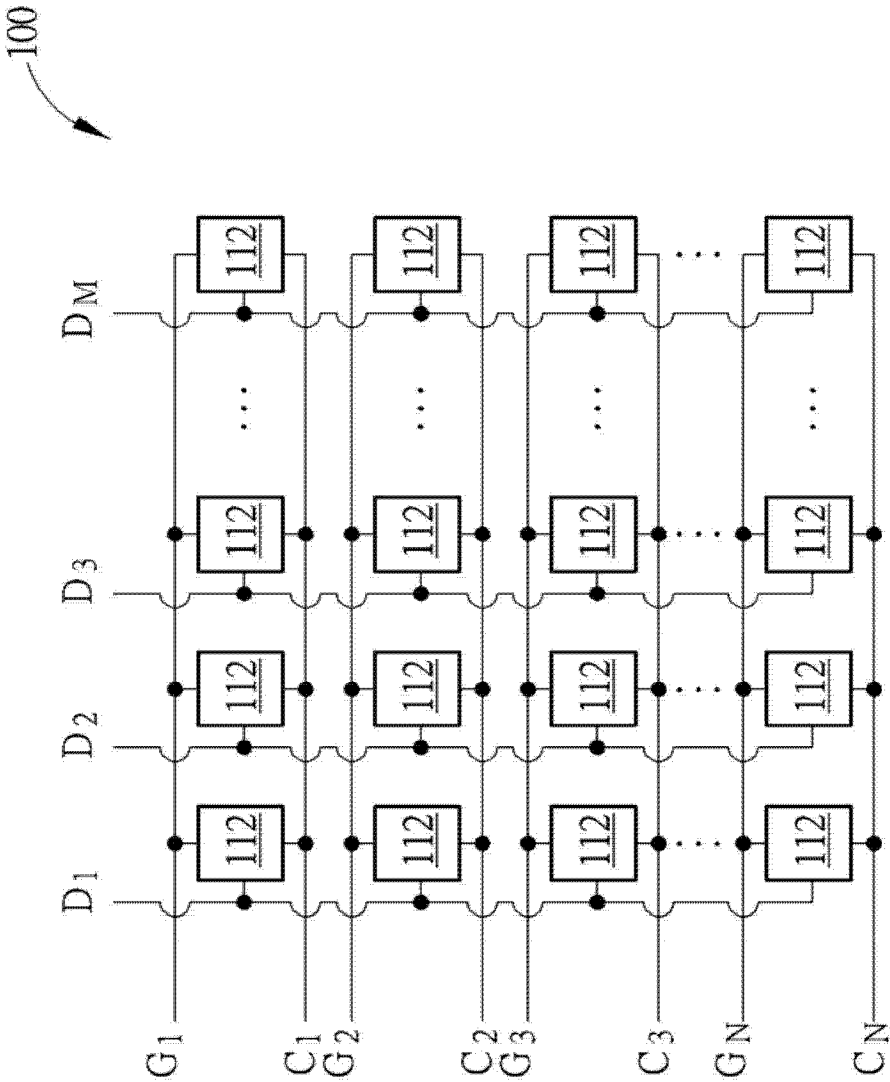


图 2

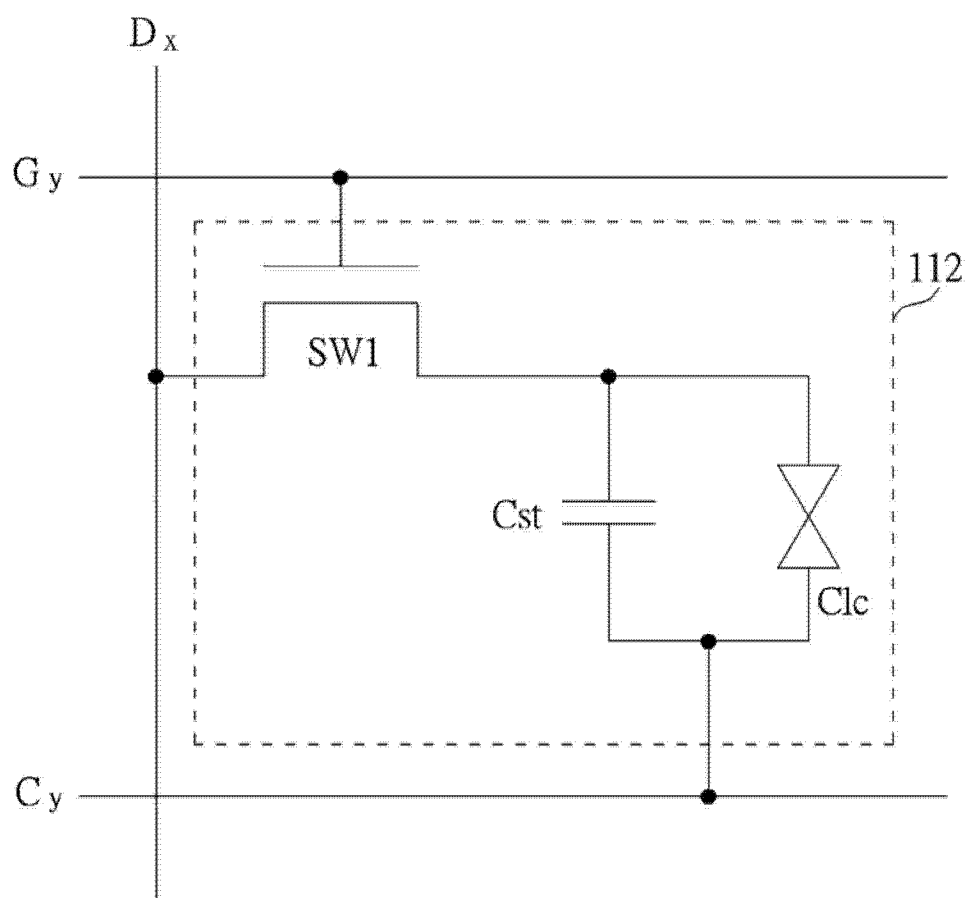


图 3

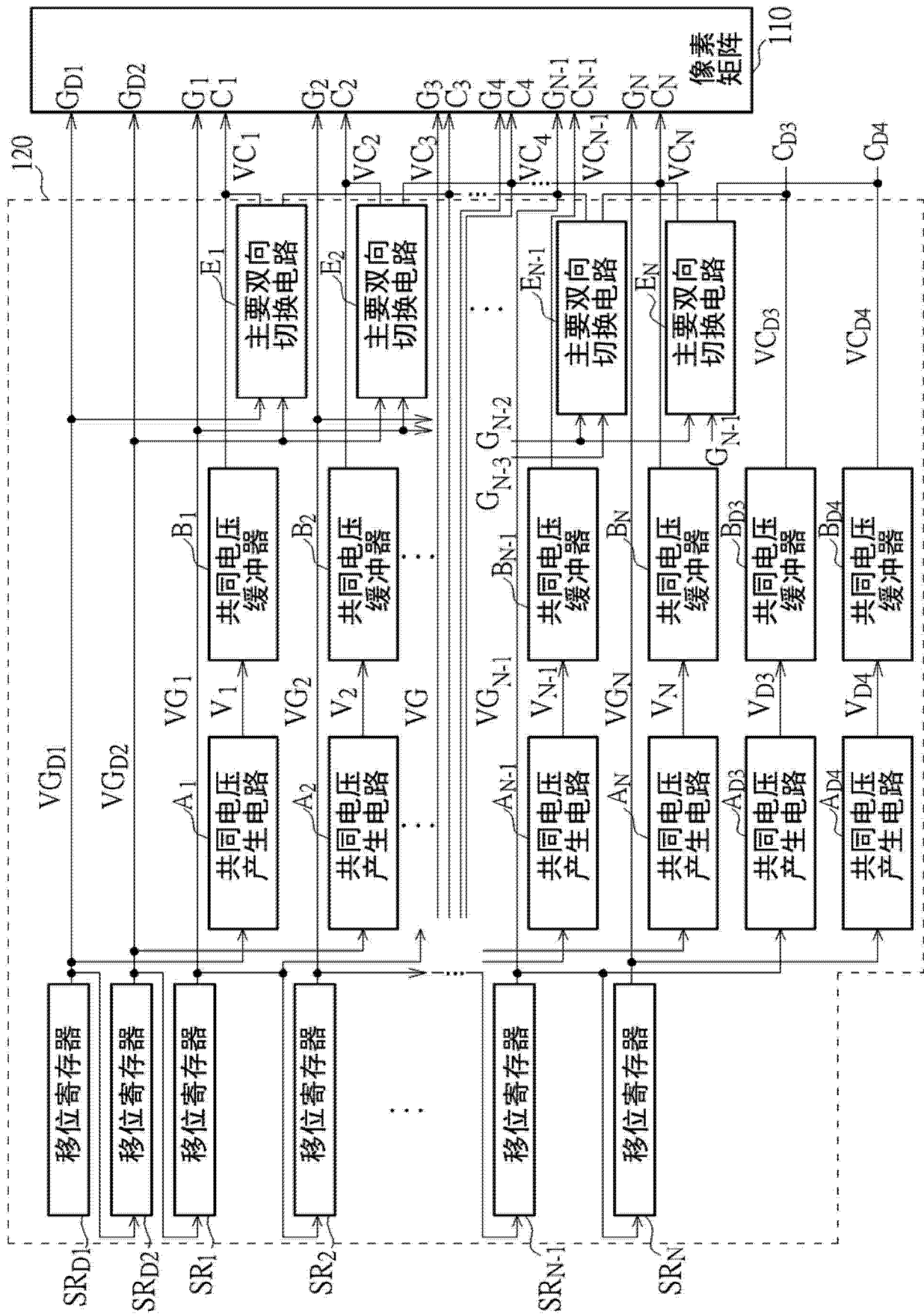


图 4

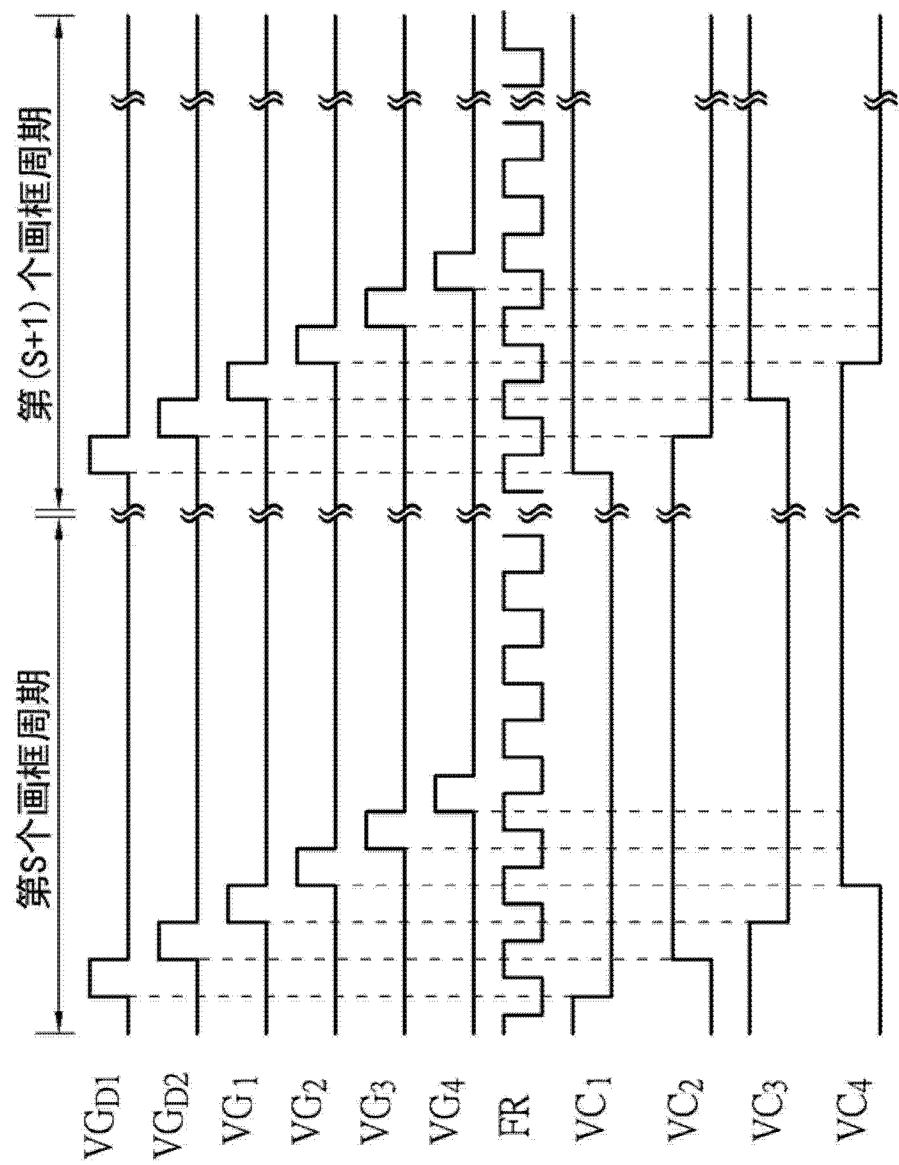


图 5

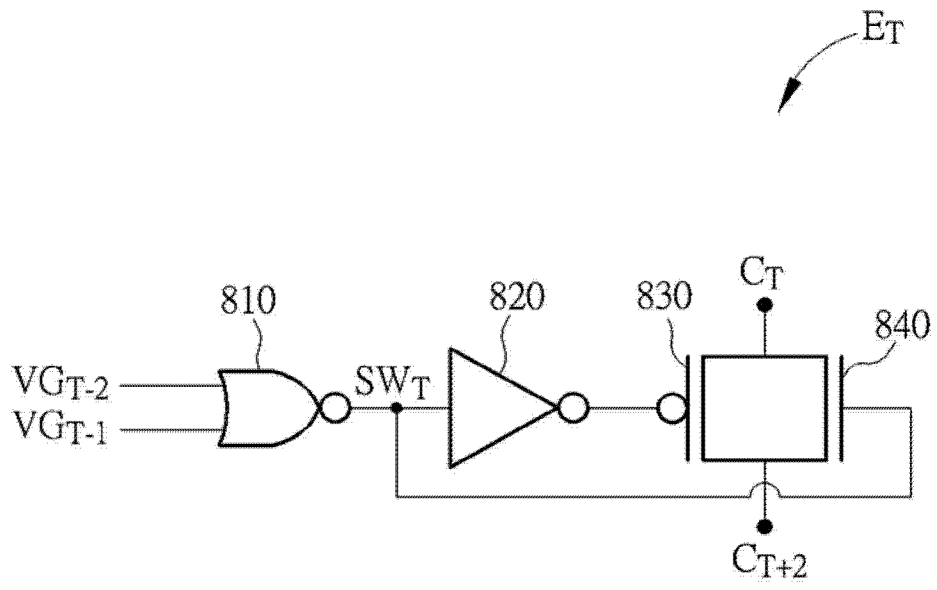


图 6

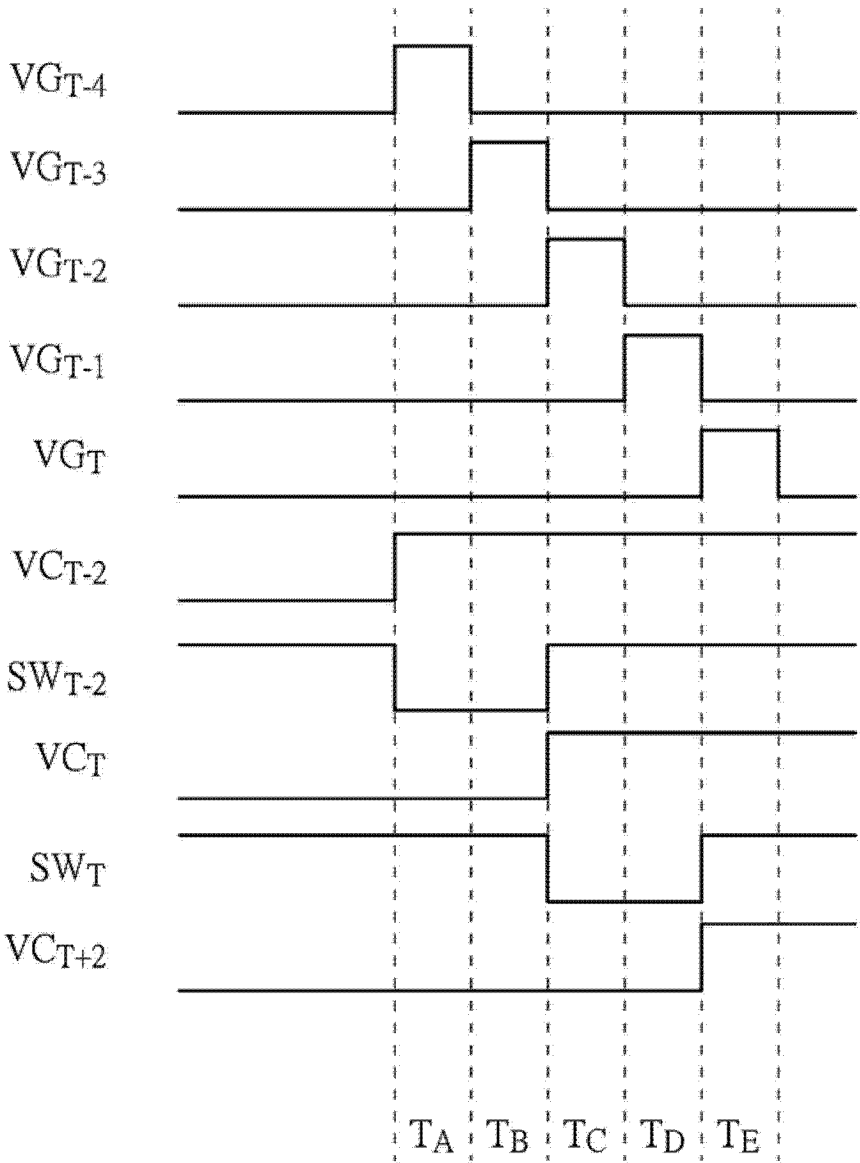


图 7

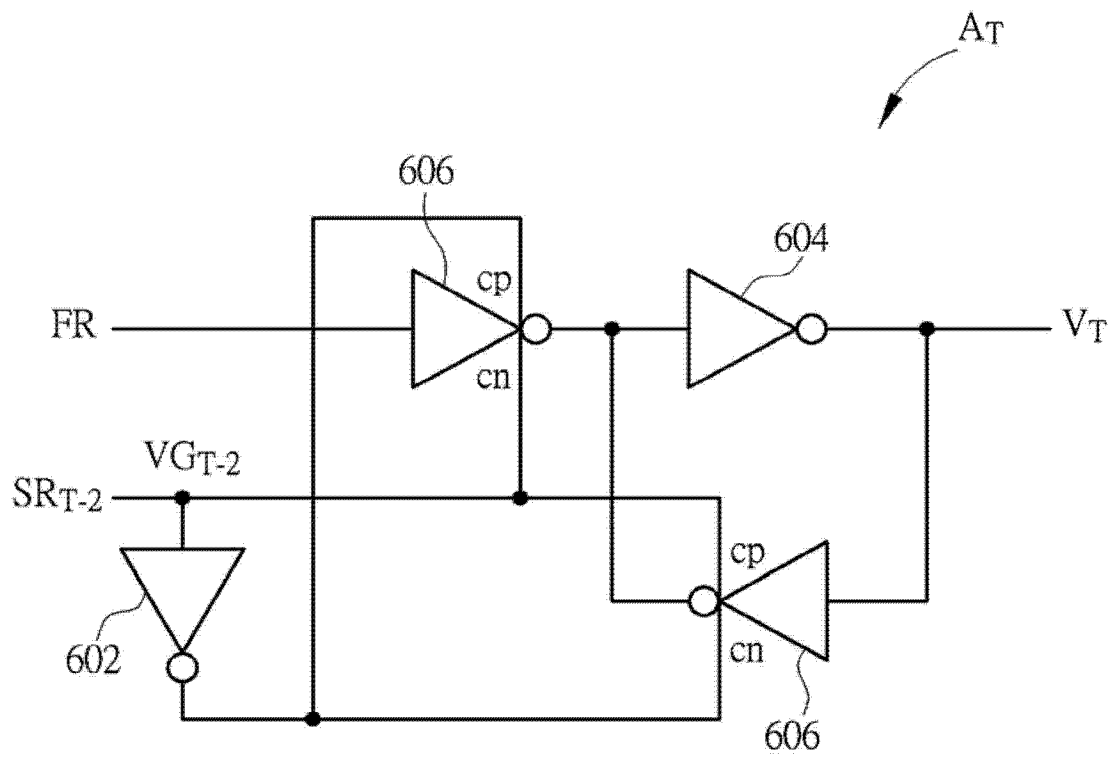


图 8

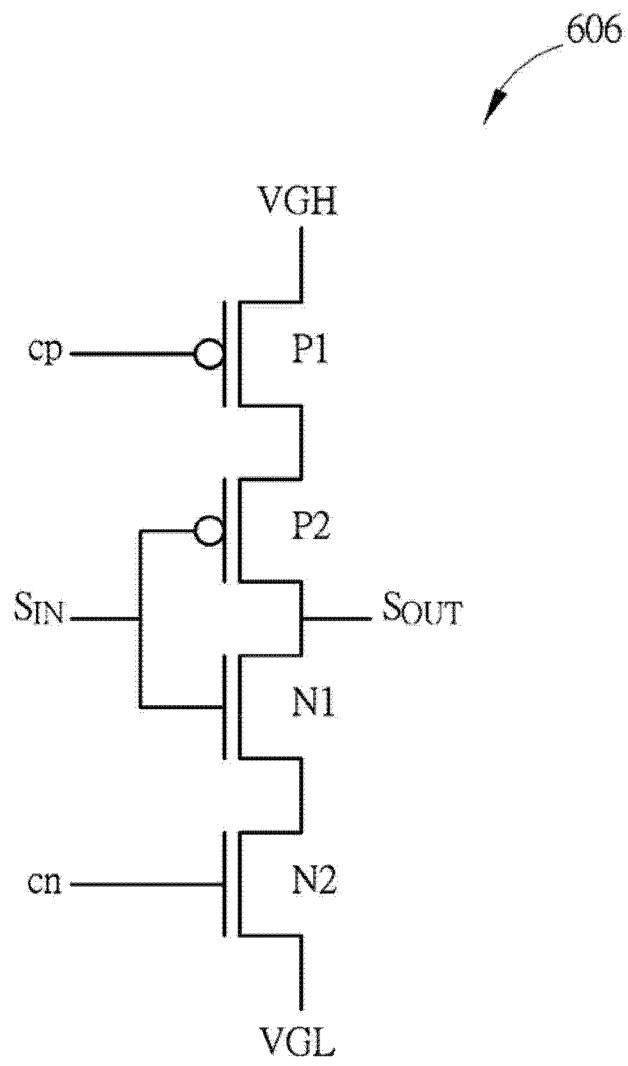


图 9

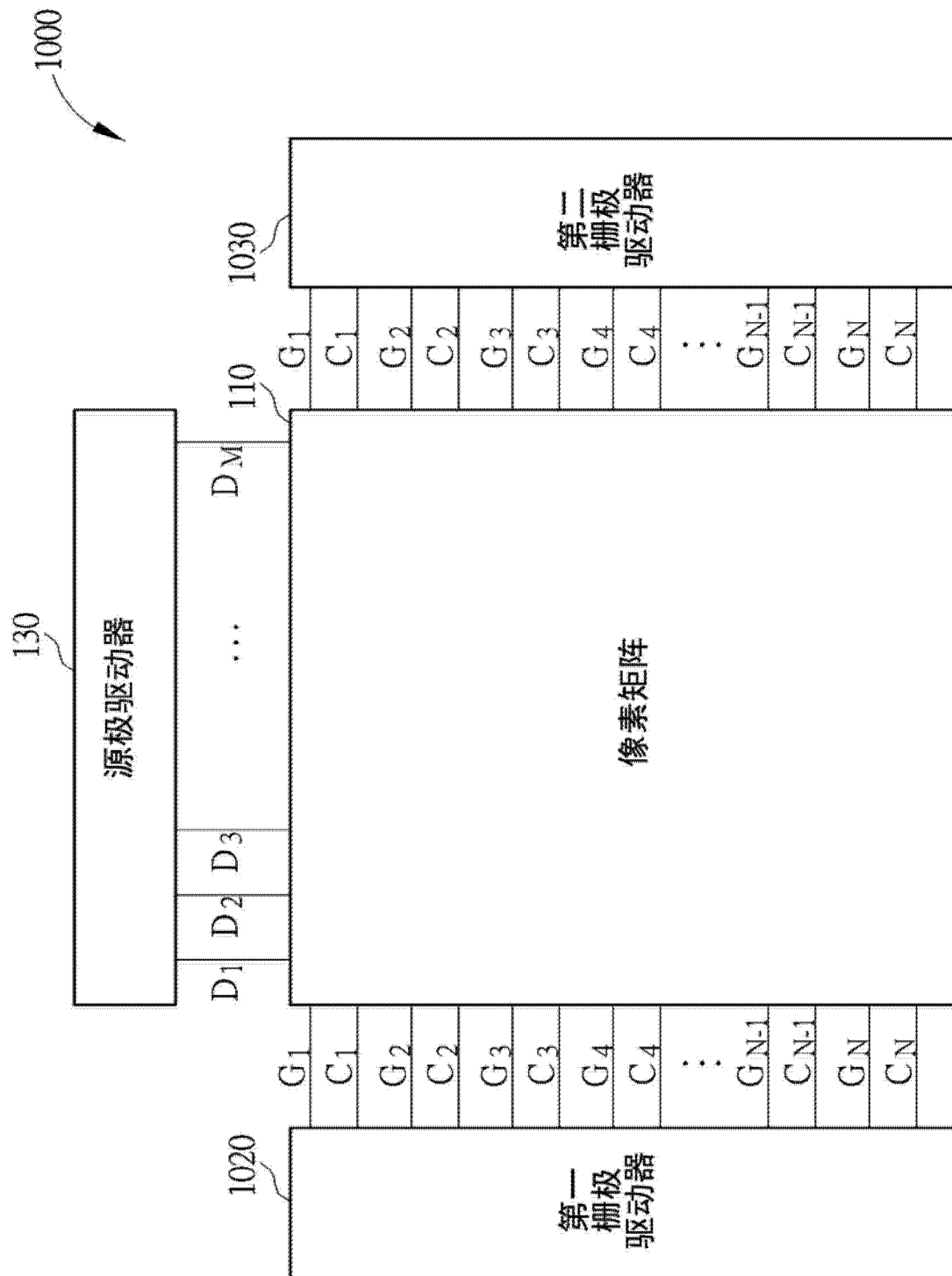


图 10

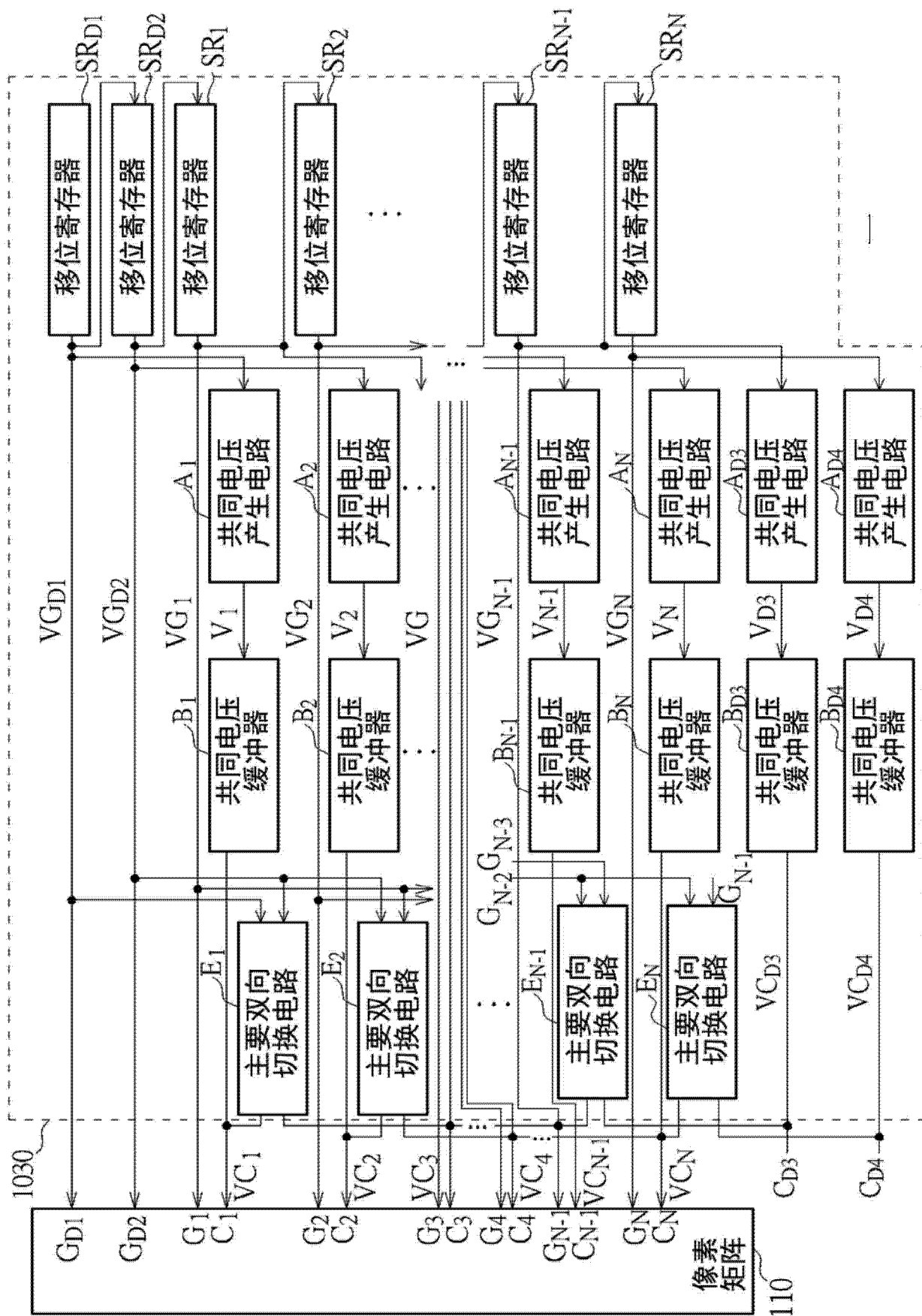


图 12

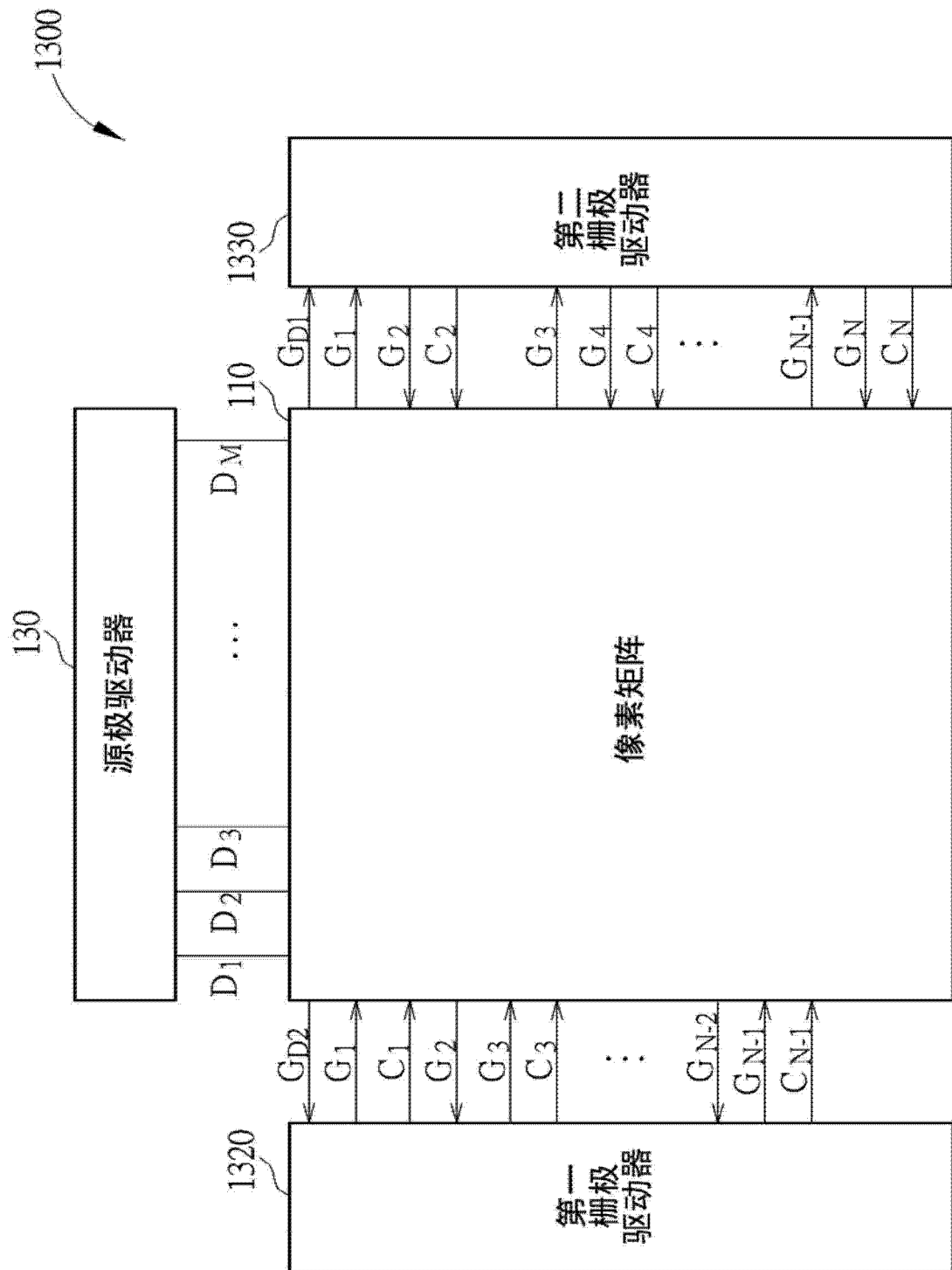


图 13

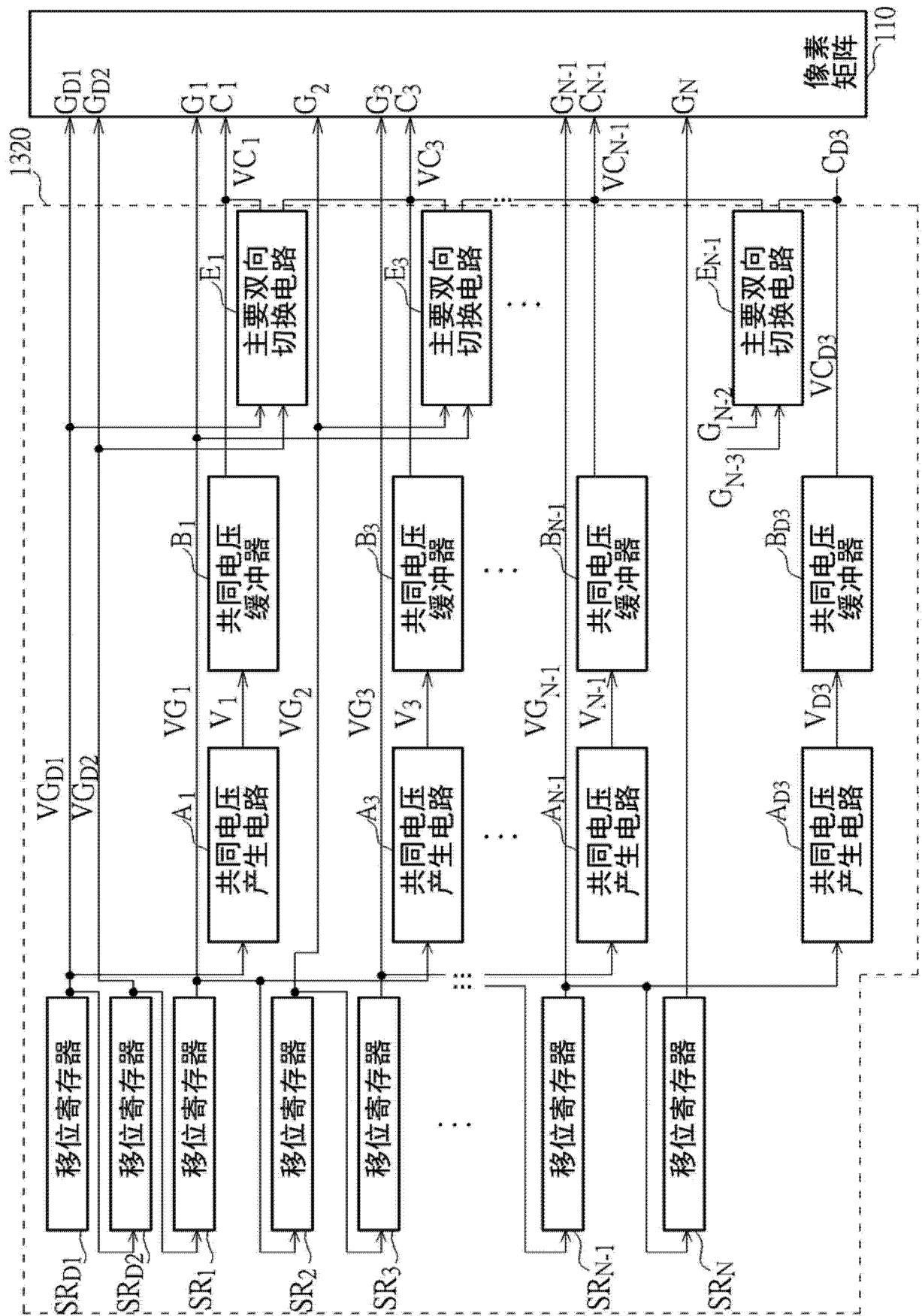


图 14

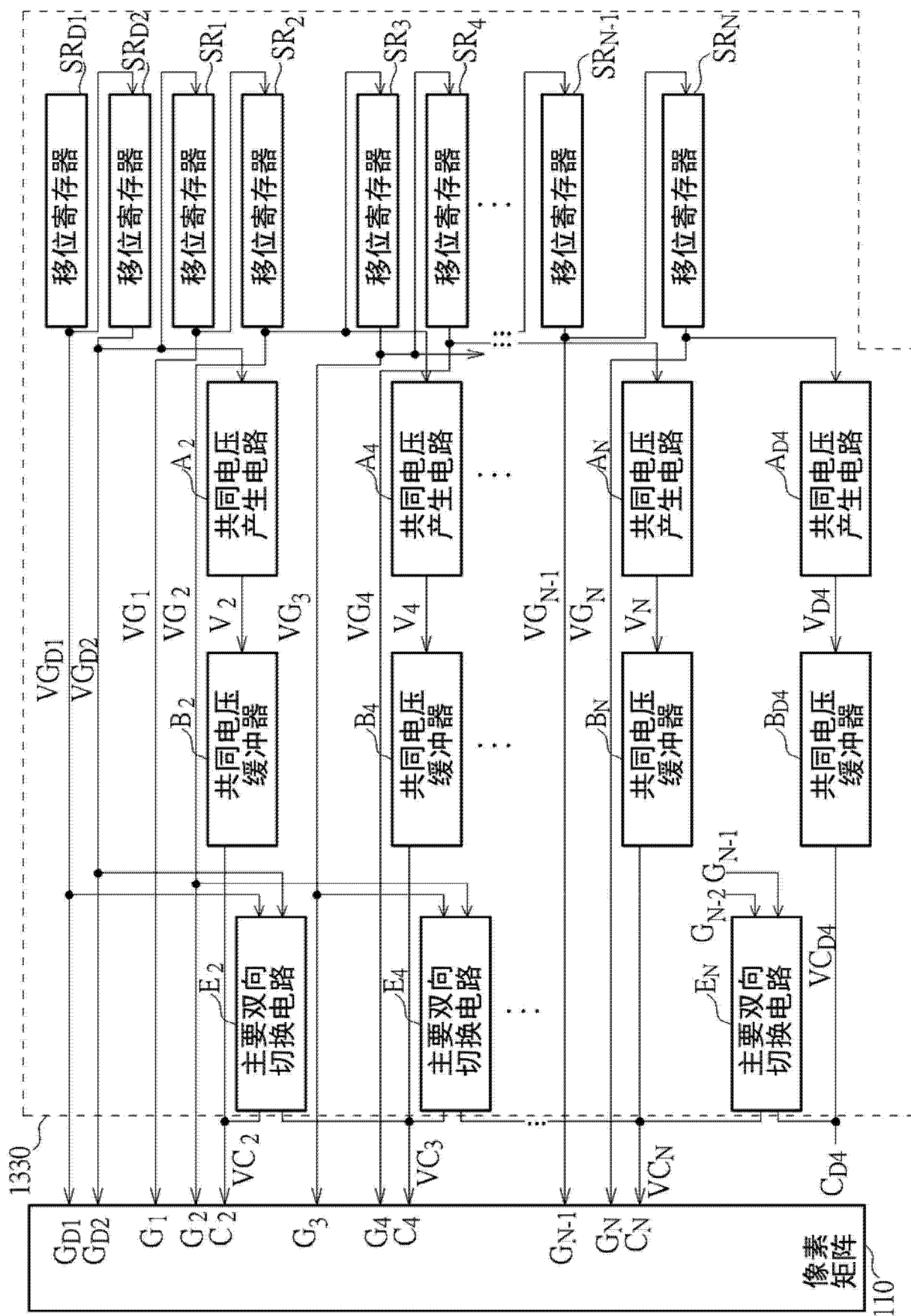


图 15

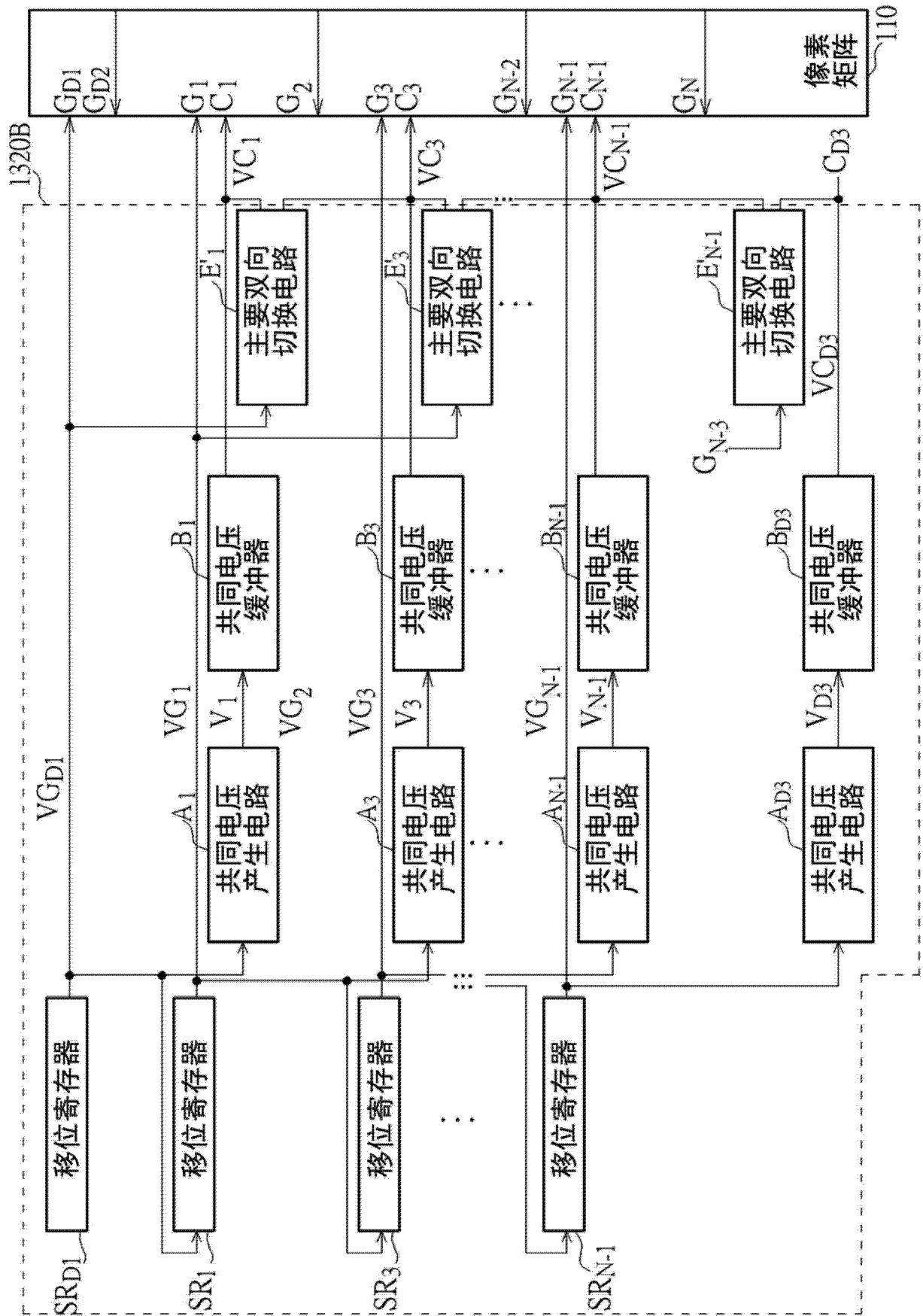


图 16

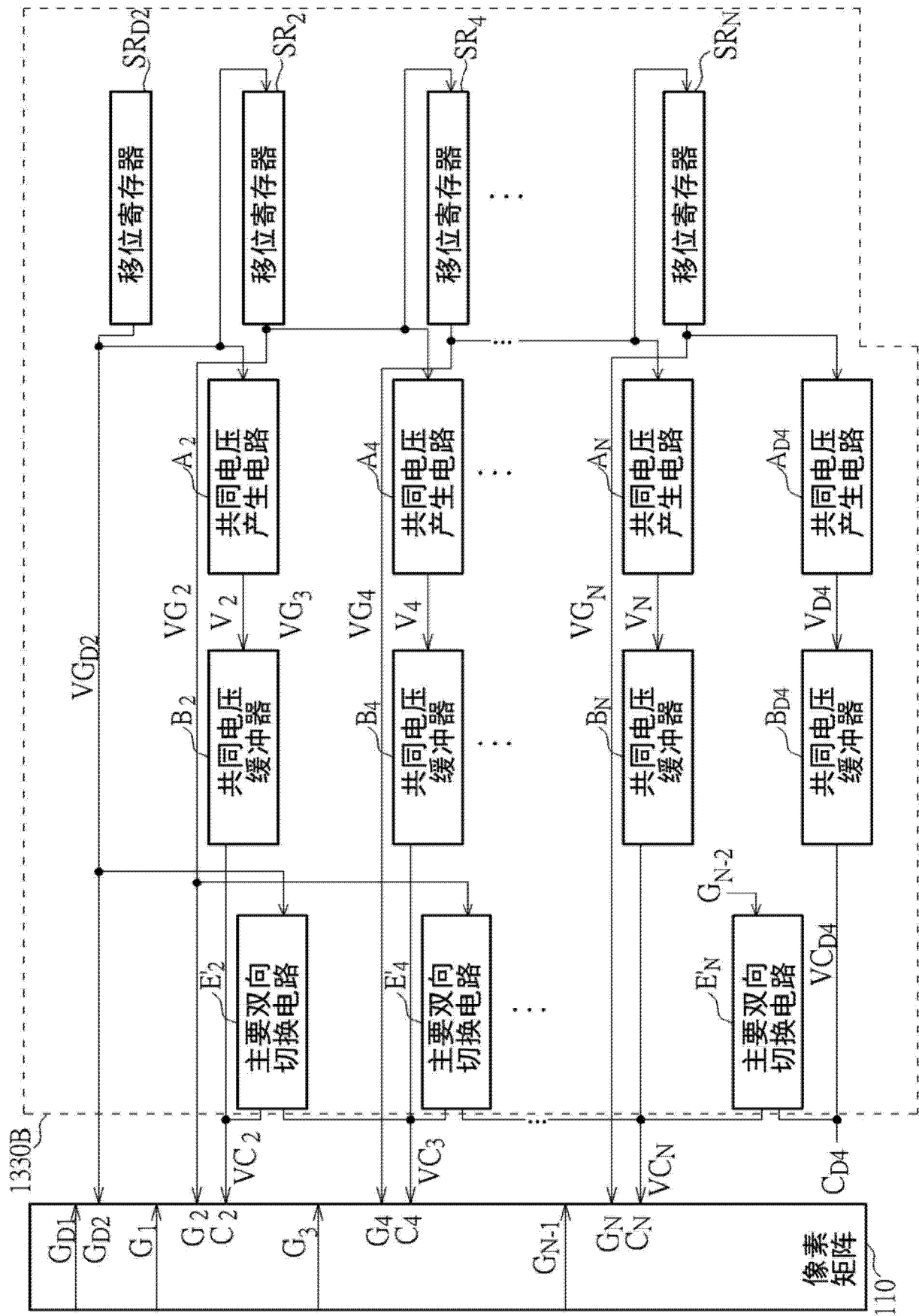


图 17

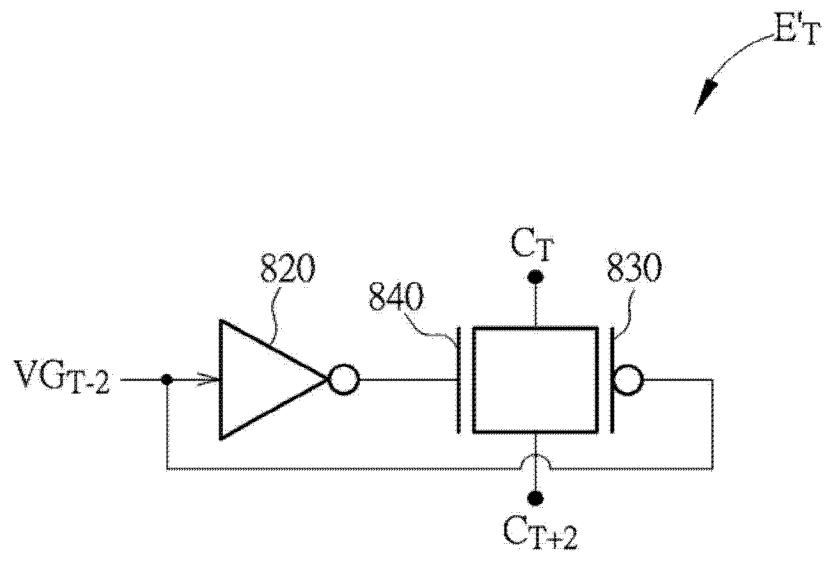


图 18

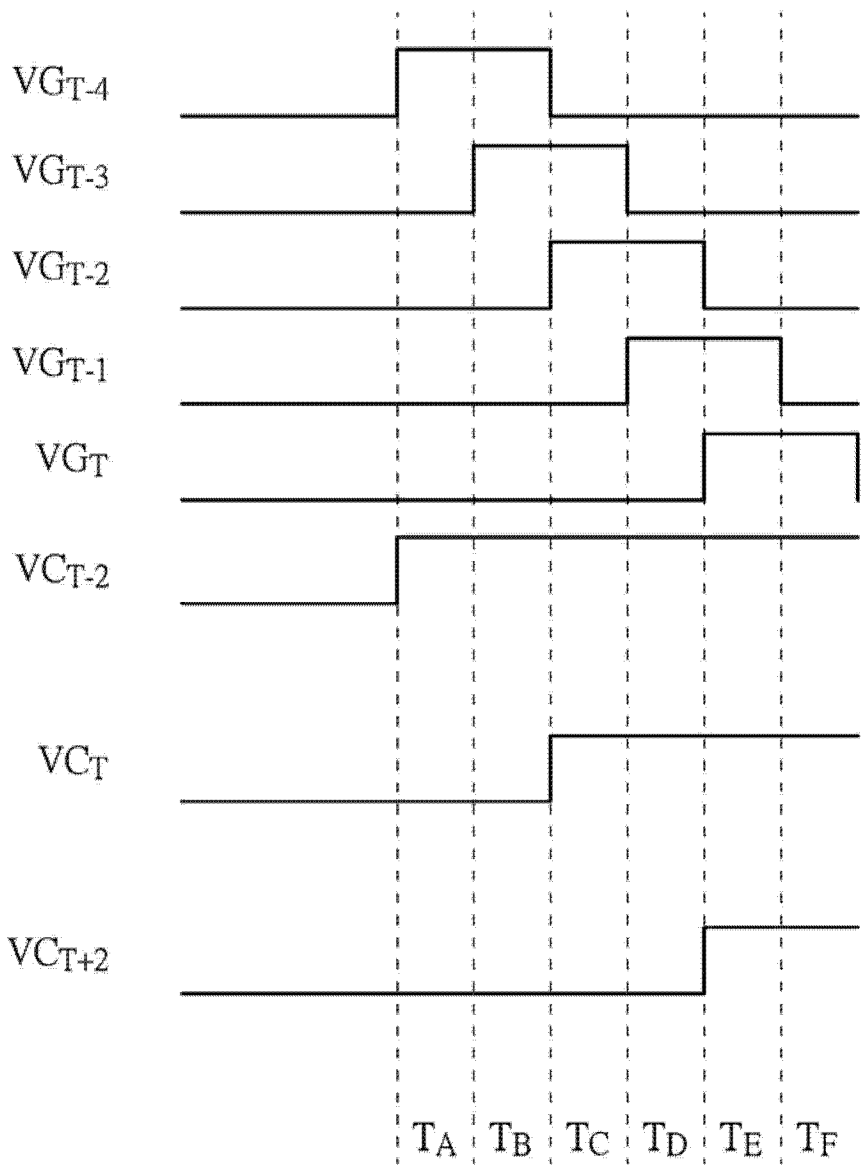


图 19

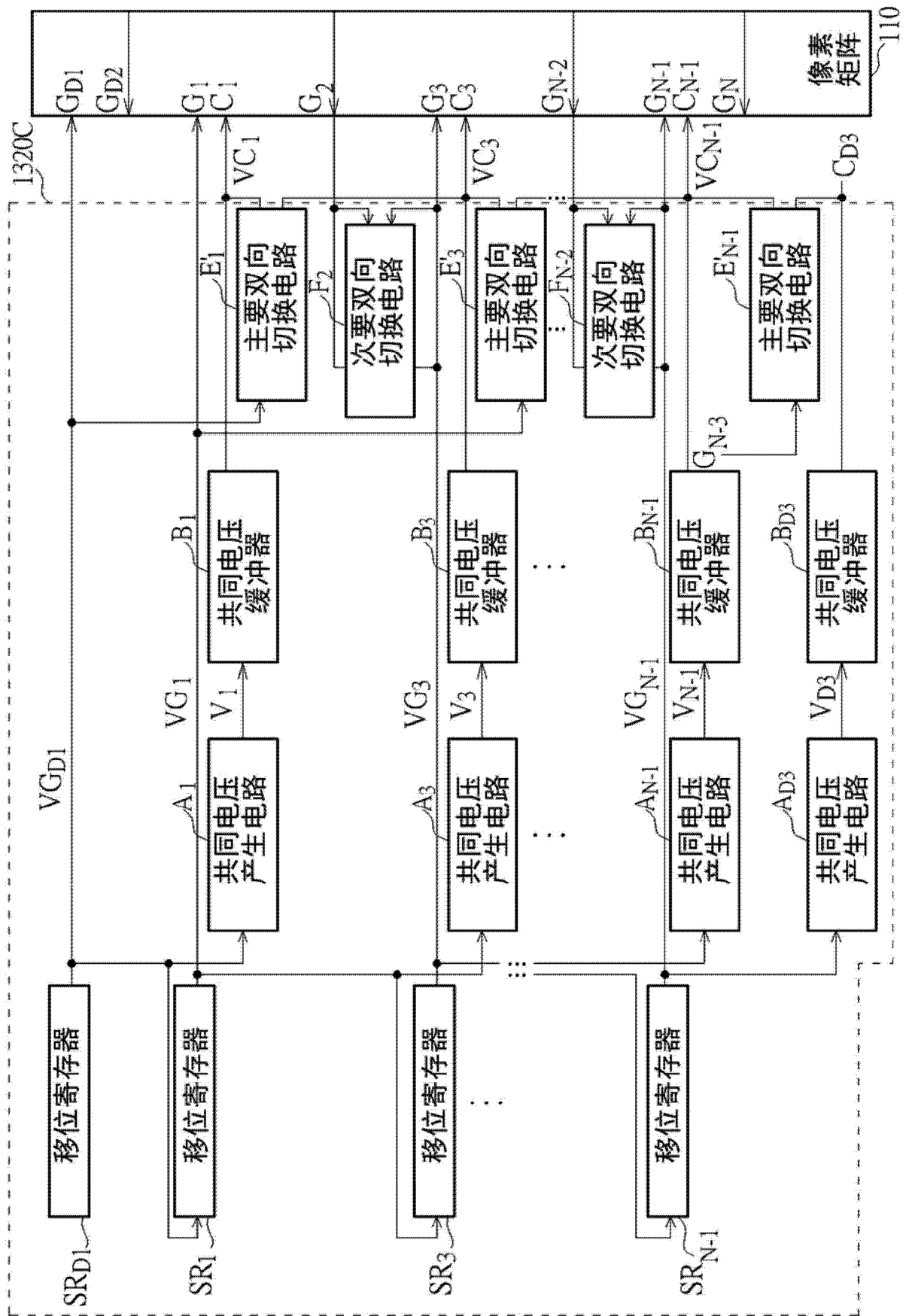


图 20

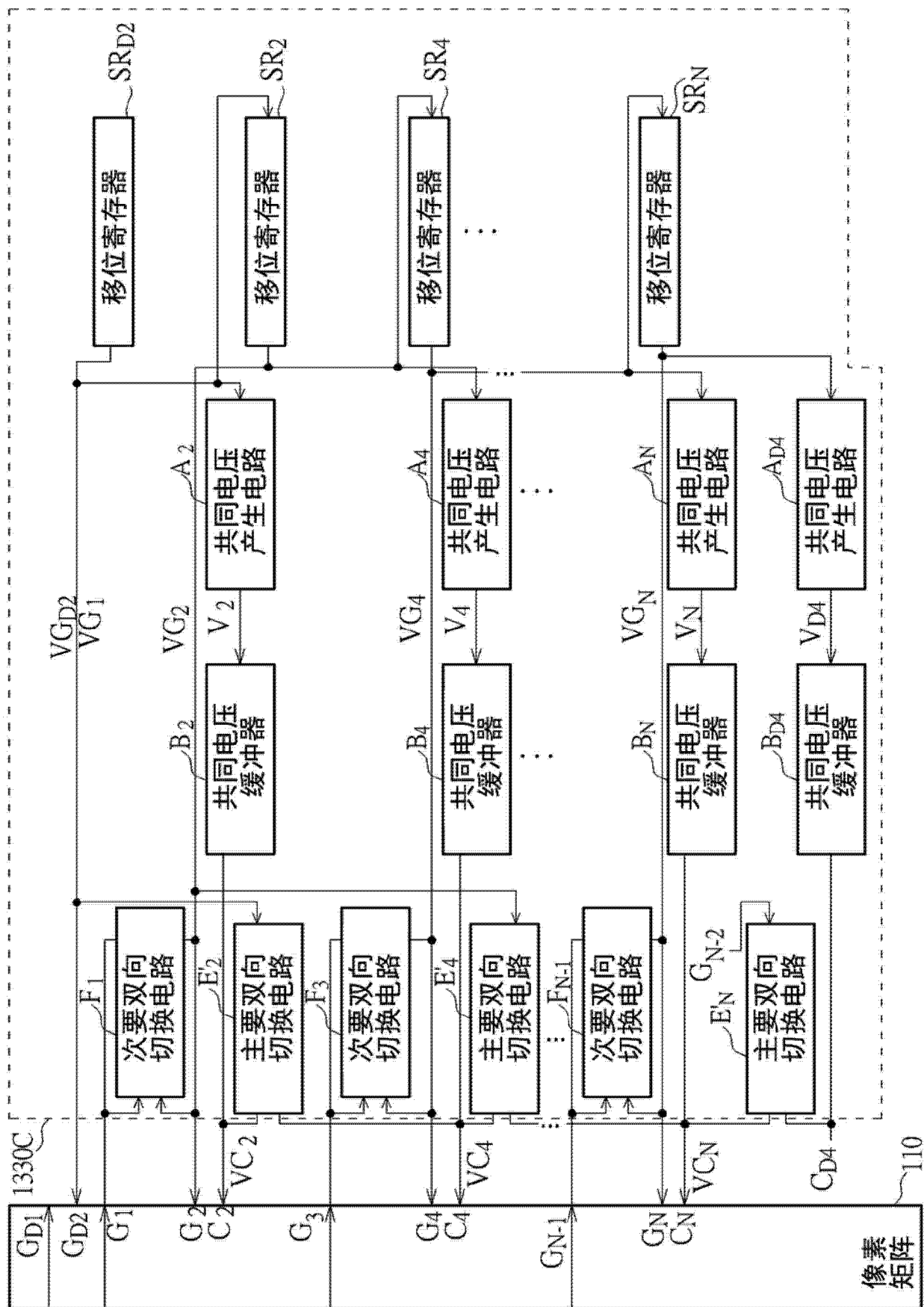


图 21

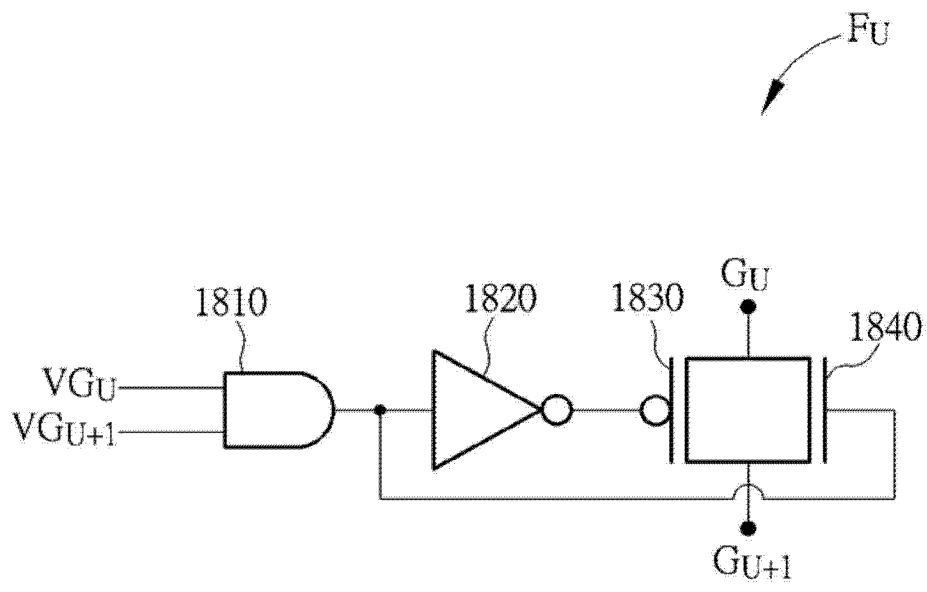


图 22

专利名称(译)	液晶显示器		
公开(公告)号	CN103996387A	公开(公告)日	2014-08-20
申请号	CN201410117736.7	申请日	2014-03-26
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	吴旻鸿		
发明人	吴旻鸿		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/3611 G09G3/3614 G09G3/3648 G09G3/3655 G09G2300/0809 G09G2310/0286 G09G2310/0291		
优先权	103103244 2014-01-28 TW		
其他公开文献	CN103996387B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器，具有像素矩阵、多个移位寄存器、多个共同电压产生电路、多个共同电压缓冲器以及多个共同电压双向切换电路。移位寄存器依序地输出多个栅极信号至像素矩阵的多条扫描线。共同电压产生电路依据栅极信号输出多个初始共同电压。共同电压缓冲器用以缓冲初始共同电压，以输出多个共同电压至像素矩阵的多条共同电压线。每一共同双向切换电路依据至少一个移位寄存器所输出的栅极信号，控制两条共同电压线之间的电性连接。

