



(12) 发明专利申请

(10) 申请公布号 CN 103309069 A

(43) 申请公布日 2013.09.18

(21) 申请号 201310281983.6

(22) 申请日 2013.07.05

(71) 申请人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区塘明大道 9-2 号

(72)发明人 杜鹏 施明宏 姜佳丽

(74) 专利代理机构 深圳市百瑞专利商标事务所
(普通合伙) 44240

代理人 邢涛

(51) Int. Cl.

G02F 1/133 (2006.01)

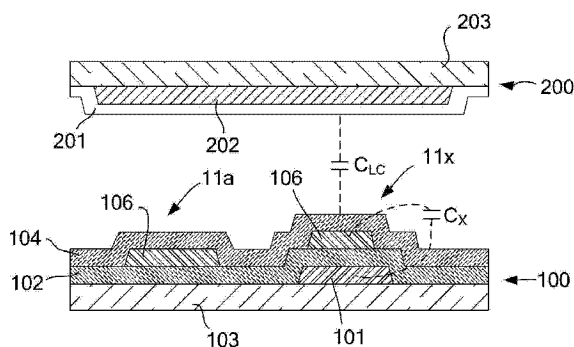
权利要求书1页 说明书7页 附图4页

(54) 发明名称

阵列基板的扇出线结构及显示面板

(57) 摘要

本发明公开一种阵列基板的扇出线结构及液晶面板,所述扇出线结构包括:布置在阵列基板扇出区的第一扇出线以及第二扇出线;所述第二扇出线底部设置有附加导电膜,所述附加导电膜与所述第二扇出线的第一导电膜之间形成一个用以减小扇出线之间的阻抗差异的附加电容,所述附加电容的大小由所述附加导电膜与所述第一导电膜之间的重叠面积确定。该附加电容对通过扇出线的信号会产生明显 RC 延迟效果,因而,对于电阻较小的扇出线来说,可以通过添加较大的附加电容来使扇出线的阻抗变大,使其对信号产生延迟的影响,这样其与较长、电阻较大的扇出线的信号达到同步的状态。



1. 一种阵列基板的扇出线结构,其特征在于,包括:

布置在阵列基板扇出区的第一扇出线以及第二扇出线;

所述第二扇出线底部设置有附加导电膜,所述附加导电膜与所述第二扇出线的第一导电膜之间形成一个用以减小扇出线之间的阻抗差异的附加电容,所述附加电容的大小由所述附加导电膜与所述第一导电膜之间的重叠面积确定。

2. 如权利要求1所述的阵列基板的扇出线结构,其特征在于,所述第一扇出线、第二扇出线内仅设置有一层第一导电膜。

3. 如权利要求1所述的阵列基板的扇出线结构,其特征在于,所述附加导电膜为宽度不变,沿所述每条第二扇出线的走向铺设的多条走线,其中,不同长度的第二扇出线底部铺设的附加导电膜的长度不同。

4. 如权利要求3所述的阵列基板的扇出线结构,其特征在于,所述扇出线底部铺设的附加导电膜的长度为:

$$L_{22} = \varepsilon_{r1} d_2 (L_1^2 - L_2^2) / L_2 (d_1 \varepsilon_{r2} - d_2 \varepsilon_{r1});$$

所述 L_1 为所述第一扇出线以及第二扇出线中任选的一条扇出线的长度,该 L_1 长的扇出线为参照线,所述 L_2 为所述第二扇出线的长度,所述 L_{22} 为所述长为 L_2 的扇出线底部铺设的附加导电膜的长度,所述 ε_{r1} 为液晶面板中液晶层的相对介电常数,所述 d_1 为所述液晶层的厚度,所述 ε_{r2} 为所述第一导电膜与所述附加导电膜之间的电介质的相对介电常数,所述 d_2 为所述电介质的厚度。

5. 如权利要求4所述的阵列基板的扇出线结构,其特征在于,所述参照线为所述第一扇出线以及第二扇出线中最长的一条。

6. 如权利要求1所述的阵列基板的扇出线结构,其特征在于,所述附加导电膜为同时覆盖多条扇出线的导电膜区块。

7. 如权利要求1所述的阵列基板的扇出线结构,其特征在于,所述第一扇出线以及第二扇出线中,两个端点的直线距离比其它扇出线的两个端点的直线距离小的扇出线设置有用以加长该扇出线的绕线部。

8. 如权利要求1所述的阵列基板的扇出线结构,其特征在于,所述第一导电膜为金属导电膜;所述附加导电膜为氧化铟锡导电膜或金属导电膜。

9. 一种阵列基板的扇出线结构,其特征在于,包括:

布置在阵列基板扇出区的第一扇出线以及第二扇出线;

所述第二扇出线包括形成在阵列基板底层的附加导电膜,形成在附加导电膜之上的第一绝缘层,形成在所述第一绝缘层之上的第一导电膜,以及形成在所述第一导电膜之上的第二绝缘层;

所述附加导电膜与所述第一导电膜之间形成一个用以减小扇出线之间阻抗差异的附加电容;所述附加电容的大小由所述附加导电膜与所述第一导电膜之间的重叠面积确定。

10. 一种显示面板,其特征在于,包括如权利要求1-8任一所述的扇出线结构。

阵列基板的扇出线结构及显示面板

技术领域

[0001] 本发明涉及显示装置领域,更具体的说,涉及一种阵列基板的扇出线结构及显示面板。

背景技术

[0002] 液晶面板是液晶显示装置的重要组件,在背光模组的配合以及驱动电路的驱动下,液晶面板能够显示出图像。

[0003] 如图 1、图 2 及图 3 所示,在液晶面板的阵列基板 100 上设置有 TFT 阵列区域 120, TFT 阵列区域 120 内布满了信号线,驱动电路板 130 通过扇出线 11 (fanout line) 将阵列基板 100 的信号线 13 与驱动电路板 130 的焊脚 12 连接,而扇出线 11 的设置区域则称为扇出区 14 (fanout area)。

[0004] 由于焊脚 12 紧密排列而信号线 13 分散排列,也就是说焊脚 12 到信号线 13 的距离各不相同,这样扇出线 11 设置之后就造成了电阻不均的情况,不同长度不同电阻的扇出线会使信号的波形发生变形,从而会影响液晶显示装置的显示质量。

发明内容

[0005] 本发明所要解决的技术问题是提供一种扇出区高度小、应用于显示装置时显示效果更优秀、边框更窄的阵列基板的扇出线结构及显示面板。

[0006] 本发明的目的是通过以下技术方案来实现的:一种阵列基板的扇出线结构,包括:布置在阵列基板扇出区的第一扇出线以及第二扇出线;所述第二扇出线底部设置有附加导电膜,所述附加导电膜与所述第二扇出线的所述第一导电膜之间形成一个用以减小扇出线之间的阻抗差异的附加电容,所述附加电容的大小由所述附加导电膜与所述第一导电膜之间的重叠面积确定。

[0007] 优选的,所述第一扇出线、第二扇出线内仅设置有一层第一导电膜。扇出线采用单层导电膜可以在液晶面板的制程中更好的避免发生 ESD(Electro-Static discharge,静电释放)。

[0008] 优选的,所述附加导电膜的宽度大于所述第一导电膜宽度。这样制程中可以更容易实现,并且保证附加导电膜与所述第一导电膜重叠的宽度不变。

[0009] 优选的,所述附加导电膜为宽度不变,沿所述每条第二扇出线的走向铺设的多条走线,其中,不同长度的第二扇出线底部铺设的附加导电膜的长度不同。覆盖宽度相同,从而可以根据扇出线长度的不同而设置不同的覆盖长度,这样可以方便计算对应的覆盖面积,进而获得相应的附加电容值。

[0010] 优选的,所述扇出线底部铺设的附加导电膜的长度为:

[0011]
$$L_{22} = \varepsilon_{r1} d_2 (L_1^2 - L_2^2) / L_2 (d_1 \varepsilon_{r2} - d_2 \varepsilon_{r1});$$

[0012] 所述 L_1 为所述第一扇出线以及第二扇出线中任选的一条扇出线的长度,该 L_1 长的扇出线为参照线,所述 L_2 为所述第二扇出线的长度,所述 L_{22} 为所述长为 L_2 的扇出线底部

铺设的附加导电膜的长度,所述 ϵ_{r1} 为液晶面板中液晶层的相对介电常数,所述 d_1 为所述液晶层的厚度,所述 ϵ_{r2} 为所述第一导电膜与所述附加导电膜之间的电介质的相对介电常数,所述 d_2 为所述电介质的厚度。

[0013] 优选的,所述参照线为所述第一扇出线以及第二扇出线中最长的一条。利用最长的扇出线作为参照,以计算其它扇出线所需要的覆盖面积,而最长的扇出线由于本身电阻较大,不需要再增加附加导电膜。

[0014] 优选的,所述附加导电膜为同时覆盖多条扇出线的导电膜区块。这样可以避免制造复杂的掩膜图案,在制程中更方便实现。

[0015] 优选的,所述附加导电膜与所述第一导电膜之间的电介质为钝化绝缘膜。钝化膜拥有良好的绝缘效果。

[0016] 优选的,所述第一扇出线以及第二扇出线中,两个端点的直线距离比其它扇出线的两个端点的直线距离小的扇出线设置有用以加长该扇出线的绕线部。由于扇出线对信号波形的影响是电阻 R 以及寄生电容 C 的综合影响,扇出线信号延迟的时间常数为 $\tau = RC$,需要使每一条的扇出线的信号延迟的时间常数相等,则可以同时对电阻 R 以及电容 C 进行调整,以达到最佳的工艺要求、设计要求以及产品要求,而对电阻 R 直接调整的话则可以通过增加扇出线的长度实现,本方案则是通过既增加扇出线的长度,又 设置附加电容来实现各扇出线之间的阻抗差异减小。

[0017] 优选的,所述第一导电膜为金属导电膜;所述附加导电膜为氧化铟锡导电膜或金属导电膜。金属导电膜的导电效果优秀,信号延时影响较小,对于附加导电膜,当附加导电膜选用为氧化铟锡时,可以在 FFS (Fringe Field Switching, 边缘场开关技术) 结构的面板制程中实现,因为 FFS 结构的面板的阵列基板最底层是氧化铟锡导电膜,而对于附加导电膜选用为金属导电膜时,可以在阵列基板的工艺中实现,如阵列基板在完成 TFT 上的金属导电膜或其它信号线时的金属导电膜时实现,这些实现过程只需要对蚀刻制程进行简单的调整即可,而不会增加新的掩膜工艺。

[0018] 一种阵列基板的扇出线结构,包括:

[0019] 布置在阵列基板扇出区的第一扇出线以及第二扇出线;

[0020] 所述第二扇出线包括形成在阵列基板底层的附加导电膜,形成在附加导电膜之上的第一绝缘层,形成在所述第一绝缘层之上的第一导电膜,以及形成在所述第一导电膜之上的第二绝缘层;

[0021] 所述附加导电膜与所述第一导电膜之间形成一个用以减小扇出线之间阻抗差异的附加电容;所述附加电容的大小由所述附加导电膜与所述第一导电膜之间的重叠面积确定。

[0022] 一种显示面板,包括上述任一所述的扇出线结构。

[0023] 本发明通过在阵列基板的多条扇出线中,在第二扇出线的底部铺设有附加导电膜,所述附加导电膜与第二扇出线的第二导电膜之间形成一附加电容。该附加电容对通过扇出线的信号会产生明显 RC 延迟效果,因而,对于电阻较小的扇出线来说,可以通过添加较大的附加电容来使扇出线的阻抗变大,使其对信号产生延迟的影响,这样其与较长、电阻较大的扇出线的信号达到同步的状态;另,由于采用在扇出线底部设置附加导电膜,从而可以在阵列基板的前面几道掩膜制程中实现,在前面几道掩膜制程中形成的 ITO 导电膜、金

属导电膜等都可以在制程中将这导电膜同时形成在扇出线设置区域形成所述附加导电膜。

附图说明

- [0024] 图 1 是现有液晶面板中阵列基板的结构示意图，
[0025] 图 2 是现有液晶面板中阵列基板的扇出区的扇出线布置示意图，
[0026] 图 3 是图 2 中 A 方向剖面图，
[0027] 图 4 是本发明实施例一的液晶面板扇出线结构示意图，
[0028] 图 5 是图 4 中 B 方向剖面图，
[0029] 图 6 是本发明实施例二扇出线结构示意图，
[0030] 图 7 是图 6 中 E 的局部放大图，
[0031] 图 8 是本发明实施例三扇出线与附加导电膜的设置结构图，
[0032] 图 9 是本发明实施例四扇出线与附加导电膜的设置结构图，
[0033] 图 10 是本发明实施例四另一种扇出线与附加导电膜的设置结构图，
[0034] 图 11 是图 10 中共通线结构图。
[0035] 其中，100、阵列基板，101、附加导电膜，102、第一绝缘层，104、第二绝缘层，103、玻璃基板，106、第一导电膜，11、扇出线，11a、第一扇出线，11s、参照线，11x、第二扇出线，12、焊脚，121、绕线部，120、TFT 阵列区域，13、信号线，130、驱动电路板，14、扇出区，200、彩膜基板，201、ITO 导电膜，202、黑矩阵，203、玻璃基板。

具体实施方式

[0036] 下面结合附图和较佳的实施例对本发明作进一步说明。

[0037] 实施例一

[0038] 如图 4 及图 5 所示，并参考图 1 及图 2，本实施例提供一种液晶面板，该液晶面板包括：阵列基板 100 以及彩膜基板 200，其中，彩膜基板 200 包括：玻璃基板 203、黑矩阵 202 以及 ITO 导电膜 201；而阵列基板 100 的扇出线设置在扇出区（参考图 1），其结构包括：布置在玻璃基板 103 的多条第一扇出线 11a 以及多条第二扇出线 11x，所述第二扇出线 11x 底部设置有附加导电膜 101，所述附加导电膜 101 用以与所述第二扇出线 11x 的第一导电膜 106 之间形成一个附加电容 C_x ，所述附加电容 C_x 的大小由所述附加导电膜 101 与所述第一导电膜 106 之间的重叠面积确定；在本实施例中，不同大小的附加电容 C_x 用以减小所述第一扇出线 11a 与所述第二扇出线 11x 之间或第一扇出线 11x 相互之间的阻抗差异。

[0039] 附加导电膜 101 形成在阵列基板 100 的底层，与第一导电膜 106 之间具有第一绝缘层 102 作为电介质，该第一绝缘层为在阵列基板上形成栅极绝缘层（GI, gate insulator）的同时形成在所述附加导电膜 101 之上，而所述第一导电膜 106 则是形成在所述第一绝缘层 102 之上；在第一导电膜 106 之上形成有第二绝缘层 104，用以保护第一导电膜 106，该第二绝缘层 104 采用拥有良好绝缘效果的钝化绝缘层（PVA, passivation layer），所述附加导电膜 101 可以与 Array Com（公共电极）、Ground（接地线）或其他电极导通。

[0040] 如图 4 所示，不同的第二扇出线 11x 之间，其底部所铺设的附加导电膜 101 也是不

同的,其中,长度较长的第二扇出线 11x 的电阻较大,因而长度较长的第二扇出线 11x 底部所铺设的附加导电膜 101 的面积小于长度较小的扇出线 11 上覆盖的附加导电膜的面积(如图 4 所示)。因为,由于附加导电膜 101 与第二扇出线 11x 内的第一导电膜 106 的重叠面积不同,产生的附加电容 C_x 也是不同的。而所述附加电容 C_x 是一个寄生的电容,对通过第二扇出线 11x 的信号会产生 RC 延迟(RCdelay),因而,对于电阻较小的第二扇出线 11x 来说,可以通过附加电容 C_x 来对信号产生延迟的影响,使其与本身存在较大延迟的较长的第一扇出线 11a 以及第二扇出线 11x 的信号达到同步的状态。扇出线 11 信号延迟的时间常数 τ 我们可以通过以下公式计算:

$$[0041] \quad \tau = RC$$

[0042] 其中,R 为扇出线的电阻,C 为电容。也就是说,扇出线 11 信号延迟的时间常数是电阻 R 以及电容 C 共同作用的结果。因此,只需对应的在第二扇出线 11x 上施加相应的附加电容即可达到信号同步的目的。

[0043] 由于第一扇出线 11a 与第二扇出线 11x 的长度不同,多条第二扇出线 11x 相互之间的长度也不同,因而其电阻不同,要达到信号同步的状态,则施加在各条扇出线 11 上的附加电容 C_x 也不同,而附加电容 C_x 的大小与其铺设在第二扇出线 11x 底部并与第一导电膜 106 重叠的面积大小相关。如图 3 及图 5 所示,没有覆盖附加导电膜 101 的第一扇出线 11a 以及第二扇出线 11x 与彩膜基板 200 上的 IT0 导电膜 201 之间也存在寄生电容 C_{LC} ,该寄生电容 C_{LC} 由扇出线 11 的第一导电膜 104、第二导电膜 106 与 IT0 导电膜 201 形成。这个寄生电容 C_{LC} 由于液晶层的厚度较大,其大小远远小于附加电容 C_x ,因而其所造成的 RC 延迟也有限,虽然这样,为了计算的准确,在计算电容对扇出线的的影响时,也要将其计算在内。扇出线 11 与 IT0 导电膜 201 之间的寄生电容大小可以按照下面的计算公式算出:

$$[0044] \quad C = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{d} = \frac{\epsilon_0 \cdot \epsilon_r \cdot L \cdot W}{d}$$

[0045] 其中 ϵ_0 和 ϵ_r 分别是绝对介电常数和液晶相对介电常数,L 和 W 分别表示扇出线的长度和宽度,d 是液晶层的厚度,一般为 $3 \sim 4 \mu m$ 左右。

[0046] 下面,我们通过计算应当在一条第二扇出线 11x 底部铺设附加导电膜 101 的面积的大小对本发明进一步进行说明。

[0047] 为方便计算,附加导电膜 106 设计成为宽度不变,沿所述每条第二扇出线 11x 的走向铺设的多条走线,其中,不同长度的第二扇出线 11x 底部铺设的附加导电膜 106 的长度不同。在本实施例中,附加导电膜 101 的宽度与所述第二扇出线 11x 的宽度一致,从而附加导电膜 101 与所述第一导电膜 106 的重叠部分的宽度是相同的,以便于进行计算。

[0048] 要确定附加电容在第二扇出线 11x 底部的铺设长度,需要在多条扇出线中选出一条作为参照线,如图 4 所示,本实施例选用第一扇出线 11a 中最长的一条 11s 作为参照线,以第一扇出线 11a 中最长的一条 11s 作为参照计算出底部附加导电膜 101 与第二扇出线 11x 之间形成的电容的大小,从而计算应该覆盖在第二扇出线 11x 底部应当铺设的附加导电膜 101 的长度。具体计算过程如下:

[0049] 设作为参照线的第一扇出线 11a 中最长的一条 11s 以及第二扇出线 11x 的电阻分别为 R_1 和 R_2 ,它们的计算如下:

$$[0050] \quad R_1 = \frac{R_s \cdot L_1}{W}$$

$$[0051] \quad R_2 = \frac{R_s \cdot L_2}{W}$$

[0052] 对于没有任何附加导电膜覆盖的第一扇出线 11a 中最长的一条 11s 来说,如图 3-5 所示,其电容主要是扇出线 111 内的第一导电膜 106、第二导电膜 104 与彩膜基板 200 上的 ITO 导电膜 201 形成,我们可以设其寄生电容为 C_1 (即 C_{lc}),则

$$[0053] \quad C_1 = \frac{\epsilon_0 \cdot \epsilon_{r1} \cdot L_1 \cdot W}{d_1}$$

[0054] 其中, ϵ_0 是绝对介电常数, ϵ_{r1} 是液晶面板中液晶的相对介电常数, L_1 、 W 是分别是第一扇出线 11a 中最长的一条 11s 的长度和宽度, d_1 是液晶面板中液晶层的厚度,其中 L_1 可以通过现在 layout (扇出) 工具计算得到(layout 工具为设计人员专用工具)。对于第一扇出线 11a 中最长的一条 11s 来讲,时间常数 τ_1 为:

$$[0055] \quad \tau_1 = R_1 \cdot C_1 = \frac{R_s \cdot \epsilon_0 \cdot \epsilon_{r1} \cdot L_1^2}{d_1}$$

[0056] 由于时间常数只和 L_1 的平方成正比,所以可以得出结论:整个扇出区的扇出线中两侧的最长的 11s 的时间常数最大,即 τ_1 ,在这里的算法中,就以这个时间常数为基准,这样可以更方便计算其它所有扇出线应当铺设的附加导电膜长度。

[0057] 设第二扇出线 11x 底部没有铺设附加导电膜 101 部分的长度为 L_{21} ,底部铺设附加导电膜 101 部分长度为 L_{22} ,它们满足以下关系:

$$[0058] \quad L_2 = L_{21} + L_{22}$$

[0059] 底部没有铺设附加导电膜 101 部分的电容 C_{21} (与彩膜基板侧形成的电容):

$$[0060] \quad C_{21} = \frac{\epsilon_0 \cdot \epsilon_{r1} \cdot L_{21} \cdot W}{d_1}$$

[0061] 底部铺设附加导电膜 101 的部分的电容 C_{22} :

$$[0062] \quad C_{22} = \frac{\epsilon_0 \cdot \epsilon_{r2} \cdot L_{22} \cdot W}{d_2}$$

[0063] 其中 ϵ_{r2} 和 d_2 分别代表第一绝缘层 102 的相对介电常数 ϵ_r 和液晶相差 不大,但由于厚度小,所以在面积相等的情况下新的电容 C_x 会远远大于扇出线和彩膜基板上 TIO 导电膜形成的电容,如本实施例中图 5 所示, C_x 一般是 C_{lc} (即 C_{21}) 的 10 倍左右。

[0064] 电容 C_{21} 与电容 C_{22} 为并联关系,因此整个扇出线 111b 的电容 C_2 :

$$[0065] \quad C_2 = C_{21} + C_{22}$$

[0066] 在调整扇出线的阻抗时,以扇出线 111a 的时间常数 τ_1 为基准:

$$[0067] \quad \tau_2 = R_2 \cdot C_2 = \tau_1$$

[0068] 从这个由此可以建立方程组并解出:

$$[0069] \quad L_{21} = \frac{\varepsilon_{r1}d_2L_1^2 - \varepsilon_{r2}d_1L_2^2}{L_2(d_2\varepsilon_{r1} - d_1\varepsilon_{r2})}$$

$$[0070] \quad L_{22} = \frac{\varepsilon_{r1}d_2(L_1^2 - L_2^2)}{L_2(d_1\varepsilon_{r2} - d_2\varepsilon_{r1})}$$

[0071] 其中 L_{22} 即是在第二扇出线 11x 底部应该铺设的附加导电膜 101 的长度。

[0072] 由此我们可以知道第二扇出线 11x 底部应当铺设的附加导电膜 101 的面积是：

$$[0073] \quad S = WL_{22}$$

[0074] 在本实施例中,所述第一导电膜 106 为金属导电膜,金属导电膜的导电效果优秀,信号延时影响较小。而所述附加导电膜 101 则可以选择为氧化铟锡导电膜(ITO)或者金属导电膜。

[0075] 值得注意的是,本实施例的第一扇出线 11a、第二扇出线 11x 仅设置有一层第一导电膜 106 用以实现信号传递,这种采用单层导电膜的扇出线结构可以在液晶面板的制程中更好的避免发生 ESD (Electro-Static discharge, 静电释放)。

[0076] 当附加导电膜 101 选用为氧化铟锡导电膜(ITO)时,可以在 FFS (Fringe Field Switching, 边缘场开关技术) 结构的面板制程中实现,因为 FFS 结构的面板的阵列基板最底层是氧化铟锡导电膜。而当附加导电膜 101 选用为金属导电膜时,可以在阵列基板的工艺中实现,如阵列基板在完成 TFT 上的金属导电膜或其它信号线时的金属导电膜时实现,这些实现过程只需要对蚀刻制程进行简单的调整即可,而不会增加新的掩膜工艺。

[0077] 由于扇出线对信号波形的影响是电阻 R 以及寄生电容 C 的综合影响,扇出线信号延迟的时间常数为 $\tau = RC$, 也就是说,需要使每一条的扇出线的信号延迟的时间常数相等,可以同时电阻 R 以及电容 C 进行调整,以达到最佳的工艺要求、设计要求以及产品要求。因此,作为本实施例的一种改进,如图 4 所示,也可以通过缩小扇出线之间的长度差异来缩小阻抗差异,如图中可看出,不同扇出线之间,一个端点到另一该端点的直线距离具有差异,如第一扇出线 11a 与第二扇出线 11x,对于两个端点直线距离较短的第二扇出线 11x 来说,在第二扇出线 11x 的走线中设置有绕线部 121,通过设置绕线部 121 使得第二扇出线 11x 的长度得以增加,同时,在绕线的基础上增加底部附加导电膜 101 形成附加电容 C_x ,从而可以减少绕线长度,对于电阻与参照线的时间常数相差太大的扇出线来说,可以选择绕线与铺设附加导电膜同时进行。特别是针对较大尺寸的液晶电视来说,这种方案更为合适,既可以解决扇出区由于绕线过多而高度 H 较大的问题,又可以解决扇出线信号同步的问题。

[0078] 实施例二

[0079] 如图 6 及图 7 所示,与实施例一不同的是,本实施例中附加导电膜 101 的宽度小于第二扇出线 11x 的宽度,根据面板的大小及工艺需求,可以选择不同的宽度。

[0080] 实施例三

[0081] 如图 8 所示为另一种实施方式,附加导电膜 101 的宽度大于第二扇出线 11x 的宽度,这种实施方式可以保证附加导电膜 101 与第一导电膜的重叠部分的宽度始终是与所述第一导电膜的宽度是相同的,从而保证了获得附加电容的精确度。

[0082] 实施例四

[0083] 如图 9 所示,与上述实施例均不同的是,本实施例采用一整块呈三角形形状的导电膜区块铺设在多根扇出线之下,达到与扇出线之间形成附加电容的目的,此种方式在面板的制程中显得更为简便,不需要制作复杂的掩膜,制作成本相对较低。

[0084] 另外,针对的窄边框的液晶面板设计中,为了起到节约空间的目的,可以把扇出线和 COM 电极走线(共通线)重叠,因此,也可以在形成共通线的时候形成附加导电膜 101。如图 10 及图 11 所示,共通线 108 与各条第二扇出线 11x 重叠部分设置有呈三角形导电膜区块形状的附加导电膜 101,三角形的形状在第二扇出线 11x 之间的排布使得其各第二扇出线 11x 之间形成的附加电容 C_x 的大小不同,根据上述实施例的计算,可以近似的调整三角形钝角的大小,使各条扇出线上的附加电容 C 解决技术结果,从而减小个扇出线之间阻抗差异。当然,导电膜区块的形状也不限于三角形的形状,双曲线、凸起部分呈椭圆、抛物线或其它形状也可以。

[0085] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

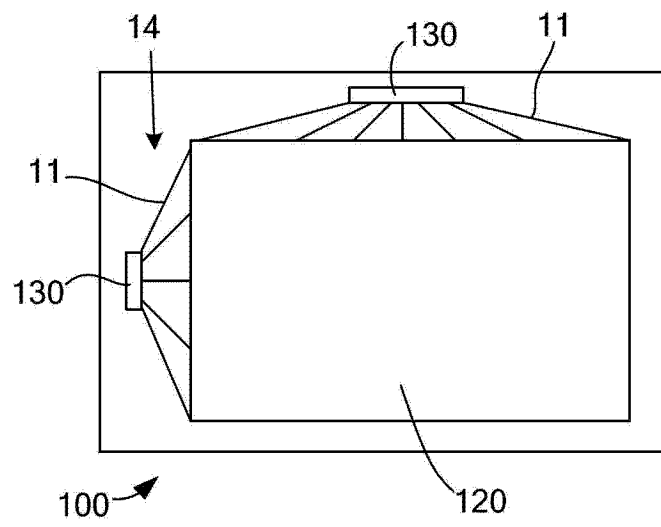


图 1

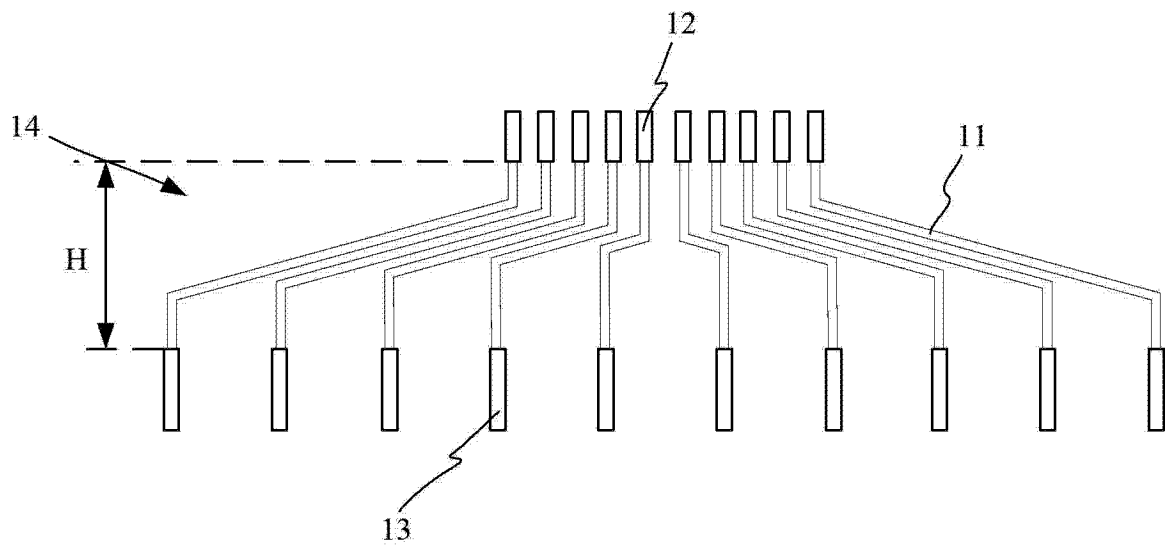


图 2

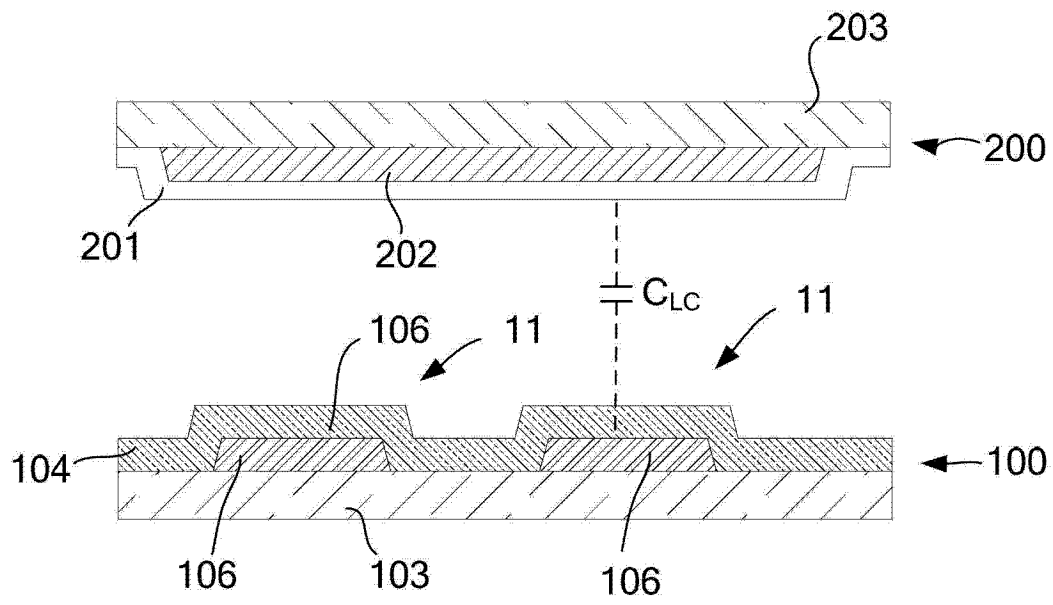


图 3

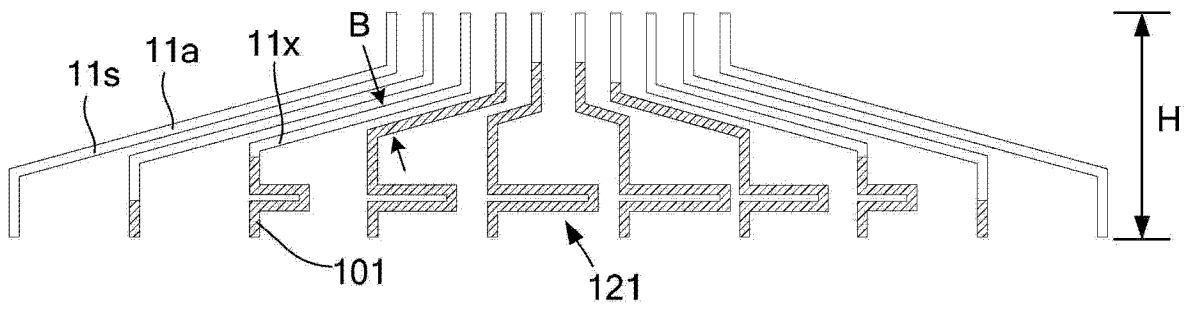


图 4

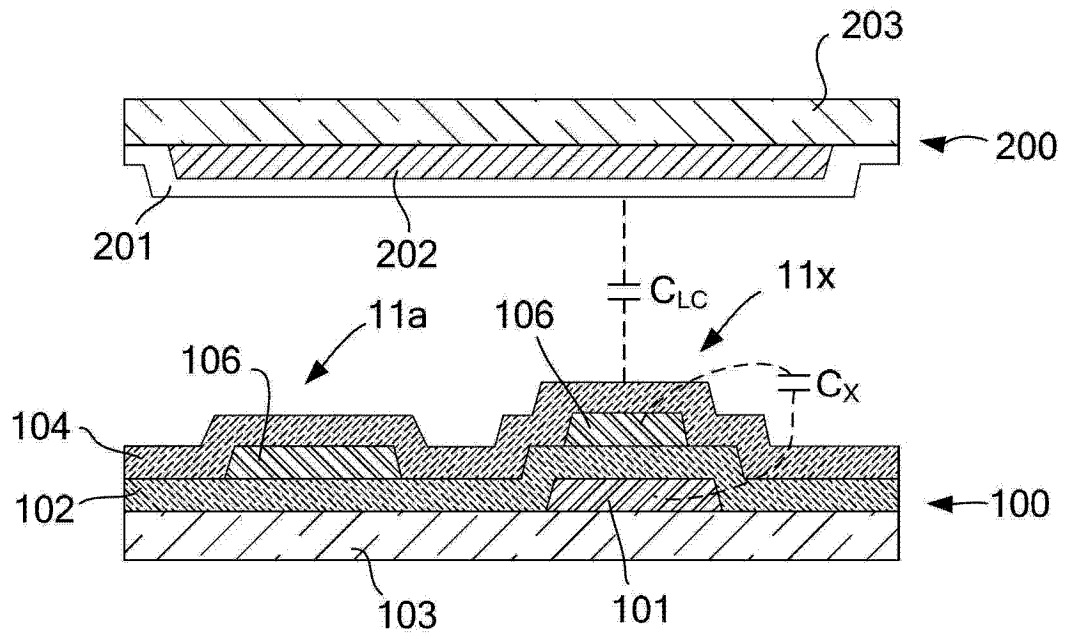


图 5

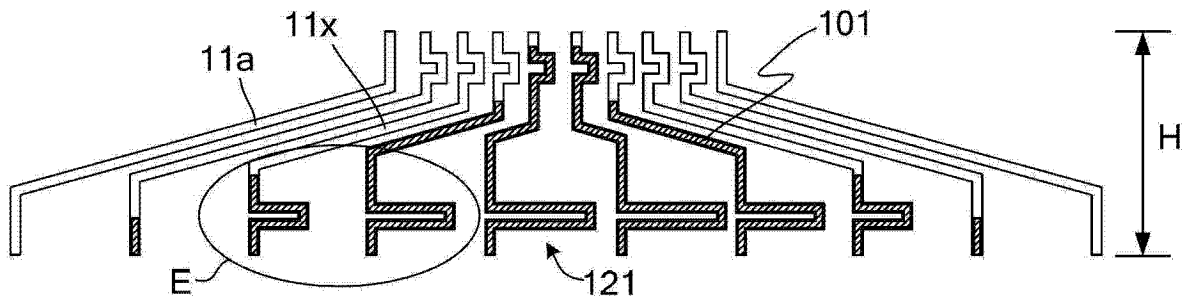


图 6

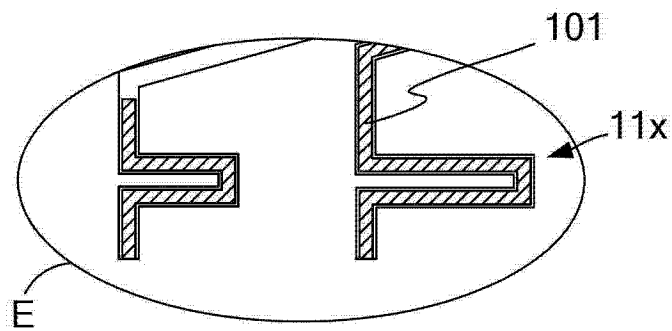


图 7

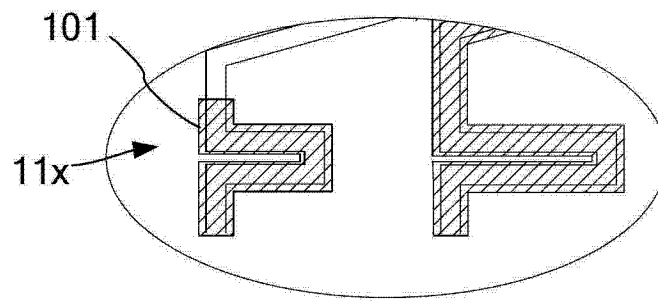


图 8

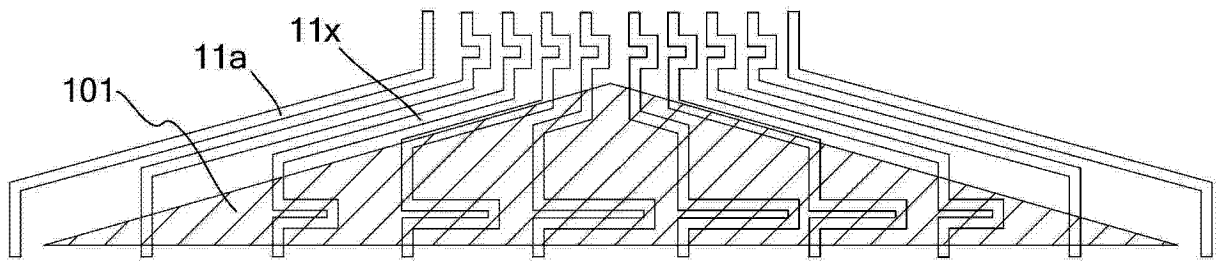


图 9

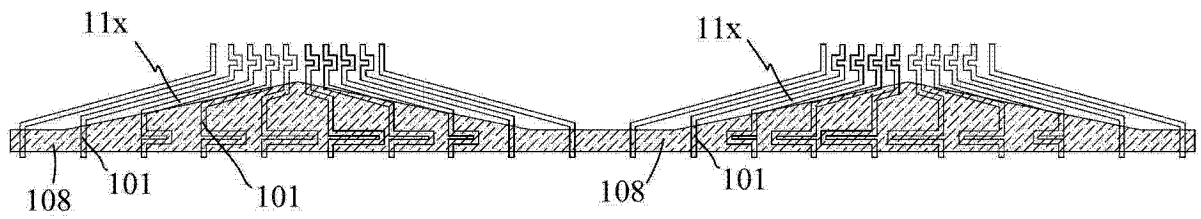


图 10

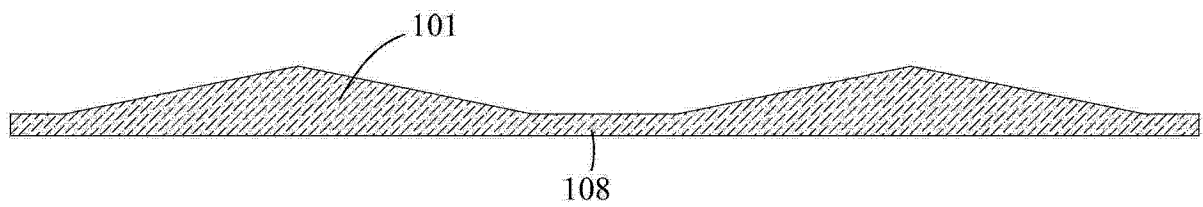


图 11

专利名称(译)	阵列基板的扇出线结构及显示面板		
公开(公告)号	CN103309069A	公开(公告)日	2013-09-18
申请号	CN201310281983.6	申请日	2013-07-05
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	杜鹏 施明宏 姜佳丽		
发明人	杜鹏 施明宏 姜佳丽		
IPC分类号	G02F1/133		
CPC分类号	G02F1/1345 G09G3/20 G09G3/36 G09G2300/0426 G09G2320/0223		
代理人(译)	邢涛		
其他公开文献	CN103309069B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种阵列基板的扇出线结构及液晶面板，所述扇出线结构包括：布置在阵列基板扇出区的第一扇出线以及第二扇出线；所述第二扇出线底部设置有附加导电膜，所述附加导电膜与所述第二扇出线的第一导电膜之间形成一个用以减小扇出线之间的阻抗差异的附加电容，所述附加电容的大小由所述附加导电膜与所述第一导电膜之间的重叠面积确定。该附加电容对通过扇出线的信号会产生明显RC延迟效果，因而，对于电阻较小的扇出线来说，可以通过添加较大的附加电容来使扇出线的阻抗变大，使其对信号产生延迟的影响，这样其与较长、电阻较大的扇出线的信号达到同步的状态。

