



(12)发明专利申请

(10)申请公布号 CN 107909973 A

(43)申请公布日 2018.04.13

(21)申请号 201711139339.X

(22)申请日 2017.11.16

(30)优先权数据

106132498 2017.09.21 TW

(71)申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72)发明人 纪佑旻 苏松宇

(74)专利代理机构 隆天知识产权代理有限公司

72003

代理人 李昕巍 章侃铨

(51)Int.Cl.

G09G 3/36(2006.01)

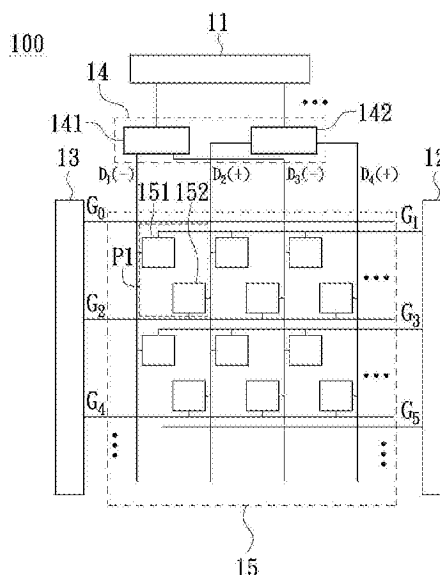
权利要求书2页 说明书4页 附图3页

(54)发明名称

液晶显示装置

(57)摘要

本发明提出一种液晶显示装置,液晶显示装置有多条数据线、多条栅极线、源极驱动电路、第一栅极驱动电路、第二栅极驱动电路、多个解多工模块以及多个像素。每个像素具有第一子像素及第二子像素;第一子像素电性耦接第 $2N+1$ 条的栅极线,第二子像素电性耦接第 $2N$ 条的栅极线,第一子像素及第二子像素的其中之一电性耦接第 $2M$ 条的数据线,以及第一子像素及第二子像素的其中的另一电性耦接第 $2M+1$ 条的数据线,第一子像素和每一第二子像素的极性彼此相反, M 和 N 为正整数。



1. 一种液晶显示装置,包括:

多条数据线,包含多条第 $2M$ 条数据线及多条第 $2M+1$ 条数据线;

多条栅极线,包含多条第 $2N$ 条栅极线及多条第 $2N+1$ 条栅极线;

一源极驱动电路,电性耦接该些数据线,该源极驱动电路包含多个输出埠以输出该些数据信号,并且相邻两条该些数据线传输的该些数据信号彼此电压极性不同;

一第一栅极驱动电路,电性耦接该些第 $2N+1$ 条栅极线,用以输出多个第一栅极驱动信号;

一第二栅极驱动电路,电性耦接该些第 $2N$ 条栅极线,用以输出多个第二栅极驱动信号;

多个解多工模块,电性耦接于该源极驱动电路与该些数据线之间;以及

一像素阵列,具有以阵列方式排列的多个像素,每一该些像素具有一第一子像素及一第二子像素;

其中,该第一子像素电性耦接第 $2N+1$ 条的栅极线,该第二子像素电性耦接第 $2N$ 条的栅极线,该第一子像素及该第二子像素的其中之一电性耦接第 $2M$ 条的数据线,以及该第一子像素及该第二子像素的其中的另一电性耦接第 $2M+1$ 条的数据线,其中提供至每一该些第一子像素和每一该些第二子像素的数据信号极性彼此相反,且 M 和 N 为正整数。

2. 如权利要求1所述的液晶显示装置,其中该第一子像素包括:

一第一晶体管,其源极端电性耦接第 $2M+1$ 条的数据线或第 $2M$ 条的数据线,其栅极端电性耦接第 $2N+1$ 条的栅极线;以及

一第一液晶电容,电性耦接该第一晶体管的漏极端。

3. 如权利要求1所述的液晶显示装置,其中该第二子像素包括:

一第二晶体管,其源极端电性耦接第 $2M+1$ 条的数据线或第 $2M$ 条的数据线,其栅极端电性耦接第 $2N$ 条的栅极线;以及

一第二液晶电容,电性耦接该第二晶体管的漏极端。

4. 如权利要求1所述的液晶显示装置,其中多个解多工模块包括:

一第一解多工器,电性耦接该源极驱动电路该些输出埠的其中之一以及第 $2M+1$ 条的数据线,用以将从该源极驱动电路馈入的该些数据信号分配至第 $2M+1$ 条的数据线;以及

一第二解多工器,电性耦接该源极驱动电路该些输出埠的其中的另一以及第 $2M$ 条的数据线,用以将从该源极驱动电路馈入的该些数据信号分配至第 $2M$ 条的数据线。

5. 如权利要求1所述的液晶显示装置,其中第 $2N+1$ 条的栅极线与第 $2N$ 条的栅极线彼此平行交错设置,并且两者之间具有一第一距离,第 $2N+1$ 条的栅极线与第 $2N+2$ 条的栅极线彼此之间具有一第二距离,而该第一距离小于该第二距离。

6. 如权利要求1所述的液晶显示装置,其中该些第一栅极驱动信号的致能时间先于该些第二栅极驱动信号的致能时间,当该些第一栅极驱动信号致能时,该第一子像素根据在第 $2M+1$ 条的数据线上所传输的数据而被驱动,当该些第二栅极驱动信号致能时,该第二子像素根据在第 $2M$ 条的数据线上所传输的数据而被驱动。

7. 如权利要求1所述的液晶显示装置,其中该些第一栅极驱动信号的致能时间先于该些第二栅极驱动信号的致能时间,当该些第一栅极驱动信号致能时,该第一子像素根据在第 $2M$ 条的数据线上所传输的数据而被驱动,当该些第二栅极驱动信号致能时,该第二子像素根据在第 $2M+1$ 条的数据线上所传输的数据而被驱动。

8. 如权利要求1所述的液晶显示装置, 其中在第一栅极驱动信号致能时该些像素的极性与在第二栅极驱动信号致能时该些像素的极性相反。

液晶显示装置

技术领域

[0001] 本发明涉及一种显示技术,尤其涉及一种液晶显示装置。

背景技术

[0002] 现今的高分辨率液晶显示器通常会增加解多工器在源极驱动电路以及数据线之间以解决源极驱动电路输出埠(pin)数目不足的问题,同时也提高显示器分辨率,然而显示器在两个数据极性不同的数据信号转换期间,数据线会从正电压瞬间转换成负电压,在大尺寸显示器上容易产生数据线在充电时有阻容负载(RC Loading)过大造成阻容延迟(RC Delay)的问题,特别是在两个画面期间因此在显示器会有显示不均(Mura)的现象,此现象在大尺寸显示器上尤为明显。

发明内容

[0003] 本发明的一目的在提供一种液晶显示装置,其主要是提供一种像素配置搭配驱动方法,通过一个像素区域包含第一子像素与第二子像素,在第一画面期间,提供至第一子像素的数据信号为第一极性;在第二画面期间,提供至第二子像素的数据信号为第二极性,使得数据线在两个画面期间转换时,不需要进行数据信号反转,以解决液晶显示装置的数据线阻容负载过大造成阻容延迟的问题,特别是低温多晶硅制程的液晶显示装置因负载大造成的阻容延迟。

[0004] 本发明提出一种液晶显示装置,液晶显示装置包括有多条数据线、多条栅极线、源极驱动电路、第一栅极驱动电路、第二栅极驱动电路、多个解多工模块以及像素阵列。多条数据线,包含多条第 $2M$ 条数据线及多条第 $2M+1$ 条数据线。多条栅极线,包含多条第 $2N$ 条栅极线及多条第 $2N+1$ 条栅极线。源极驱动电路,电性耦接数据线,源极驱动电路包含多个输出埠以输出数据信号,并且相邻两条数据线传输的数据信号彼此电压极性不同。第一栅极驱动电路,电性耦接第 $2N+1$ 条栅极线,用以输出第一栅极驱动信号。第二栅极驱动电路,电性耦接第 $2N$ 条栅极线,用以输出第二栅极驱动信号。多个解多工模块,电性耦接于源极驱动电路与数据线之间。像素阵列,具有以阵列方式排列的多个像素,每一像素具有第一子像素及第二子像素;其中,第一子像素电性耦接第 $2N+1$ 条的栅极线,第二子像素电性耦接第 $2N$ 条的栅极线,第一子像素及第二子像素的其中之一电性耦接第 $2M$ 条的数据线,以及第一子像素及第二子像素的其中的另一电性耦接第 $2M+1$ 条的数据线,其中每一第一子像素和每一第二子像素的极性彼此相反,且 M 和 N 为正整数。

[0005] 在本发明的液晶显示装置中,其主要是提供一种像素配置搭配驱动方法,通过一个像素区域包含第一子像素与第二子像素,在第一个画面期间,提供至第一子像素的数据信号为第一极性;在第二画面期间,提供至第二子像素的数据信号为第二极性,使得数据线在两个画面期间转换时,不需要进行数据信号反转,以解决液晶显示装置的数据线阻容负载过大造成阻容延迟的问题,特别是低温多晶硅制程的液晶显示装置因负载大造成的阻容延迟。

[0006] 为了让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合附图说明书附图,作详细说明如下。

附图说明

[0007] 图1为依照本发明一实施例的液晶显示装置的电路示意图;

[0008] 图2为依照本发明一实施例的液晶显示装置的示意图;以及

[0009] 图3为依照本发明一实施例的液晶显示装置的时序图。

[0010] 附图标记说明:

[0011] 100:液晶显示装置

[0012] 11:源极驱动电路

[0013] 12、13:栅极驱动电路

[0014] 14:解多工模块

[0015] 141、142:解多工器

[0016] 15:像素阵列

[0017] 151、152:子像素

[0018] T1、T2:晶体管

[0019] C1、C2:液晶电容

[0020] P1、P1':像素

[0021] D₁、D₂、D₃、D₄:数据线

[0022] G₀、G₁、G₂、G₃、G₄、G₅、G_{2N}、G_{2N+1}:栅极线

[0023] d1、d2:距离

具体实施方式

[0024] 图1绘有依照本发明一实施例的液晶显示装置的电路示意图。如图1所示,本发明提出一种液晶显示装置100,此液晶显示装置100例如是低温多晶硅显示面板(Low Temperature Poly-silicon, LTPS),但本发明不以此为限,液晶显示装置100包括有数据线D₁-D₄、栅极线G₀-G₅、源极驱动电路11、栅极驱动电路12、栅极驱动电路13、解多工模块14以及像素阵列15。如图1所示栅极驱动电路12及栅极驱动电路13分布于像素阵列15的相对两侧,本发明并不以此为限。

[0025] 源极驱动电路11可通过解多工模块14电性耦接数据线D₁-D₄,源极驱动电路11包含多个输出埠用以输出数据信号至解多工模块14,并且相邻两条数据线D₁与D₂传输的数据信号彼此电压极性不同,意即当第2M+1条数据线(奇数条数据线)传输的数据信号为正电压,第2M条数据线(偶数条数据线)传输的数据信号则是负电压,反之亦然。栅极驱动电路12电性耦接第2N+1条栅极线(奇数条栅极线),用以输出栅极驱动信号G₁、G₃及G₅。栅极驱动电路13电性耦接第2N条栅极线(偶数条栅极线),用以输出栅极驱动信号G₀、G₂及G₄。解多工模块14电性耦接于源极驱动电路11与数据线D₁-D₄之间。像素阵列15以阵列方式排列,每一像素P1具有子像素151及152。子像素151电性耦接第2N+1条的栅极线,子像素152电性耦接第2N条的栅极线,子像素151及152的其中之一电性耦接第2M条的数据线,以及子像素151及152的其中的另一电性耦接第2M+1条的数据线,其中提供至子像素151及152的数据信号极性彼

此相反,且M和N为正整数。当子像素151依据第2M条的数据线提供的的数据信号被驱动,则子像素152依据第2M+1条的数据线上传输的数据信号而被驱动以显示画面。当子像素151依据第2M+1条的数据线上传输的数据信号而被驱动,则子像素152也是依据第2M条的数据线上传输的数据信号而被驱动以显示画面。

[0026] 接着说明解多工模块14,请继续参考图1,解多工模块14包括解多工器141及142,解多工器141电性耦接源极驱动电路11的输出埠的其中之一以及数据线D₁及D₃,用以将从源极驱动电路11馈入的数据信号分配至数据线D₁及D₃;以及解多工器142电性耦接源极驱动电路11的输出埠的其中的另一以及数据线D₂及D₄,用以将从源极驱动电路11馈入的数据信号分配至数据线D₂及D₄。在本发明的实施例中,是采用一对二的解多工器,一个源极驱动电路11的输出埠对应两条数据线,本发明的解多工器是指输出固定极性的电压并且与间隔一条的数据线耦接,举例而言,解多工器141是与数据线D₁及D₃耦接并且输出负极性电压,解多工器142是与数据线D₂及D₄耦接并且输出正极性电压,因此此架构可以到像素间正负极性的切换。

[0027] 请参考图2,图2为依照本发明一实施例的液晶显示装置的子像素配置示意图。图2并未绘出源极驱动电路11、第一栅极驱动电路12、第二栅极驱动电路13、解多工模块14等元件,仅绘出数据线D₁、D₂及D₃、栅极线G₀、G₁、G₂及G₃、像素P₁、P₁'与子像素151及152,但并不影响本实施例的操作。在图2的范例中,仅以像素P₁及P₁'内的子像素151及152举例说明,本领域技术人员,应可以从以下叙述推之其他子像素与栅极线和数据线的耦接关系,本说明书不再赘述。接着说明每一像素P₁包含的子像素151及152,子像素151包括晶体管T₁及液晶电容C₁。晶体管T₁的源极端电性耦接数据线D₁,晶体管T₁的栅极端电性耦接栅极线G₁,液晶电容C₁电性耦接该晶体管T₁的漏极端。子像素152包括晶体管T₂及液晶电容C₂。晶体管T₂的源极端电性耦接数据线D₂,晶体管T₂的栅极端电性耦接栅极线G₂,液晶电容C₂电性耦接晶体管T₂的漏极端。其中数据线D₁与数据线D₂提供的的数据信号极性不同。然而像素矩阵15内的其他像素P₁的子像素配置亦可有所变化,例如是下一列像素P₁'的子像素151可耦接数据线D₂而子像素152可耦接数据线D₁,以此种方式配置像素P₁'所提供的的数据信号极性仍为不同。因此本发明不以图2所绘示的子像素配置为限,只要是在像素P₁内提供给子像素151跟子像素152的数据信号极性不同即可完成本发明。

[0028] 请继续参考图2,接着说明像素P₁及子像素151及152的耦接关系及操作,子像素151是连接到数据线D₁以及栅极线G₁,子像素152是连接到数据线D₂以及栅极线G₂,接着一个画面期间导通一组栅极线(奇数组栅极线一组,偶数组栅极线一组),因此如果栅极线G₁、G₃导通,数据线D₁将负极性数据信号输入至子像素151,像素P₁此时为负极性。然而当下一个画面期间时,导通另一组栅极线,因此栅极线G₀、G₂导通,数据线D₂将正极性数据信号输入至子像素152,像素P₁此时即为正极性。因此由此实施例可以看出像素P₁的极性可以随着帧的转换,而有正负极性的切换,但数据线D₁、D₂及D₃只需要输出固定极性的数据信号(意即充正电荷或负电荷)即可,不需要做正负极性的切换。

[0029] 请继续参考图2,本发明的栅极线配置是由奇数组栅极线与偶数组栅极线彼此平行交错设置,第2N+1条的栅极线与第2N条的栅极线两者之间具有距离d₁,第2N+1条的栅极线与第2N+2条的栅极线两者之间具有距离d₂,而距离d₁小于距离d₂。由图2所示的范例中可以看出,栅极线G₀与栅极线G₁之间的距离d₁小于栅极线G₁与栅极线G₂之间的距离d₂,然此并

非用以限制本发明。本发明的栅极线配置特征在于,多加了一组栅极线但在不影响像素开口率的情况下,奇数组栅极线的其中之一会与偶数组栅极线的其中的一间隔一距离,并且与偶数组栅极线的其中的另一间隔另一距离,偶数组栅极线的配置情况与奇数组相同,在此不再赘述。

[0030] 接着请一并参考图2及图3,图3为依照本发明一实施例的液晶显示装置的时序图。由图2及图3的范例中可知,在第一个画面期间时是由栅极线 G_1 (奇数组栅极线) 上所传送的栅极驱动信号来导通每一个像素 P_1 的子像素151,接着在最后一条栅极线 G_{2N+1} 驱动完毕后,继续第二画面期间,在第二个画面期间由栅极线 G_2 (偶数组栅极线) 上所传送的栅极驱动信号来导通每一个像素 P_1 的子像素152。请再参考图2及图3,在第一个画面期间时数据线 D_1 提供负极性数据信号至子像素151,数据线 D_2 提供正极性数据信号至像素 P_1' 的子像素151,像素 P_1 此时为负极性,而像素 P_1' 此时为正极性,而在第二个画面期间时数据线 D_2 提供正极性数据信号至子像素152,像素 P_1 此时为正极性,由此可看出数据线 D_2 是分时提供正极性数据信号至像素 P_1 的子像素151及像素 P_1' 的子像素152,搭配在不同画面期间时奇数组栅极线及偶数组栅极线会轮流导通子像素151、152,使得数据线可以只输出固定极性的数据信号,但可让像素 P_1 的子像素151与子像素152不同极性的切换。

[0031] 综上所述,由于本发明的液晶显示装置中,利用两组栅极线以及两个子像素共用一个像素区域,在一个画面期间的时间内驱动奇数组栅极线,在下一个画面期间的时间内驱动偶数组栅极线,使得频率转换间可以让像素内部极性反转,但数据线不需要做不同极性的电压转换只需要充固定极性的电压 (例如: $0V \sim 5V$ 或 $0V \sim -5V$), 相较于原本的电压范围 (例如: $-5V \sim 5V$), 本发明除了可以降低电源的供应外,也解决数据线阻容负载过大造成阻容延迟而产生在显示装置会有显示不均现象的问题。

[0032] 虽然本发明已以实施例公开如上,然其并非用以限定本发明,任何熟习此技术者,在不脱离本发明的精神和范围内,当可做些许的变动与润饰,因此本发明的保护范围当视所附的权利要求所界定者为准。

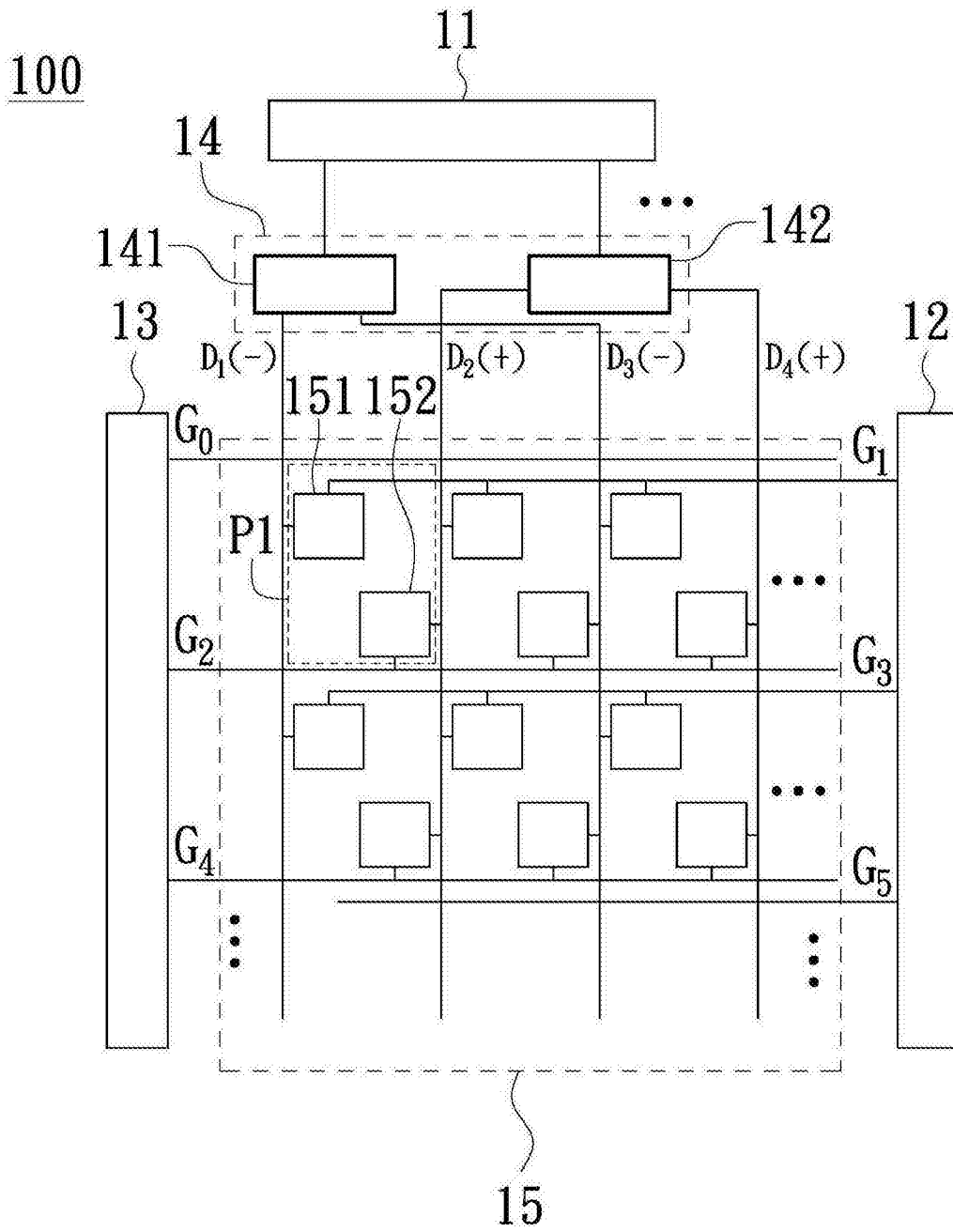


图1

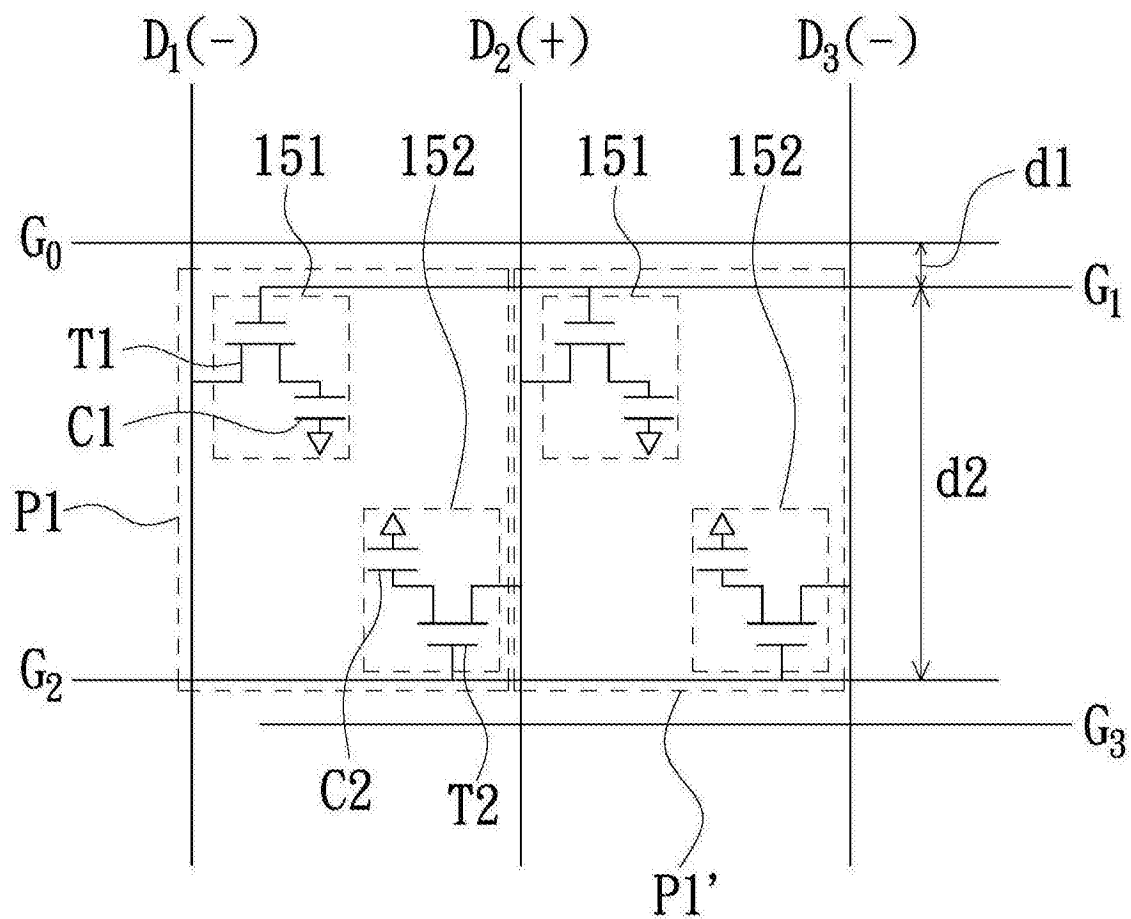


图2

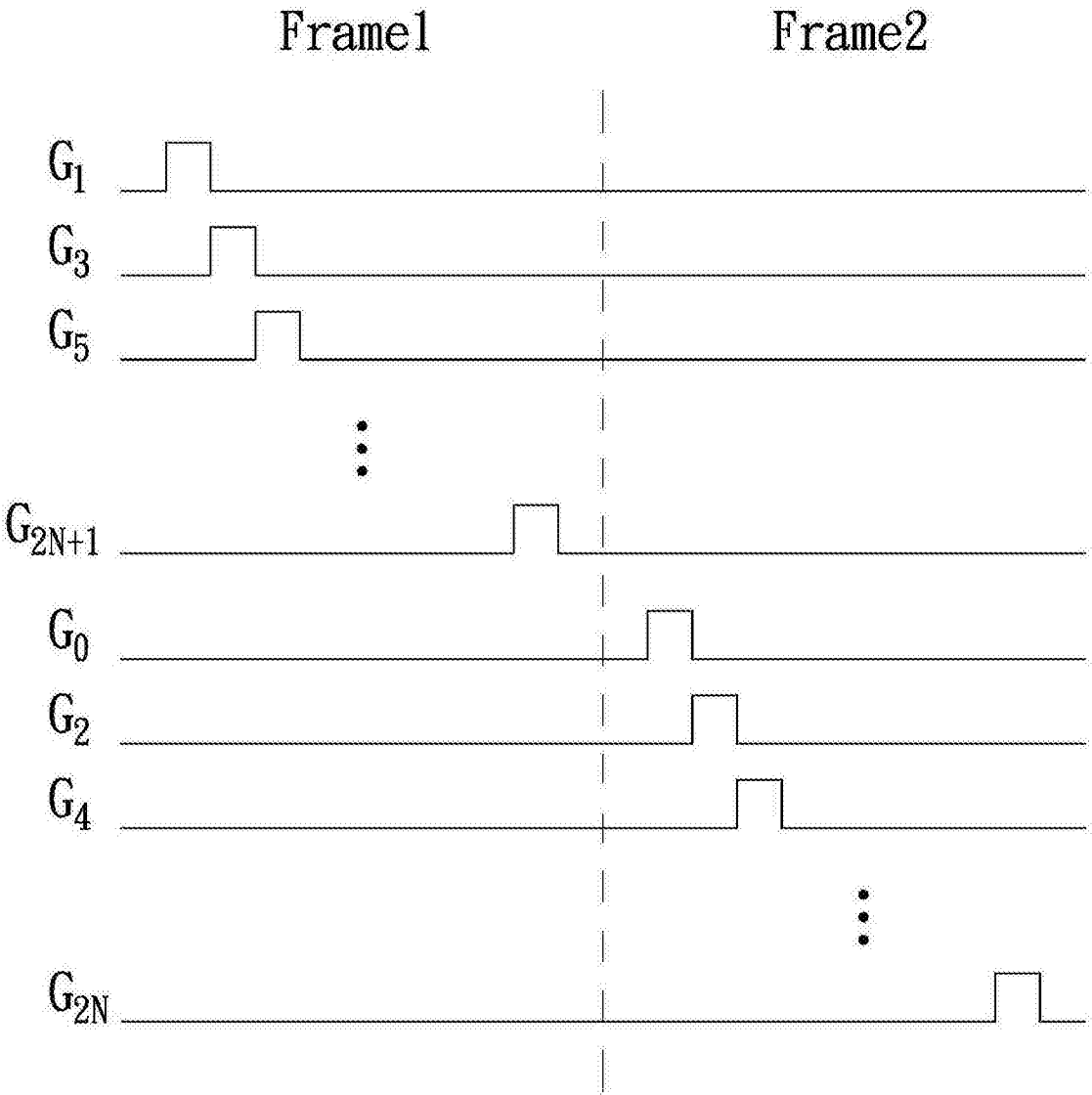


图3

专利名称(译)	液晶显示装置		
公开(公告)号	CN107909973A	公开(公告)日	2018-04-13
申请号	CN201711139339.X	申请日	2017-11-16
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	纪佑旻 苏松宇		
发明人	纪佑旻 苏松宇		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3655		
优先权	106132498 2017-09-21 TW		
外部链接	Espacenet SIPO		

摘要(译)

本发明提出一种液晶显示装置，液晶显示装置有多条数据线、多条栅极线、源极驱动电路、第一栅极驱动电路、第二栅极驱动电路、多个解多工模块以及多个像素。每个像素具有第一子像素及第二子像素；第一子像素电性耦接第 $2N+1$ 条的栅极线，第二子像素电性耦接第 $2N$ 条的栅极线，第一子像素及第二子像素的其中之一电性耦接第 $2M$ 条的数据线，以及第一子像素及第二子像素的其中的另一电性耦接第 $2M+1$ 条的数据线，第一子像素和每一第二子像素的极性彼此相反， M 和 N 为正整数。

