



(12)发明专利申请

(10)申请公布号 CN 106023933 A

(43)申请公布日 2016. 10. 12

(21)申请号 201610587413.3

(22)申请日 2016.07.21

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明
大道9-2号

(72)发明人 徐洪远

(74)专利代理机构 广州三环专利代理有限公司

44202

代理人 郝传鑫 熊永强

(51) Int. Cl.

G09G 3/36(2006.01)

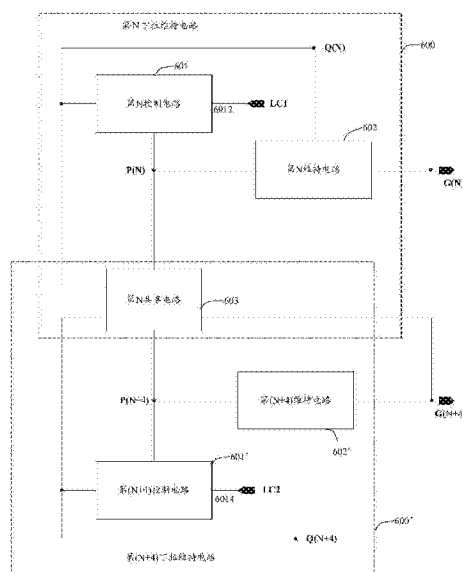
权利要求书3页 说明书15页 附图7页

(54)发明名称

一种GOA电路及液晶显示器

(57)摘要

本发明公开了一种GOA电路,包括级联的多个GOA单元,第N级GOA单元控制对第N级水平扫描线充电,第N级GOA单元的下拉维持电路包括第N控制电路、第N维持电路和第N共享电路;第N+4级GOA单元的下拉维持电路包括第(N+4)控制电路、第(N+4)维持电路和第N共享电路;第N控制电路的第一控制端Q(N)和接有第一控制信号的第二控制端调控其输出端P(N)的电位;第(N+4)控制电路的第一控制端Q(N+4)和接有低频控制信号的第二控制端调控其输出端P(N+4)的电位;当P(N)和P(N+4)均为高电位时,第N共享电路工作,将Q(N)与Q(N+4)的电位共享,将第N级、第N+4级水平扫描线的电位共享。



1. 一种阵列基板行驱动(GOA)电路,所述GOA电路包括级联的多个GOA单元,第N级GOA单元用于控制对第N级水平扫描线G(N)充电,第(N+4)级GOA单元用于控制对第(N+4)级水平扫描线G(N+4)充电,其中,N为正整数;其特征在于,

所述第N级GOA单元包括第N下拉维持电路;第(N+4)级GOA单元包括第(N+4)下拉维持电路;所述第N下拉维持电路包括第N控制电路、第N维持电路和与所述第(N+4)下拉维持电路共有的第N共享电路;所述第(N+4)下拉维持电路包括第(N+4)控制电路、第(N+4)维持电路和与所述第N下拉维持电路共有的所述第N共享电路;

所述第N控制电路具有第一控制端Q(N)和第二控制端,所述第N控制电路的第二控制端接入第一低频控制信号,所述第N控制电路的第一控制端Q(N)和所述第一低频控制信号用于控制所述第N控制电路的输出端P(N)的电位为高电位或者低电位;所述第N维持电路电性连接所述第N控制电路的输出端P(N)、第一控制端Q(N)和所述第N级水平扫描线G(N),用于在所述第N控制电路的输出端P(N)为高电位时,维持所述第N控制电路的第一控制端Q(N)和所述第N级水平扫描线G(N)的电位为低电位;

所述第(N+4)控制电路具有第一控制端Q(N+4)和第二控制端,所述第(N+4)控制电路的第二控制端接入第二低频控制信号,所述第(N+4)控制电路的第一控制端Q(N+4)和所述第二低频控制信号用于控制所述第(N+4)控制电路的输出端P(N+4)为高电位或者低电位;所述第(N+4)维持电路电性连接所述第(N+4)控制电路的输出端P(N+4)、第一控制端Q(N+4)和所述第(N+4)级水平扫描线G(N+4),用于在所述第(N+4)控制电路的输出端P(N+4)为高电位时,维持所述第(N+4)控制电路的第一控制端Q(N+4)和所述第(N+4)级水平扫描线G(N+4)的电位为低电位;其中,所述第一低频控制信号和第二低频控制信号的相位相反;

当所述第N控制电路的输出端P(N)为高电位,并且所述第(N+4)控制电路的输出端P(N+4)为高电位时,所述第N共享电路工作,将所述第N控制电路的第一控制端Q(N)的电位与所述第(N+4)控制电路的第一控制端Q(N+4)的电位共享,均维持在低电位,所述第N共享电路将所述第N级水平扫描线G(N)的电位与所述第(N+4)级水平扫描线G(N+4)的电位共享,均维持在低电位。

2. 根据权利要求1所述的GOA电路,其特征在于,当所述第N控制电路的输出端P(N)为低电位时,或者所述第(N+4)控制电路的输出端P(N+4)为低电位时,所述第N共享电路停止工作。

3. 根据权利要求1或2所述的GOA电路,其特征在于,所述共享电路包括第六十一晶体管、第六十二晶体管、第六十三晶体管和第六十四晶体管,其中:

所述第六十一晶体管的栅极和所述第六十三晶体管的栅极电性连接所述第N控制电路的输出端P(N),所述第六十一晶体管的源级电性连接所述第N控制电路的第一控制端Q(N),所述第六十一晶体管的漏级电性连接所述第六十二晶体管的漏级;所述第六十二晶体管的源级电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第六十二晶体管的栅极和所述第六十四晶体管的栅极电性连接所述第(N+4)控制电路的输出端P(N+4);所述第六十三晶体管的源级电性连接所述第(N+4)级水平扫描线G(N+4),所述第六十三晶体管的漏级电性连接所述第六十四晶体管的漏级,所述第六十四晶体管的源极电性连接所述第N级水平扫描线G(N)。

4. 根据权利要求3所述的GOA电路,其特征在于,所述第N控制电路包括第五十一晶体

管、第五十二晶体管、第五十三晶体管和第五十四晶体管,其中:

所述第五十一晶体管的栅极、所述第五十一晶体管的漏极、所述第五十三晶体管的漏极电性连接所述第N控制电路的第二控制端,所述第五十一晶体管的源极电性连接所述第五十二晶体管的漏极和所述第五十三晶体管的栅极,所述第五十二晶体管的栅极电性连接所述第N控制电路的第一控制端Q(N),所述第五十三晶体管的源极电性连接所述第五十四晶体管的漏极和所述第N控制电路的输出端P(N),所述第五十二晶体管的源极和所述第五十四晶体管的源极输入直流低电压;

当所述第N控制电路的第一控制端Q(N)为低电位时,若所述第N控制电路的第二控制端为高电位,则所述第N控制电路的输出端P(N)为高电位;

当所述第N控制电路的第一控制端Q(N)为低电位时,若所述第N控制电路的第二控制端从高电位变为低电位,则所述第N控制电路的输出端P(N)为高电位。

5. 根据权利要求4所述的GOA电路,其特征在于,所述第N维持电路包括第三十二晶体管和第四十二晶体管,其中:

所述第三十二晶体管的栅极和所述第四十二晶体管的栅极电性连接所述第N控制电路的输出端P(N),所述第三十二晶体管的漏极电性连接所述第N级水平扫描线G(N),所述第四十二晶体管的漏极电性连接所述第N控制电路的第一控制端Q(N),所述第三十二晶体管的源极和所述第四十二晶体管的源极输入所述直流低电压;

当所述第N控制电路的输出端P(N)为高电位时,所述第N级水平扫描线G(N)和所述第N控制电路的第一控制端Q(N)维持低电位。

6. 根据权利要求3至5任一项所述的GOA电路,其特征在于,所述第(N+4)控制电路包括第五十五晶体管、第五十六晶体管、第五十七晶体管和第五十八晶体管,其中:

所述第五十五晶体管的栅极、所述第五十五晶体管的漏极、所述第五十七晶体管的漏极电性连接所述第(N+4)控制电路的第二控制端,所述第五十五晶体管的源极电性连接所述第五十六晶体管的漏极和所述第五十七晶体管的栅极,所述第五十六晶体管的栅极电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第五十七晶体管的源极电性连接所述第五十八晶体管的漏极和所述第(N+4)控制电路的输出端P(N+4),所述第五十六晶体管的源极和所述第五十八晶体管的源极输入直流低电压;

当所述第(N+4)控制电路的第一控制端Q(N+4)为低电位时,若所述第(N+4)控制电路的第二控制端为高电位,则所述第(N+4)控制电路的输出端P(N+4)为高电位;

当所述第(N+4)控制电路的第一控制端Q(N+4)为低电位时,若所述第(N+4)控制电路的第二控制端从高电位变为低电位,则所述第(N+4)控制电路的输出端P(N+4)为高电位。

7. 根据权利要求6所述的GOA电路,其特征在于,所述第(N+4)维持电路包括第三十三晶体管和第四十三晶体管,其中:

所述第三十三晶体管的栅极和所述第四十三晶体管的栅极电性连接所述第(N+4)控制电路的输出端P(N+4),所述第三十三晶体管的漏极电性连接所述第N级水平扫描线G(N+4),所述第四十三晶体管的漏极电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第三十三晶体管的源极和所述第四十三晶体管的源极输入所述直流低电压;

当所述第(N+4)控制电路的输出端P(N+4)为高电位时,所述第(N+4)级水平扫描线G(N+4)和所述第(N+4)控制电路的第一控制端Q(N+4)维持低电位。

8. 根据权利要求3所述的GOA电路,其特征在于,所述第N级GOA单元还包括第N上拉控制电路、第N上拉电路、第N下传电路、第N下拉电路和第N自举电容,其中:

所述第N上拉控制电路电性连接所述第N控制电路的第一控制端Q(N),第N上拉控制电路接入第(N-2)级GOA单元产生的下传信号ST(N-2)和第(N-2)级水平扫描线G(N-2);

所述第N上拉电路和第N下传电路分别电性连接所述第N控制电路的第一控制端Q(N),所述第N上拉电路与所述第N级水平扫描线G(N)电性连接,所述第N下传电路输出第N级GOA单元产生的下传信号ST(N),所述第N上拉电路和第N下传电路均接入对应所述第N级GOA单元的时钟信号;

所述第N自举电容的一端电性连接所述第N控制电路的第一控制端Q(N),另一端电性连接所述第N级水平扫描线G(N);

所述第N下拉电路分别电性连接所述第N控制电路的第一控制端Q(N)和第N级水平扫描线G(N),所述第N下拉电路还接入所述直流低电压,所述第N下拉电路还连接第(N+2)级水平扫描线G(N+2)。

9. 根据权利要求3所述的GOA电路,其特征在于,在所述第(N+4)级GOA单元中:所述第(N+4)级GOA单元还包括第(N+4)上拉控制电路、第(N+4)上拉电路、第(N+4)下传电路、第(N+4)下拉电路和第(N+4)自举电容;

所述第(N+4)上拉控制电路接入第(N+2)级GOA单元产生的下传信号ST(N+2)和第(N+2)级水平扫描线G(N+2),所述第(N+4)上拉控制电路电性连接所述第(N+4)控制电路的第一控制端Q(N+4);

所述第(N+4)上拉电路和第(N+4)下传电路分别电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第(N+4)上拉电路与所述第(N+4)级水平扫描线G(N+4)电性连接,所述第(N+4)下传电路输出第(N+4)级GOA单元产生的下传信号ST(N+4),所述第(N+4)上拉电路和第(N+4)下传电路均接入对应所述第(N+4)级GOA单元的时钟信号;

所述第(N+4)自举电容的一端电性连接该第(N+4)控制电路的第一控制端Q(N+4),另一端电连接于所述第(N+4)级水平扫描线G(N+4);

所述第(N+4)下拉电路分别电性连接所述第(N+4)控制电路的第一控制端Q(N+4)和第(N+4)级水平扫描线G(N+4),所述第(N+4)下拉电路还接入所述直流低电压,所述第(N+4)下拉电路还连接第(N+6)级水平扫描线G(N+6)。

10. 根据权利要求8或9所述的GOA电路,其特征在于,每个GOA单元接入的时钟信号为第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号中的一个,其中,接入所述第N级GOA单元的时钟信号和接入所述第(N+4)级GOA单元的时钟信号相同。

11. 根据权利要求10所述的GOA电路,其特征在于,所述第一低频控制信号和第二低频控制信号的周期为每个GOA单元接入的时钟信号周期的2倍。

12. 根据权利要求8所述的GOA电路,其特征在于,在所述第一级和第二级GOA单元中,所述第一上拉控制电路和所述第二上拉控制电路接入扫描启动信号;在最后一级和倒数第二级GOA单元中,所述下拉电路接入所述扫描启动信号。

13. 一种液晶显示器,其特征在于,包括如权利要求1-12任一项所述的GOA电路。

一种GOA电路及液晶显示器

技术领域

[0001] 本发明涉及液晶显示技术领域,具体涉及一种GOA电路及液晶显示器。

背景技术

[0002] 阵列基板行驱动(Gate Driver On Array,GOA)技术,是一种将薄膜晶体管(Thin Film Transistor,TFT)的栅极扫描驱动电路制作在阵列基板上,以替代外接硅芯片制作的驱动芯片的一种技术。由于GOA电路可直接制作在面板周围,如此不但可以降低液晶显示器(Liquid Crystal Display,LCD)的面板的边框厚度,简化制程工艺,还可以降低产品成本,提高液晶面板的集成度。

[0003] 现有的GOA电路,通常包括级联的多个GOA单元,每一级GOA单元包括上拉控制电路、上拉电路、下传电路、下拉电路、自举电容和下拉维持电路以及负责电位抬升的自举(Boost)电容。其中,所述上拉控制电路负责控制所述上拉电路的打开,一般连接前面级GOA电路传递过来的下传信号或者Gate信号;所述上拉电路主要负责将输入的时钟信号(Clock)输出为栅极(Gate)信号;所述下拉电路负责在输出扫描驱动信号后,快速将该扫描驱动信号(也即是TFT栅极的电位)拉低为低电平,即关闭Gate信号;所述下拉维持电路则主要负责将扫描驱动信号和上拉电路的Gate信号(通常称为Q点)维持在关闭状态(即负电位),通常有两个下拉维持模块交替作用;所述自举电容则负责Q点的二次抬升。

[0004] 现有技术中的GOA电路结构基本是将上述GOA单元的上拉电路、上拉控制电路等几部分放置在同一级GOA单元中,尤其是两个下拉维持电路是交替作用在同一级GOA电路的。然而,每一级GOA单元的下拉维持电路之间都相同且各自独立,而且相邻两级GOA单元的下拉维持电路之间无相互作用,导致电路实际作用效率较低。另外,由于每一级GOA单元的下拉维持电路包含较多的TFT元件,这样不但会导致GOA单元整体尺寸过大,增加GOA电路所占用的设计空间,同时也会增加电路功耗。

发明内容

[0005] 本发明实施例提供一种GOA电路及液晶显示器,可以实现每两级GOA电路共享下拉维持电路,从而缩减GOA电路中TFT的数量,以减少GOA电路所占用的设计空间。

[0006] 第一方面,本发明实施例提供了一种阵列基板行驱动(Gate Driver On Array,GOA)电路,所述GOA电路包括级联的多个GOA单元,第N级GOA单元用于控制对第N级水平扫描线G(N)充电,第(N+4)级GOA单元用于控制对第(N+4)级水平扫描线G(N+4)充电,其中:

[0007] 所述第N级GOA单元包括第N下拉维持电路;第(N+4)级GOA单元包括第(N+4)下拉维持电路;所述第N下拉维持电路包括第N控制电路、第N维持电路和与所述第(N+4)下拉维持电路共有的第N共享电路;所述第(N+4)下拉维持电路包括第(N+4)控制电路、第(N+4)维持电路和与所述第N下拉维持电路共有的所述第N共享电路;

[0008] 第N控制电路具有第一控制端Q(N)和第二控制端,所述第N控制电路的第二控制端接入第一低频控制信号,所述第N控制电路的第一控制端Q(N)和所述第一低频控制信号用

于控制所述第N控制电路的输出端P(N)的电位为高电位或者低电位;所述第N维持电路电性连接所述第N控制电路的输出端P(N)、第一控制端Q(N)和所述第N级水平扫描线G(N),用于在所述第N控制电路的输出端P(N)为高电位时,维持所述第N控制电路的第一控制端Q(N)和所述第N级水平扫描线G(N)的电位为低电位;

[0009] 第(N+4)控制电路具有第一控制端Q(N+4)和第二控制端,所述第(N+4)控制电路的第二控制端接入第二低频控制信号,所述第(N+4)控制电路的第一控制端Q(N+4)和所述第二低频控制信号用于控制所述第(N+4)控制电路的输出端P(N+4)为高电位或者低电位;所述第(N+4)维持电路电性连接所述第(N+4)控制电路的输出端P(N+4)、第一控制端Q(N+4)和所述第(N+4)级水平扫描线G(N+4),用于在所述第(N+4)控制电路的输出端P(N+4)为高电位时,维持所述第(N+4)控制电路的第一控制端Q(N+4)和所述第(N+4)级水平扫描线G(N+4)的电位为低电位;其中,所述第一低频控制信号和第二低频控制信号的相位相反;

[0010] 当所述第N控制电路的输出端P(N)为高电位,并且所述第(N+4)控制电路的输出端P(N+4)为高电位时,所述第N共享电路工作,将所述第N控制电路的第一控制端Q(N)的电位与所述第(N+4)控制电路的第一控制端Q(N+4)的电位共享,均维持在低电位,所述第N共享电路将所述第N级水平扫描线G(N)的电位与所述第(N+4)级水平扫描线G(N+4)的电位共享,均维持在低电位。

[0011] 其中,当所述第N控制电路的输出端P(N)为低电位时,或者所述第(N+4)控制电路的输出端P(N+4)为低电位时,所述第N共享电路停止工作。

[0012] 其中,所述共享电路包括第六十一晶体管、第六十二晶体管、第六十三晶体管和第六十四晶体管,其中:

[0013] 所述第六十一晶体管的栅极和所述第六十三晶体管的栅极电性连接所述第N控制电路的输出端P(N),所述第六十一晶体管的源级电性连接所述第N控制电路的第一控制端Q(N),所述第六十一晶体管的漏级电性连接所述第六十二晶体管的漏级;所述第六十二晶体管的源级电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第六十二晶体管的栅极和所述第六十四晶体管的栅极电性连接所述第(N+4)控制电路的输出端P(N+4);所述第六十三晶体管的源级电性连接所述第(N+4)级水平扫描线G(N+4),所述第六十三晶体管的漏级电性连接所述第六十四晶体管的漏级,所述第六十四晶体管的源极电性连接所述第N级水平扫描线G(N)。

[0014] 其中,所述第N控制电路包括第五十一晶体管、第五十二晶体管、第五十三晶体管和第五十四晶体管,其中:

[0015] 所述第五十一晶体管的栅极、所述第五十一晶体管的漏极、所述第五十三晶体管的漏极电性连接所述第N控制电路的第二控制端,所述第五十一晶体管的源极电性连接所述第五十二晶体管的漏极和所述第五十三晶体管的栅极,所述第五十二晶体管的栅极电性连接所述第N控制电路的第一控制端Q(N),所述第五十三晶体管的源极电性连接所述第五十四晶体管的漏极和所述第N控制电路的输出端P(N),所述第五十二晶体管的源极和所述第五十四晶体管的源极输入直流低电压;

[0016] 当所述第N控制电路的第一控制端Q(N)为低电位时,若所述第N控制电路的第二控制端为高电位,则所述第N控制电路的输出端P(N)为高电位;

[0017] 当所述第N控制电路的第一控制端Q(N)为低电位时,若所述第N控制电路的第二控

制端从高电位变为低电位,则所述第N控制电路的输出端P(N)为高电位。

[0018] 其中,所述第N维持电路包括第三十二晶体管和第四十二晶体管,其中:

[0019] 所述第三十二晶体管的栅极和所述第四十二晶体管的栅极电性连接所述第N控制电路的输出端P(N),所述第三十二晶体管的漏极电性连接所述第N级水平扫描线G(N),所述第四十二晶体管的漏极电性连接所述第N控制电路的第一控制端Q(N),所述第三十二晶体管的源极和所述第四十二晶体管的源极输入所述直流低电压;

[0020] 当所述第N控制电路的输出端P(N)为高电位时,所述第N级水平扫描线G(N)和所述第N控制电路的第一控制端Q(N)维持低电位。

[0021] 所述第(N+4)控制电路包括第五十五晶体管、第五十六晶体管、第五十七晶体管和第五十八晶体管,其中:

[0022] 所述第五十五晶体管的栅极、所述第五十五晶体管的漏极、所述第五十七晶体管的漏极电性连接所述第(N+4)控制电路的第二控制端,所述第五十五晶体管的源极电性连接所述第五十六晶体管的漏极和所述第五十七晶体管的栅极,所述第五十六晶体管的栅极电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第五十七晶体管的源极电性连接所述第五十八晶体管的漏极和所述第(N+4)控制电路的输出端P(N+4),所述第五十六晶体管的源极和所述第五十八晶体管的源极输入直流低电压;

[0023] 当所述第(N+4)控制电路的第一控制端Q(N+4)为低电位时,若所述第(N+4)控制电路的第二控制端为高电位,则所述第(N+4)控制电路的输出端P(N+4)为高电位;

[0024] 当所述第(N+4)控制电路的第一控制端Q(N+4)为低电位时,若所述第(N+4)控制电路的第二控制端从高电位变为低电位,则所述第(N+4)控制电路的输出端P(N+4)为高电位。

[0025] 其中,所述第(N+4)控制电路包括第五十五晶体管、第五十六晶体管、第五十七晶体管和第五十八晶体管,其中:

[0026] 所述第五十五晶体管的栅极、所述第五十五晶体管的漏极、所述第五十七晶体管的漏极电性连接所述第(N+4)控制电路的第二控制端,所述第五十五晶体管的源极电性连接所述第五十六晶体管的漏极和所述第五十七晶体管的栅极,所述第五十六晶体管的栅极电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第五十七晶体管的源极电性连接所述第五十八晶体管的漏极和所述第(N+4)控制电路的输出端P(N+4),所述第五十六晶体管的源极和所述第五十八晶体管的源极输入直流低电压;

[0027] 当所述第(N+4)控制电路的第一控制端Q(N+4)为低电位时,若所述第(N+4)控制电路的第二控制端为高电位,则所述第(N+4)控制电路的输出端P(N+4)为高电位;

[0028] 当所述第(N+4)控制电路的第一控制端Q(N+4)为低电位时,若所述第(N+4)控制电路的第二控制端从高电位变为低电位,则所述第(N+4)控制电路的输出端P(N+4)为高电位。

[0029] 其中,所述第(N+4)维持电路包括第三十三晶体管和第四十三晶体管,其中:

[0030] 所述第三十三晶体管的栅极和所述第四十三晶体管的栅极电性连接所述第(N+4)控制电路的输出端P(N+4),所述第三十三晶体管的漏极电性连接所述第N级水平扫描线G(N+4),所述第四十三晶体管的漏极电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第三十三晶体管的源极和所述第四十三晶体管的源极输入所述直流低电压;

[0031] 当所述第(N+4)控制电路的输出端P(N+4)为高电位时,所述第(N+4)级水平扫描线G(N+4)和所述第(N+4)控制电路的第一控制端Q(N+4)维持低电位。

[0032] 其中,所述第N级GOA单元还包括第N上拉控制电路、第N上拉电路、第N下传电路、第N下拉电路和第N自举电容,其中:

[0033] 所述第N上拉控制电路电性连接所述第N控制电路的第一控制端Q(N),第N上拉控制电路接入第N-2级GOA单元产生的下传信号ST(N-2)和第(N-2)级水平扫描线G(N-2);

[0034] 所述第N上拉电路和第N下传电路分别电性连接所述第N控制电路的第一控制端Q(N),所述第N上拉电路与所述第N级水平扫描线G(N)电性连接,所述第N下传电路输出第N级GOA单元产生的下传信号ST(N),所述第N上拉电路和第N下传电路均接入对应所述第N级GOA单元的时钟信号;

[0035] 所述第N自举电容的一端电性连接于所述第N控制电路的第一控制端Q(N),另一端电性连接所述第N级水平扫描线G(N);

[0036] 所述第N下拉电路分别电性连接所述第N控制电路的第一控制端Q(N)和第N级水平扫描线G(N),所述第N下拉电路还接入所述直流低电压,所述第N下拉电路还连接第(N+2)级水平扫描线G(N+2)。

[0037] 其中,在第(N+4)级GOA单元中,所述第(N+4)级GOA单元还包括第(N+4)上拉控制电路、第(N+4)上拉电路、第(N+4)下传电路、第(N+4)下拉电路和第(N+4)自举电容;

[0038] 第(N+4)上拉控制电路接入第(N+2)级GOA单元产生的下传信号ST(N+2)和第(N+2)级水平扫描线G(N+2),所述第(N+4)上拉控制电路电性连接所述第(N+4)控制电路的第一控制端Q(N+4);

[0039] 所述第(N+4)上拉电路和第(N+4)下传电路分别电性连接所述第(N+4)控制电路的第一控制端Q(N+4),所述第(N+4)上拉电路与所述第(N+4)级水平扫描线G(N+4)电性连接,所述第(N+4)下传电路输出第(N+4)级GOA单元产生的下传信号ST(N+4),所述第(N+4)上拉电路和第(N+4)下传电路均接入对应所述第(N+4)级GOA单元的时钟信号;

[0040] 所述第(N+4)自举电容的一端电性连接于第N+4级栅极信号点Q(N+4),另一端电性连接所述第(N+4)级水平扫描线G(N+4);

[0041] 所述第(N+4)下拉电路分别电性连接所述第(N+4)控制电路的第一控制端Q(N+4)和第(N+4)级水平扫描线G(N+4),所述第(N+4)下拉电路还接入所述直流低电压,所述第(N+4)下拉电路还连接第(N+6)级水平扫描线G(N+6)。

[0042] 其中,每个GOA单元接入的时钟信号为第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号中的一个,其中,接入所述第N级GOA单元的时钟信号和接入所述第(N+4)级GOA单元的时钟信号相同。

[0043] 其中,所述第一低频控制信号和第二低频控制信号的周期为每个GOA单元接入的时钟信号周期的2倍。

[0044] 其中,在第一级和第二级GOA单元中,所述上拉控制电路接入一扫描启动信号;在最后一级和倒数第二级GOA单元中,所述下拉电路接入扫描启动信号。

[0045] 第二方面,本发明实施例还提供了一种包括上述GOA电路的液晶显示器。

[0046] 本发明实施例中提供的GOA电路,第N级GOA单元中的第N下拉维持电路包括第N控制电路、第N维持电路和与所述第(N+4)下拉维持电路共有的第N共享电路,第(N+4)级GOA单元的第(N+4)下拉维持电路包括第(N+4)控制电路、第(N+4)维持电路和与所述第N下拉维持电路共有的所述第N共享电路;第N控制电路的第一控制端Q(N)以及第二控制端接入的第一

低频控制信号LC1可以控制所述第N控制电路的输出端P(N)的电位;第(N+4)控制电路的第一控制端Q(N+4),以及第二控制端接入的第二低频控制信号LC2可以控制所述第(N+4)控制电路的输出端P(N+4)的电位;当所述第N控制电路的输出端P(N)和所述第(N+4)控制电路的输出端P(N+4)均为高电位时,所述第N共享电路工作,将所述第N控制电路的第一控制端Q(N)的电位与所述第(N+4)控制电路的第一控制端Q(N+4)的电位共享,以及将所述第N级水平扫描线G(N)的电位与所述第(N+4)级水平扫描线G(N+4)的电位共享,这样可使第N级GOA单元和第(N+4)级GOA单元交替被第N下拉维持电路和第(N+4)下拉维持电路下拉,提高GOA电路的实际作用效率。另外,第N级GOA单元、第(N+4)级GOA单元之间共享电路的存在,还可以缩减GOA电路中薄膜晶体管的数目,减少GOA电路所占用的设计空间。

附图说明

[0047] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0048] 图1是本发明实施例公开的一种GOA电路的示意图;

[0049] 图2是本发明实施例公开的另一种GOA电路的示意图;

[0050] 图3是本发明实施例公开的另一种GOA电路的示意图;

[0051] 图4是本发明实施例公开的另一种GOA电路的示意图;

[0052] 图5是本发明实施例中时钟信号的时序图,以及时钟信号与各GOA单元的对应关系示意;

[0053] 图6是本发明实施例公开的另一种GOA电路的示意图;

[0054] 图7是图6中所示电路结构的输入信号和各个关键节点的波形示意图。

具体实施方式

[0055] 下面将结合本发明实施方式中的附图,对本发明实施方式中的技术方案进行清楚、完整地描述。显然,所描述的实施方式是本发明的一部分实施方式,而不是全部实施方式。基于本发明中的实施方式,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施方式,都应属于本发明保护的范围。

[0056] 此外,以下各实施例的说明是参考附加的图示,用以例示本发明可用以实施的特定实施例。本发明中所提到的方向用语,例如,“上”、“下”、“前”、“后”、“左”、“右”、“内”、“外”、“侧面”等,仅是参考附加图式的方向,因此,使用的方向用语是为了更好、更清楚地说明及理解本发明,而不是指示或暗指所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0057] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸地连接,或者一体地连接;可以是机械连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0058] 此外,在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。若本说明书中出现“工序”的用语,其不仅是指独立的工序,在与其它工序无法明确区别时,只要能实现所述工序所预期的作用则也包括在本用语中。另外,本说明书中用“-”表示的数值范围是指将“-”前后记载的数值分别作为最小值及最大值包括在内的范围。在附图中,结构相似或相同的单元用相同的标号表示。

[0059] 本发明实施例提供了一种GOA电路及液晶显示器,可以实现每两级GOA电路共享下拉维持电路,电路实际作用效率较低,还从而缩减GOA电路中TFT的数量,以减少GOA电路所占用的设计空间。以下分别进行详细说明。

[0060] 请查阅图1,图1是本发明实施例公开的一种阵列基板行驱动GOA电路的示意图。

[0061] 在本实施例中,所述GOA电路包括多个级联的GOA单元(例如,第1级GOA单元、第2级GOA单元...第N级GOA单元、第N+1级GOA单元、第N+4级GOA单元,其中,N为大于等于1的整数),每一级GOA单元均对应一行薄膜晶体管(Thin Film Transistor,TFT)。每一行TFT的栅极电压可以通过GOA电路提供,第N级GOA单元用于控制对第N级水平扫描线G(N)充电,第(N+4)级GOA单元用于控制对第(N+4)级水平扫描线G(N+4)充电。当同一行充电完毕后,则该GOA电路将该行的扫描驱动信号关闭,然后再输出开启信号将下一行的TFT打开,并对该行的TFT进行充电。如此依序下去,直至最后一级GOA单元对应的TFT充电完毕。

[0062] 所述第N级GOA单元包括第N下拉维持电路600;第(N+4)级GOA单元包括第(N+4)下拉维持电路600';所述第N下拉维持电路600包括第N控制电路601、第N维持电路602,以及第N下拉维持电路600与所述第(N+4)下拉维持电路600'共有的第N共享电路603;所述第(N+4)下拉维持电路600'包括第(N+4)控制电路601'、第(N+4)维持电路602',以及所述第(N+4)下拉维持电路600'与所述第N下拉维持电路600共有的所述第N共享电路603;所述N为正整数。

[0063] 第N控制电路601具有第一控制端Q(N)和第二控制端6012,所述第N控制电路601的第二控制端6012接入第一低频控制信号LC1,所述第N控制电路601的第一控制端Q(N)和所述第一低频控制信号LC1用于控制所述第N控制电路601的输出端P(N)的电位为高电位或者低电位;所述第N维持电路602电性连接所述第N控制电路601的输出端P(N)、第一控制端Q(N)和所述第N级水平扫描线G(N),用于在所述第N控制电路601的输出端P(N)为高电位时,维持所述第N控制电路601的第一控制端Q(N)和所述第N级水平扫描线G(N)的电位为低电位。

[0064] 第(N+4)控制电路601'具有第一控制端Q(N+4)和第二控制端6014,所述第(N+4)控制电路601'的第二控制端6014接入第二低频控制信号LC2,所述第(N+4)控制电路601'的第一控制端Q(N+4)和所述第二低频控制信号LC2用于控制所述第(N+4)控制电路601'的输出端P(N+4)为高电位或者低电位;所述第(N+4)维持电路602'电性连接所述第(N+4)控制电路601'的输出端P(N+4)、第一控制端Q(N+4)和所述第(N+4)级水平扫描线G(N+4),用于在所述第(N+4)控制电路601'的输出端P(N+4)为高电位时,维持所述第(N+4)控制电路601'的第一控制端Q(N+4)和所述第(N+4)级水平扫描线G(N+4)的电位为低电位;其中,所述第一低频控制信号LC1和第二低频控制信号LC2的相位相反;

[0065] 当所述第N控制电路601的输出端P(N)为高电位,并且所述第(N+4)控制电路601'的输出端P(N+4)为高电位时,所述第N共享电路603工作,将所述第N控制电路601的第一控制端Q(N)的电位与所述第(N+4)控制电路601'的第一控制端Q(N+4)的电位共享,均维持在

低电位,所述第N共享电路603将所述第N级水平扫描线G(N)的电位与所述第(N+4)级水平扫描线G(N+4)的电位共享,均维持在低电位。

[0066] 其中,当所述第N控制电路601的输出端P(N)为低电位时,或者所述第(N+4)控制电路601'的输出端P(N+4)为低电位时,所述第N共享电路603停止工作。所述第N共享电路603相当于一与门电路。

[0067] 在图1描述的电路结构中,第N级GOA单元中的第N下拉维持电路600包括第N控制电路601、第N维持电路602以及第N下拉维持电路600与所述第(N+4)下拉维持电路600'共有的第N共享电路603,第(N+4)级GOA单元的第(N+4)下拉维持电路600'包括第(N+4)控制电路601'、第(N+4)维持电路602'以及所述第(N+4)下拉维持电路600'与所述第N下拉维持电路600共有的所述第N共享电路603;第N控制电路601的第一控制端Q(N)以及第二控制端6012接入的第一低频控制信号LC1可以控制所述第N控制电路601的输出端P(N)的电位;第(N+4)控制电路601'的第一控制端Q(N+4),以及第二控制端6014接入的第二低频控制信号LC2可以控制所述第(N+4)控制电路601'的输出端P(N+4)的电位;当所述第N控制电路601的输出端P(N)和所述第(N+4)控制电路601'的输出端P(N+4)均为高电位时,所述第N共享电路603工作,将所述第N控制电路601的第一控制端Q(N)的电位与所述第(N+4)控制电路601'的第一控制端Q(N+4)的电位共享,以及将所述第N级水平扫描线G(N)的电位与所述第(N+4)级水平扫描线G(N+4)的电位共享,这样可使第N级GOA单元和第(N+4)级GOA单元交替被第N下拉维持电路600和第(N+4)下拉维持电路600'下拉,提高GOA电路的实际作用效率。

[0068] 请参阅图2,图2是本发明实施例公开的另一种GOA电路的示意图。

[0069] 如图2所示,本实施例总所示的GOA电路与图1所示的GOA电路的电路架构及组成整体相同,所述GOA电路包括多个级联的GOA单元,每一级GOA单元均对应一行薄膜晶体管。所述第N级GOA单元包括第N下拉维持电路600;第(N+4)级GOA单元包括第(N+4)下拉维持电路600';所述第N下拉维持电路600包括第N控制电路601、第N维持电路602,以及第N下拉维持电路600与所述第(N+4)下拉维持电路600'共有的第N共享电路603;所述第(N+4)下拉维持电路600'包括第(N+4)控制电路601'、第(N+4)维持电路602',以及所述第(N+4)下拉维持电路600'与所述第N下拉维持电路600共有的所述第N共享电路603;具体请参看上文对图1所示GOA电路的描述,在此不再赘述。

[0070] 进一步地,其区别在于,本实施例中所描述的GOA电路中,所述共享电路603包括第六十一晶体管T61、第六十二晶体管T62、第六十三晶体管T63和第六十四晶体管T64,其中:

[0071] 所述第六十一晶体管T61的栅极和所述第六十三晶体管T63的栅极电性连接所述第N控制电路601的输出端P(N),所述第六十一晶体管T61的源级电性连接所述第N控制电路601的第一控制端Q(N),所述第六十一晶体管T61的漏级电性连接所述第六十二晶体管T62的漏级;所述第六十二晶体管T62的源级电性连接所述第(N+4)控制电路601'的第一控制端Q(N+4),所述第六十二晶体管T62的栅极和所述第六十四晶体管T64的栅极电性连接所述第(N+4)控制电路601'的输出端P(N+4);所述第六十三晶体管T63的源级电性连接所述第(N+4)级水平扫描线G(N+4),所述第六十三晶体管T63的漏级电性连接所述第六十四晶体管T64的漏级,所述第六十四晶体管T64的源极电性连接所述第N级水平扫描线G(N)。所述共享电路603相当于一与门电路,只有当所述第N控制电路601的输出端P(N)和所述第(N+4)控制电路601'的输出端P(N+4)均为高电位时,所述第N共享电路603才工作。

[0072] 请参阅图3,图3是本发明实施例公开的另一种GOA电路的示意图。如图3所示,本实施例总所示的GOA电路与图1及图2所示的GOA电路的电路架构及组成整体相同,具体请参看上文对图1及图2所示GOA电路的描述,在此不再赘述。进一步地,其区别在于,本实施例中所描述的GOA电路中,所述第N控制电路601包括第五十一晶体管T51、第五十二晶体管T52、第五十三晶体管T53和第五十四晶体管T54,其中:

[0073] 所述第五十一晶体管T51的栅极、所述第五十一晶体管T51的漏极、所述第五十三晶体管T53的漏极电性连接所述第N控制电路601的第二控制端6012,即接入第一低频控制信号LC1,所述第五十一晶体管T51的源极电性连接所述第五十二晶体管T52的漏极和所述第五十三晶体管T53的栅极,所述第五十二晶体管T52的栅极电性连接所述第N控制电路601的第一控制端Q(N),所述第五十三晶体管T53的源极电性连接所述第五十四晶体管T54的漏极和所述第N控制电路601的输出端P(N),所述第五十二晶体管T52的源极和所述第五十四晶体管T54的源极输入直流低电压Vss。

[0074] 当所述第N控制电路601的第一控制端Q(N)为高电位时,所述第五十二晶体管T52和第五十四晶体管T54打开,将所述第N控制电路601的输出端P(N)拉低为低电位。

[0075] 当所述第N控制电路601的第一控制端Q(N)为低电位时,若所述第N控制电路601的第二控制端6012接入的第一低频控制信号LC1为高电位,所述第五十一晶体管T51和第五十三晶体管T53打开,则所述第N控制电路601的输出端P(N)为高电位。

[0076] 当所述第N控制电路601的第一控制端Q(N)为低电位时,若所述第N控制电路601的第二控制端6012接入的第一低频控制信号LC1从高电位变为低电位,第五十一晶体管T51、第五十二晶体管T52、第五十三晶体管T53和第五十四晶体管T54均关闭,但由于上一时段第一低频控制信号LC1是处于高电位、所述第N控制电路601的输出端P(N)为高电位,则此时段所述第N控制电路601的输出端P(N)维持上一时段的电位状态,即P(N)为高电位。

[0077] 进一步地,所述第N维持电路602包括第三十二晶体管T32和第四十二晶体管T42,其中:

[0078] 所述第三十二晶体管T32的栅极和所述第四十二晶体管T42的栅极电性连接所述第N控制电路601的输出端P(N),所述第三十二晶体管T32的漏极电性连接所述第N级水平扫描线G(N),所述第四十二晶体管T42的漏极电性连接所述第N控制电路601的第一控制端Q(N),所述第三十二晶体管T32的源极和所述第四十二晶体管T42的源极输入所述直流低电压Vss;

[0079] 当所述第N控制电路601的输出端P(N)为高电位时,所述第三十二晶体管T32和第四十二晶体管T42打开,将所述第N级水平扫描线G(N)和所述第N控制电路601的第一控制端Q(N)维持在低电位。

[0080] 进一步地,所述第(N+4)控制电路601'包括第五十五晶体管T55、第五十六晶体管T56、第五十七晶体管T57和第五十八晶体管T58,其中:

[0081] 所述第五十五晶体管T55的栅极、所述第五十五晶体管T55的漏极、所述第五十七晶体管T57的漏极电性连接所述第(N+4)控制电路601'的第二控制端6014,即接入第二低频控制信号LC2,所述第五十五晶体管T55的源极电性连接所述第五十六晶体管T56的漏极和所述第五十七晶体管T57的栅极,所述第五十六晶体管T56的栅极电性连接所述第(N+4)控制电路601'的第一控制端Q(N+4),所述第五十七晶体管T57的源极电性连接所述第五十八

晶体管T58的漏极和所述第(N+4)控制电路601'的输出端P(N+4),所述第五十六晶体管T56的源极和所述第五十八晶体管T58的源极输入直流低电压Vss。

[0082] 当所述第(N+4)控制电路601'的第一控制端Q(N+4)为高电位时,所述第五十六晶体管T56和第五十八晶体管T58打开,将所述第(N+4)控制电路601'的输出端P(N+4)拉低成低电位。

[0083] 当所述第(N+4)控制电路的第一控制端Q(N+4)为低电位时,若所述第N控制电路601的第二控制端6014接入的第二低频控制信号LC2为高电位,所述第五十五晶体管T55和第五十七晶体管T57打开,则所述第N控制电路601的输出端P(N+4)为高电位。

[0084] 当所述第(N+4)控制电路的第一控制端Q(N+4)为低电位时,若所述第(N+4)控制电路的第二控制端6014接入的第二低频控制信号LC2从高电位变为低电位,则所述第五十五晶体管T55、第五十六晶体管T56、第五十七晶体管T57和第五十八晶体管T58均关闭,但由于上一时段第二低频控制信号LC2是处于高电位、所述第(N+4)控制电路601的输出端P(N+4)为高电位,则此时段所述第(N+4)控制电路601'的输出端P(N+4)维持上一时段的电位状态,即P(N+4)为高电位。

[0085] 进一步地,所述第(N+4)维持电路602'包括第三十三晶体管T33和第四十三晶体管T43,其中:

[0086] 所述第三十三晶体管T33的栅极和所述第四十三晶体管T43的栅极电性连接所述第(N+4)控制电路601'的输出端P(N+4),所述第三十三晶体管T33的漏极电性连接所述第N级水平扫描线G(N+4),所述第四十三晶体管T43的漏极电性连接所述第(N+4)控制电路601'的第一控制端Q(N+4),所述第三十三晶体管T33的源极和所述第四十三晶体管T43的源极输入所述直流低电压Vss。

[0087] 当所述第(N+4)控制电路的输出端P(N+4)为高电位时,所述第三十三晶体管T33和第四十三晶体管T43打开,将所述第(N+4)级水平扫描线G(N+4)和所述第(N+4)控制电路601'的第一控制端Q(N+4)维持在低电位。

[0088] 请参阅图4,图4是本发明实施例公开的一种GOA电路的电路示意图。

[0089] 其中,所述第N级GOA单元还包括第N上拉控制电路100、第N上拉电路200、第N下传电路300、第N下拉电路400和第N自举电容500。其中,所述第N上拉控制电路100、第N上拉电路200、第N下传电路300、第N下拉电路400和第N自举电容500分别连接所述第N控制电路601的第一控制端Q(N),所述第N上拉电路200、第N下拉电路400和第N自举电容500分别与所述第N级水平扫描线G(N)电性连接。

[0090] 所述第N上拉控制电路100电性连接所述第N控制电路601的第一控制端Q(N),第N上拉控制电路100接入第(N-2)级GOA单元产生的下传信号ST(N-2)和第(N-2)级水平扫描线G(N-2);

[0091] 所述第N上拉电路200和第N下传电路300分别电性连接所述第N控制电路601的第一控制端Q(N),所述第N上拉电路200与所述第N级水平扫描线G(N)电性连接,所述第N下传电路300输出第N级GOA单元产生的下传信号ST(N),所述第N上拉电路200和第N下传电路300均接入对应所述第N级GOA单元的时钟信号;

[0092] 所述第N自举电容500包括一电容Cb1,所述电容Cb1的一端电性连接所述第N控制电路601的第一控制端Q(N),另一端电性连接所述第N级水平扫描线G(N);

[0093] 所述第N下拉电路400分别电性连接所述第N控制电路601的第一控制端Q(N)和第N级水平扫描线G(N),所述第N下拉电路400还接入所述直流低电压V_{ss},所述第N下拉电路400还接入第(N+2)级水平扫描线G(N+2)。

[0094] 类似地,在第(N+4)级GOA单元中:所述第(N+4)级GOA单元还包括第(N+4)上拉控制电路100'、第(N+4)上拉电路200'、第(N+4)下传电路300'、第(N+4)下拉电路400'和第(N+4)自举电容500'。其中,所述第(N+4)上拉控制电路100'、第(N+4)上拉电路200'、第(N+4)下传电路300'、第(N+4)下拉电路400'和第(N+4)自举电容500'分别连接所述第(N+4)控制电路601'的第一控制端Q(N+4),所述第(N+4)上拉电路200'、第(N+4)下拉电路400'和第(N+4)自举电容500'分别与所述第(N+4)级水平扫描线G(N+4)电性连接。

[0095] 第(N+4)上拉控制电路100'接入第(N+2)级GOA单元产生的下传信号ST(N+2)和第(N+2)级水平扫描线G(N+2),所述第(N+4)上拉控制电路电性连接所述第(N+4)控制电路601'的第一控制端Q(N+4);

[0096] 所述第(N+4)上拉电路200'和第(N+4)下传电路300'分别电性连接所述第(N+4)控制电路601'的第一控制端Q(N+4),所述第(N+4)上拉电路200'与所述第(N+4)级水平扫描线G(N+4)电性连接,所述第(N+4)下传电路300'输出第(N+4)级GOA单元产生的下传信号ST(N+4),所述第(N+4)上拉电路200'和第(N+4)下传电路300'均接入对应所述第(N+4)级GOA单元的时钟信号;

[0097] 所述第(N+4)自举电容500'包括一电容C_{b2},所述电容C_{b2}的一端电性连接于第N+4级栅极信号点Q(N+4),另一端电连接于所述第(N+4)级水平扫描线G(N+4);

[0098] 所述第(N+4)下拉电路400'分别电性连接所述第(N+4)控制电路601'的第一控制端Q(N+4)和第(N+4)级水平扫描线G(N+4),所述第(N+4)下拉电路400'还接入所述直流低电压V_{ss},所述第(N+4)下拉电路400'还连接第(N+6)级水平扫描线G(N+6)。

[0099] 该GOA电路采用的级传方式是第N-2级传给第N级。ST信号为GOA电路的启动信号,只是在开始扫描的时候打开,后面一直处于低电位。ST信号负责启动第一级和第二级GOA单元,而后面的第N级GOA电路的启动信号由前面第N-2级电路的下传电路部分的ST(N-2)信号负责产生,这样就可以逐级打开GOA驱动电路,实现行扫描驱动。

[0100] 第N级GOA单元接收第N-2级GOA单元产生的下传信号ST(N-2)、第N-2级GOA单元产生的扫描驱动信号G(N-2)、第N+2级GOA单元产生的扫描驱动信号G(N+2),以及直流低电压V_{ss}、时钟信号CK1~CK4中的1个CK信号,第N级GOA单元通过不同的晶体管输出扫描驱动信号G(N)和下传信号ST(N)。这样的结构方式可以保证GOA信号逐级传递,是各扫描线被逐级充电。由于第(N-2)级GOA单元的下传信号ST(N-2)和扫描驱动信号G(N-2)均是依据同一条时钟而输出,所以ST(N-2)和G(N-2)的时序和电位相同。在本发明的另外一种实施方式中,第N级GOA单元的上拉控制电路可以接收第N-2级GOA单元产生的下传信号ST(N-2)和第N-2级GOA单元产生的扫描驱动信号G(N-2)中的任一个信号即可。

[0101] 该GOA电路包括多个级联的GOA单元,GOA电路还包括设置在各GOA单元外围的第一低频控制信号LC1、第二低频控制信号LC2,直流低电压V_{ss},以及四条时钟信号号CK1、CK2、CK3、CK4的金属线。

[0102] 在GOA电路中,一般使用时钟信号控制每一行TFT开启或关闭,通过上拉电路将时钟信号输出至每个GOA单元的水平扫描线。不同的时钟信号(如CK-1、CK-2、CK-3...CK-m等)

可以同时输出至GOA电路包括的多个级联的GOA单元,以便将该时钟信号输出至TFT的栅极。例如,时钟信号CK1、CK2、CK3、CK4分别输入到第N级、第N+1级、N+2级、N+3级GOA单元的上拉电路,以分别对显示区域相应的水平扫描线进行充电。

[0103] 图5是本发明实施例中时钟信号的时序图,以及时钟信号与各GOA单元的对应关系示意。本实施例中,每个GOA单元接入的时钟信号为第一时钟信号CK1、第二时钟信号CK2、第三时钟信号CK3和第四时钟信号CK4中的一个,其中,第一时钟信号CK1和第三时钟信号CK3完全相反。时序上输入到第N级和第N+4级GOA单元的时钟信号刚刚相同(请参看图5的CK信号图),可以避免共享Q点后产生的错充问题。以下均以第N级GOA单元接入时钟信号CK1为例进行介绍。

[0104] 其中,所述第一低频控制信号LC1和第二低频控制信号LC2的相位相反。LC1、LC2的周期刚好是时钟信号CK(m)的2倍。CK信号占空比(Duty Ratio)为50%。

[0105] 进一步地,请参阅图6,图6是本发明实施例公开的一种GOA电路中第N级GOA单元和第(N+4)级GOA单元的电路图。如图6所示,第N+4级GOA单元的电路图与第N级GOA单元的结构类似,具体请参看上文图1-图4中的相关描述,在此不再赘述。

[0106] 其中,第N级GOA单元的结构包括:第N上拉控制电路100、第N上拉电路200、第N下传电路300、第N下拉电路400、第N自举电容500和第N下拉维持电路。其中,第N下拉维持电路包括第N控制电路601、第N维持电路602和第N共享电路603。

[0107] 所述第N共享电路603包括第六十一晶体管T61、第六十二晶体管T62、第六十三晶体管T63和第六十四晶体管T64,其中,共享电路中第六十一晶体管T61的栅极和第六十三晶体管T63的栅极电性连接第N级GOA单元中第N控制电路601的输出端P(N),第六十一晶体管T61的源级电性连接该第N控制电路601的第一控制端Q(N),第六十一晶体管T61的漏级电性连接第六十二晶体管T62的漏级;第六十二晶体管T62的源级电性连接该第N级GOA单元的后四级GOA单元(即第(N+4)级GOA单元)电路中第(N+4)控制电路601'的第一控制端Q(N+4),第六十二晶体管T62的栅极和第六十四晶体管T64的栅极电性连接于第N+4级GOA单元中第(N+4)控制电路601'的输出端P(N+4);第六十三晶体管T63的源级电性连接第(N+4)级GOA单元的输出端G(N+4),即第(N+4)级水平扫描线G(N+4),第六十三晶体管T63的漏级电性连接第六十四晶体管T64的漏级,第六十四晶体管T64的源极电性连接第N级水平扫描线G(N)。

[0108] 所述第N控制电路601包括第五十一晶体管T51、第五十二晶体管T52、第五十三晶体管T53和第五十四晶体管T54,其中,第五十一晶体管T51,其栅极、漏极均输入第一低频控制信号LC1;第五十二晶体管T52,其栅极电性连接所述第N控制电路601的第一控制端Q(N),源极输入直流低电压V_{ss};第五十三晶体管T53,其漏极输入第一低频控制信号LC1,源极电性连接第N控制电路601的输出端P(N),其中,第五十一晶体管T51的源极、第五十二晶体管T52的漏极、第五十三晶体管T53的栅极这三者电性连接在一起;第五十四晶体管T54,其栅极电性连接该第N控制电路601的第一控制端Q(N),漏极电性连接第N控制电路601的输出端P(N),源极输入直流低电压V_{ss}。

[0109] 所述第N维持电路602包括第三十二晶体管T32和第四十二晶体管T42,其中,第三十二晶体管T32,其栅极电性连接第N控制电路601的输出端P(N),漏极电性连接第N级GOA单元的输出端G(N),源极输入直流低电压V_{ss};第四十二晶体管T42,其栅极电性连接第N控制电路601的输出端P(N),漏极电性连接第N控制电路601的第一控制端Q(N),源极输入直流低

电压 V_{ss} 。

[0110] 由第N控制电路601、第N维持电路602和第N共享电路603所组成的下拉维持模块600主要负责维持Q(N)和G(N)的低电位。

[0111] 该第N上拉控制电路100包括第十一晶体管T11,所述第十一薄膜晶体管T11的栅极输入来自该第N级GOA单元的前两级GOA单元(第(N-2)级GOA单元)电路的下传信号ST(N-2),漏极和源极分别电性连接第(N-2)级水平扫描线G(N-2)和所述第N控制电路的第一控制端Q(N);该第N上拉控制电路100用于对Q(N)的电位进行控制。

[0112] 该第N上拉电路200包括第二十一晶体管T21,该第二十一晶体管T21的栅极电性连接于所述第N控制电路的第一控制端Q(N),漏极接入对应所述第N级GOA单元的时钟信号,源极电性连接第N级水平扫描线G(N),即该第N级GOA单元的输出端G(N)。该上拉电路200用于根据该第N控制电路的第一控制端Q(N)的电位和该第N级GOA单元接入的时钟信号的电位来控制该第N级GOA单元输出扫描驱动信号G(N)。

[0113] 该第N下传电路300包括第二十二晶体管T22,该第二十二晶体管T22的栅极电性连接所述第N控制电路601的第一控制端Q(N),漏极接入对于对应该第N级GOA单元的时钟信号,源极输出第N级下传信号ST(N)。该第N下传电路300用于根据该第N控制电路601的第一控制端Q(N)的电位和该第N级GOA单元接入的时钟信号的电位控制输出该第N级GOA单元输出第N级下传信号ST(N)。

[0114] 该第N下拉电路400包括第四十一晶体管T41和第三十一晶体管T31,第四十一晶体管T41和第三十一晶体管T31的栅极均电性连接于该第N级GOA单元的下两级GOA单元(第N+2级GOA单元)的输出端G(N+2),即第(N+2)级水平扫描线G(N+2),第四十一晶体管T41和第三十一晶体管T31的源极均输入直流低电压 V_{ss} ,其中,T41的漏极电性连接该第N级水平扫描线G(N),所述第三十一晶体管T31的漏极电性连接所述第N控制电路的第一控制端Q(N)。该下拉电路400用于在输出扫描驱动信号G(N)后,快速拉低扫描驱动信号G(N)和该第N控制电路601的第一控制端Q(N)的电位。

[0115] 该自举电容电路500包括一电容Cb1,该电容Cb1的一端电性连接该第N控制电路601的第一控制端Q(N),另一端电性连接所述第N级水平扫描线G(N)。自举电容用于负责Q(N)的二次抬升。

[0116] 特别地,在第一级GOA单元中,上拉控制电路中的第十一晶体管T11的栅极和漏极均接入扫描启动信号ST,仅第二十一晶体管T21输出该第一级GOA单元的扫描驱动信号G(1),第二十二晶体管T22的源极无输出,即输出低电位。

[0117] 同样地,在第二级GOA单元中,上拉控制电路中的第十一晶体管T11的栅极和漏极均接入扫描启动信号ST,仅第二十一晶体管T21输出该第一级GOA单元的扫描驱动信号G(2),第二十二晶体管T22的源极无输出,即输出低电位。

[0118] 另外,在该GOA电路的最后一级和倒数第二级GOA单元中,所述下拉电路中的第四十一晶体管T41和第三十一晶体管T31的栅极均接入扫描启动信号ST。

[0119] 从上述电路架构来看,晶体管T52、T54的栅极都连接该第N控制电路601的第一控制端Q(N),源极都连接直流低电压 V_{ss} ,主要用于在Q(N)为高电位时,关闭下拉维持电路,使P(N)处于低电位,T51的栅极连接第一低频控制信号LC1,T51的源极与T53的栅极连接在一起,T53的源极连接第N控制电路601的输出端P(N),主要在Q(N)处于低电位时,通过LC1的高

电位来打开T51、T53,使P(N)处于高电位时,维持Q(N)和G(N)的低电位;晶体管T31主要用来放掉Q(N)的电荷;T41主要用来拉低G(N)。

[0120] 第N级GOA单元G(N)与第(N+4)级GOA单元G(N+4)共享下拉维持电路,共享电路603的功能类似与门电路。其中,第N级GOA单元G(N)只有一组下拉维持电路,靠第一低频控制信号LC1提供驱动信号;G(N+4)级GOA电路也只有一组下拉维持电路,靠第二低频控制信号LC2提供驱动信号。

[0121] 基于图6所示的电路,图7是图6中所示电路结构的输入信号和各个关键节点的波形示意图。图6中,ST(N-2)、ST(N)、ST(N+2)、ST(N+4)分别为第(N-2)级GOA单元、第N级GOA单元、第(N+2)级GOA单元、第(N+4)级GOA单元产生的下传信号。

[0122] 以下按图7中的t1、t2、t3、t4、t5这五个时段来逐个阐述该电路的工作情况:

[0123] 在t1时段,第一低频控制信号LC1处于低电位、第二低频控制信号LC2处于高电位;由于该第N级、第N+4级GOA单元的启动信号ST(N-2)、ST(N+2)未给,第N控制电路601的第一控制端Q(N)、第(N+4)控制电路601'的第一控制端Q(N+4)均处于低电位,第N级、第(N+4)级GOA单元无扫描驱动信号G(N)和G(N+4)输出,均处于低电位;因LC2处于高电位,所以第(N+4)级GOA单元中的晶体管T55、T57开启,第(N+4)控制电路601'的输出端P(N+4)处于高电位,晶体管T33、T43打开,维持Q(N+4)还是处于Vss的低电位;而对于第N级GOA单元而言,LC1在t1的上一个时刻也处于高电位,使P(N)在上一时刻处于高电位;虽然LC1在t1时刻处于低电位,但由于晶体管T51、T52、T53、T54均关闭,P(N)点仍维持在上一时刻的高电位。因此,在t1时段,P(N)和P(N+4)均处于高电位,由于共享模块内的T61、T63的栅极均连接至P(N),T62、T64的栅极均连接至P(N+4),T61、T62、T63、T64全部打开,使得上下两级GOA电路的Q(N)和Q(N+4)等电位,G(N)和G(N+4)等电位,即均维持在低电位。

[0124] 在t2时段,第(N+4)级GOA单元的启动信号ST(N+2)一直没有开启,Q(N+4)和G(N+4)一直处于低电位;LC1处于高电位、LC2处于低电位,第N级GOA单元接收第(N-2)级GOA单元产生的下传信号ST(N-2),ST(N-2)先是处于高电位,之后是低电位,G(N-2)与ST(N-2)信号同步,也是先处于高电位,之后是低电位,而CK1信号先是低电位,再是高电位。

[0125] t2时段内在ST(N-2)处于高电位时,第N上拉控制电路100中的晶体管T1打开,G(N-2)的高电平信号传至第N控制电路601的第一控制端Q(N),即Q(N)点因ST(N-2)开启而处于高电位,并对自举电容Cb1的上级板进行充电。由于Q(N)处于高电位,因此T22、T21打开,时钟信号CK1的低电位信号经由T22、T21输出低电位的第N级下传信号ST(N)和扫描驱动信号G(N);另外由于Q(N)处于高电位,晶体管T52、T54打开,P(N)点被拉低至低电位,共享模块内的T61、T63关闭,上下两级GOA单元停止共享,此时因LC2在t2的上一时刻为高电位,P(N+4)仍维持在高电位。

[0126] t2时段内在ST(N-2)处于低电位时,虽然ST(N-2)关闭、晶体管T11断开,但Q(N)通过之前充满电荷的自举电容Cb1维持在高电位,使晶体管T22、T21打开,同时有高电位的CK信号输入到该第N级GOA单元,第N级GOA单元输出高电位的第N级下传信号ST(N)和扫描驱动信号G(N),即在t2的后半段输出启动信号给第(N+2)级GOA单元。与此同时,高电位的CK1信号通过晶体管T22继续给自举电容Cb1充电,将Q(N)的电位实现二次抬升。因此,在整个t2时段内,Q(N)均处于高电位。类似地,在t2的后半段,第(N+2)级GOA输出低电位的G(N+2),并在t3时刻开始时,输出高电位的G(N+2)和ST(N+2)。

[0127] 在 t_3 时段开始时, $G(N+2)$ 开始打开,晶体管 T_{31} 、 T_{41} 都打开,快速将第 N 级GOA单元的第 N 级水平扫描线 $G(N)$ 拉至低电位,第 N 控制电路601的第一控制端 $Q(N)$ 的高电位也会被拉至 V_{ss} 所处的低电位,即 $Q(N)$ 点的高电位因 $G(N+2)$ 下拉而变为低电位,此后一直保持低电位状态,而 t_3 时段内 $LC1$ 也是低电位, T_{51} 、 T_{53} 处于关闭状态,所以 $P(N)$ 点仍维持 t_2 时段的低电位,共享模块的与门电路仍然不工作。而 $Q(N+4)$ 在此时因 $ST(N+2)$ 、 $G(N+2)$ 的开启而处于高电位,并对电容 C_{b2} 的上级板充电,另外由于 $Q(N+4)$ 处于高电位, $T_{22'}$ 、 $T_{21'}$ 打开,因在 $ST(N+2)$ 开启的时间内, $CK1$ 处于低电位,第 $(N+4)$ 级GOA单元输出低电位的第 $(N+4)$ 级下传信号 $ST(N+4)$ 和扫描驱动信号 $G(N+4)$;另外由于 $Q(N+4)$ 处于高电位,使晶体管 T_{56} 、 T_{58} 打开, $P(N+4)$ 被拉至低电位。

[0128] 这里 $ST(N+2)$ 在 t_3 时段内只有一半的时间开启,而 $ST(N+2)$ 在 t_3 时段内处于低电位时,此时有高电位的 $CK1$ 信号输入到该第 $(N+4)$ 级GOA单元,之前充满电荷的 C_{b2} 仍可以将晶体管 $T_{22'}$ 、 $T_{21'}$ 打开,第 $(N+4)$ 级GOA单元输出高电位的第 $N+4$ 级下传信号 $ST(N+4)$ 和扫描驱动信号 $G(N+4)$,即第 $(N+4)$ 级水平扫描线输出高电位,与此同时,第 $(N+4)$ 级GOA单元中高电位的 $CK1$ 信号通过晶体管 $T_{22'}$ 继续给电容 C_{b2} 充电,将 $Q(N+4)$ 的电位实现二次抬升。

[0129] 在 t_4 时段, $G(N+6)$ 开始打开,晶体管 $T_{31'}$ 、 $T_{41'}$ 都打开,快速将第 $(N+4)$ 级GOA单元中第 $(N+4)$ 级水平扫描线 $G(N+4)$ 的电位拉至低电位, $Q(N+4)$ 的高电位因 $G(N+6)$ 下拉而变为 V_{ss} 所处的低电位,此后一直保持低电位状态;而 $P(N+4)$ 因 $LC2$ 处于低电位而仍维持 t_3 时段的低电位,此时第一低频控制信号 $LC1$ 处于高电位,晶体管 T_{51} 、 T_{53} 打开,故 $P(N)$ 处于高电位,同时晶体管 T_{32} 、 T_{34} 也打开,维持 $Q(N)$ 还是处于 V_{ss} 的低电位。

[0130] 在 t_5 时段,第一低频控制信号 $LC1$ 处于低电位, $P(N)$ 点维持 t_4 时段的高电位,因第二低频控制信号 $LC2$ 变为高电位, $P(N+4)$ 也被抬升至高电位,晶体管 T_{33} 、 T_{43} 打开, $Q(N+4)$ 还是处于 V_{ss} 的低电位;此时共享电路中的晶体管 T_{61} 、 T_{62} 、 T_{63} 、 T_{64} 全部打开,与门电路开始工作,上下两级GOA电路共享下拉维持电路,使得上下两级GOA单元的 $Q(N)$ 和 $Q(N+4)$ 等电位, $G(N)$ 和 $G(N+4)$ 等电位,即均维持在低电位。

[0131] 在 t_5 时段之后(从 t_5 到下一帧的 t_2 ,其中一帧指将第1级到最后一级GOA单元全部逐级打开所用的时间),在相位相反的第一低频控制信号 $LC1$ 和第二低频控制信号 $LC2$ 信号的作用下, $P(N)$ 和 $P(N+4)$ 均处于高电位,共享模块一直维持 t_5 时段的开启状态,上下两级GOA电路的 $Q(N)$ 和 $Q(N+4)$, $G(N)$ 和 $G(N+4)$ 同时被 $LC1$ 和 $LC2$ 交替拉低。共享电路的 T_{61} 、 T_{62} 、 T_{63} 、 T_{64} 这4个晶体管的阈值电压即使有漂移,但其主要起导通共享电路的作用,不影响每两级GOA单元共享下拉维持电路的运行。

[0132] 另外,从图7中的电路结构看,由于第 N 级GOA单元和第 $(N+4)$ 级GOA单元之间存在共享的下拉维持部分,每一级GOA单元只需要13个TFT,对于由多个GOA单元组成的GOA电路来说,可以大大缩减GOA电路中TFT的数目,减少GOA电路所占用的设计空间,实现液晶显示器的更窄边框设计。

[0133] 优选地,上述图中所有晶体管均为N型金属氧化物半导体(NMOS)晶体管。

[0134] 可选地,也可以将图6中的晶体管替换为P型金属氧化物半导体(PMOS)晶体管,相应地也要对各个输入信号的时序图进行相应更改,在此就不再进行赘述。

[0135] 本发明实施例还提供一种包括图1-图6中任一图所示的GOA电路的液晶显示器。请参看上述对图1-图6所示的GOA电路的描述,在此不再赘述。

[0136] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不一定指的是相同的实施例或示例。而且,描述的具体特征、结构、材料或特点可以在任何的一个或多个实施例或示例中以合适的方式结合。

[0137] 以上对本发明实施例所提供的共享下拉维持电路的GOA电路及液晶显示器进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

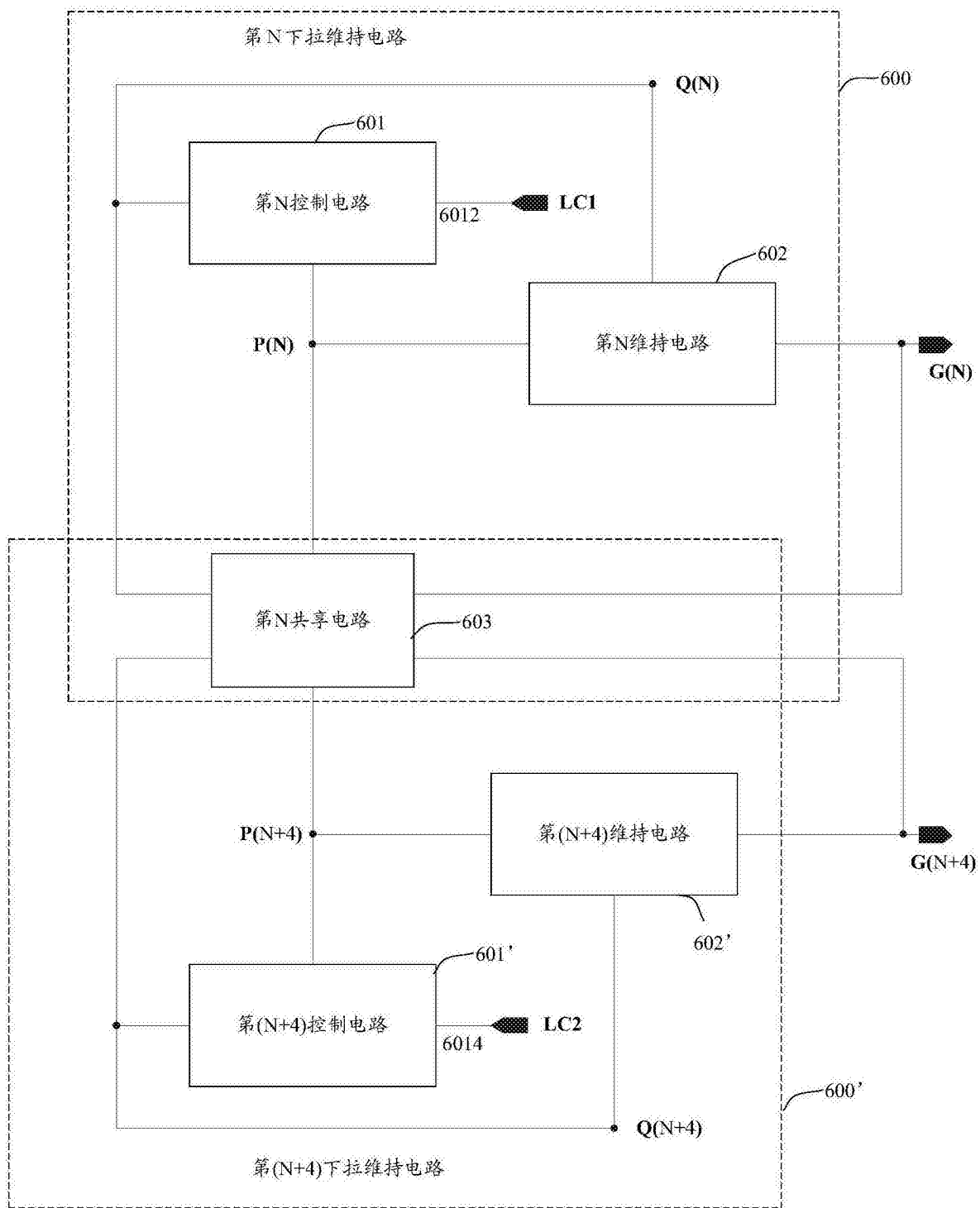


图1

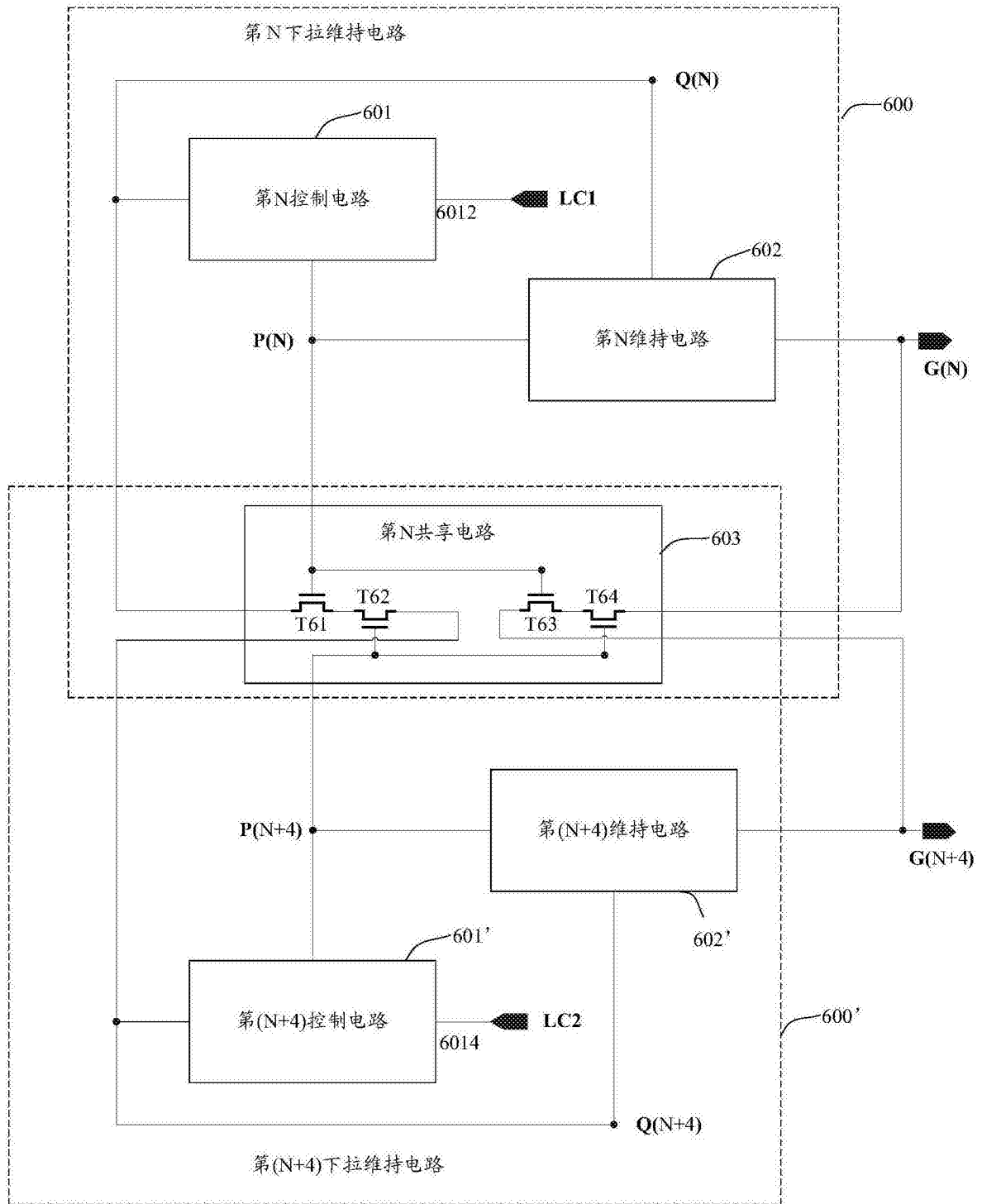


图2

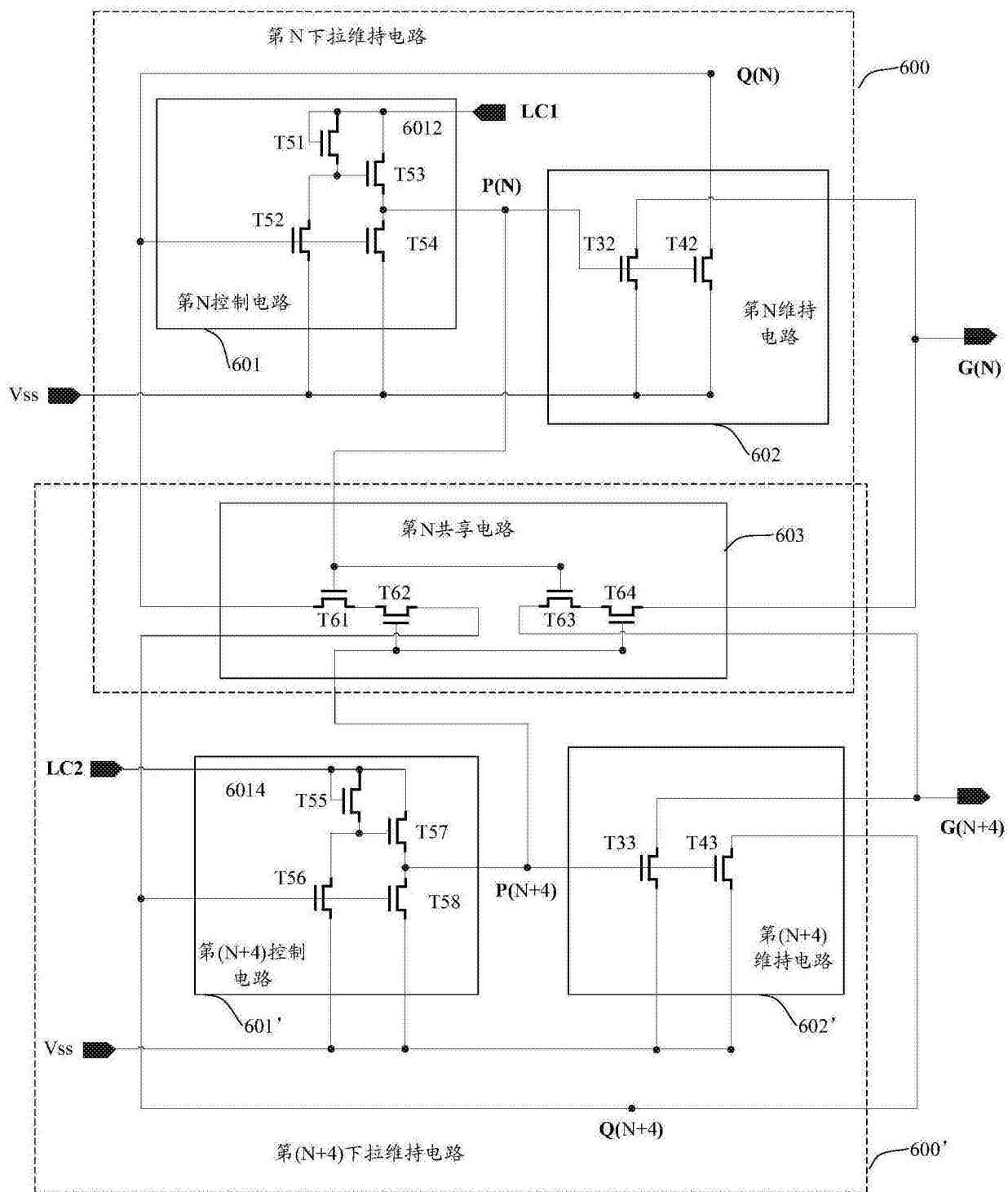


图3

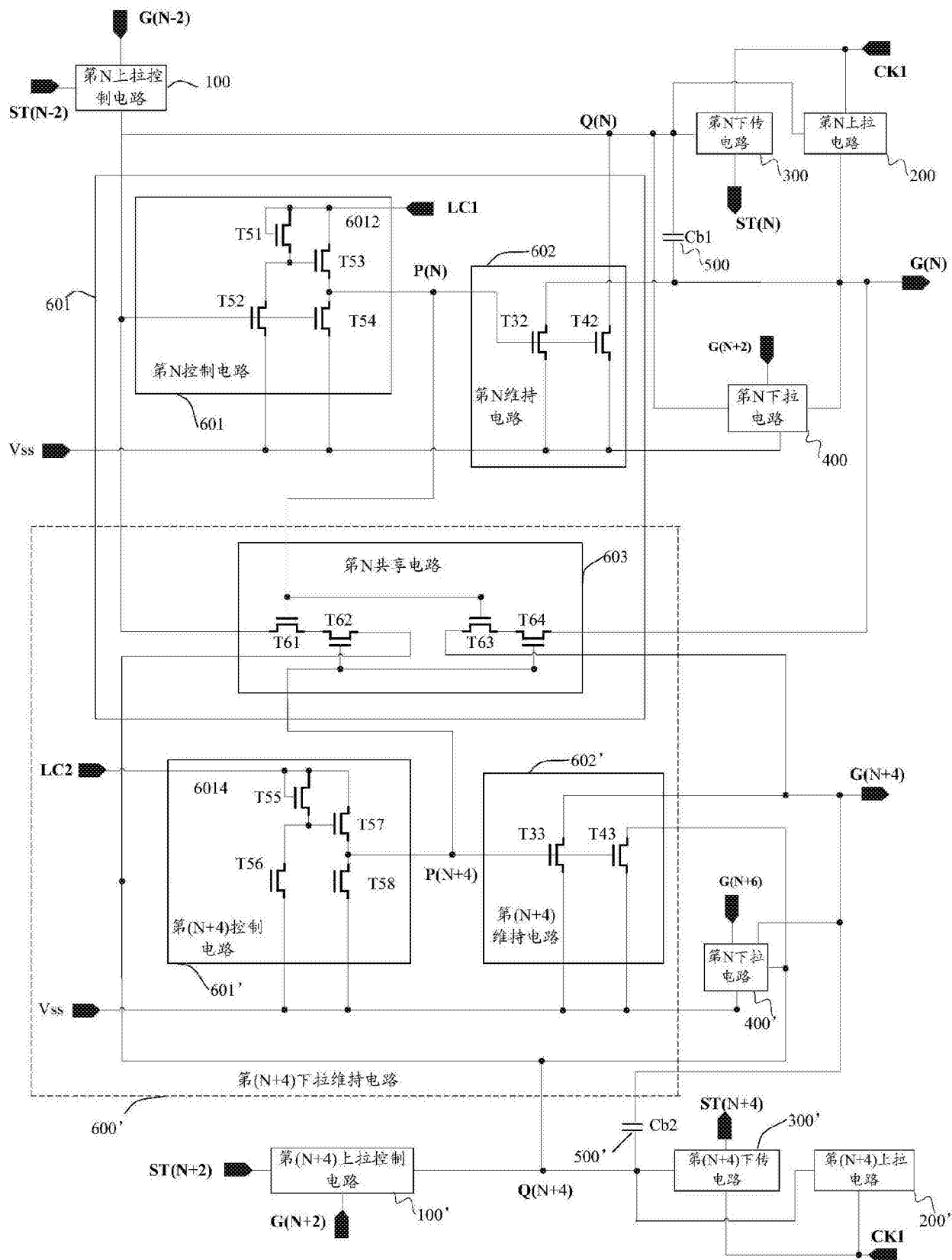


图4

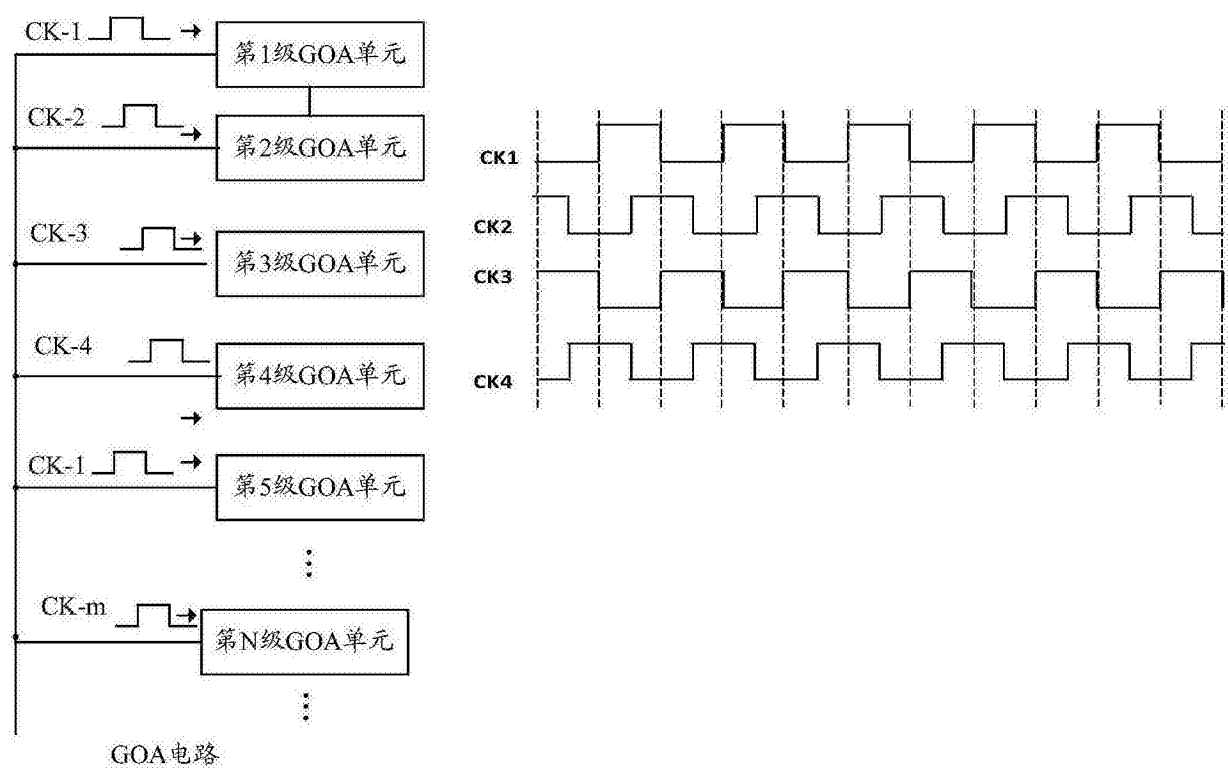


图5

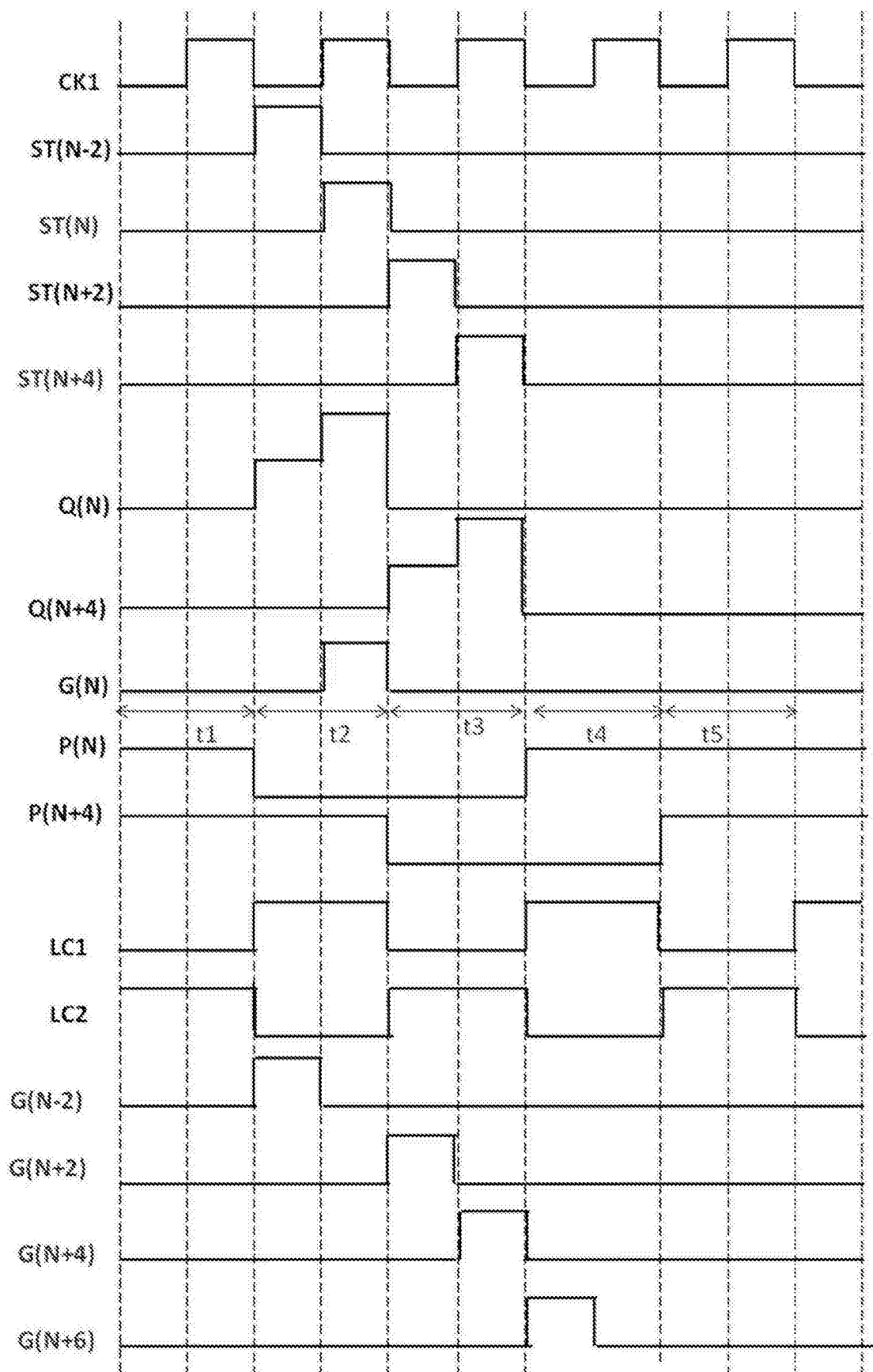


图7

专利名称(译)	一种GOA电路及液晶显示器		
公开(公告)号	CN106023933A	公开(公告)日	2016-10-12
申请号	CN201610587413.3	申请日	2016-07-21
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	徐洪远		
发明人	徐洪远		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/20 G09G3/36 G09G2310/0267 G09G2310/0286 G09G2310/0291 G09G2310/08 G11C19/28 G09G2310/0283 G09G2320/0223		
代理人(译)	熊永强		
其他公开文献	CN106023933B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路，包括级联的多个GOA单元，第N级GOA单元控制对第N级水平扫描线充电，第N级GOA单元的下拉维持电路包括第N控制电路、第N维持电路和第N共享电路；第N+4级GOA单元的下拉维持电路包括第(N+4)控制电路、第(N+4)维持电路和第N共享电路；第N控制电路的第一控制端Q(N)和接有第一控制信号的第二控制端调控其输出端P(N)的电位；第(N+4)控制电路的第一控制端Q(N+4)和接有低频控制信号的第二控制端调控其输出端P(N+4)的电位；当P(N)和P(N+4)均为高电位时，第N共享电路工作，将Q(N)与Q(N+4)的电位共享，将第N级、第N+4级水平扫描线的电位共享。

