

1. 一种显示电路,包括:
衬底;
形成于所述衬底上的薄膜晶体管;
形成于所述薄膜晶体管上的钝化层;
形成于所述钝化层上的介电内衬;以及
形成于所述介电内衬上的导电布线结构。
2. 根据权利要求 1 的显示电路,其中所述钝化层包括氮化硅。
3. 根据权利要求 1 的显示电路,其中所述介电内衬包括蚀刻停止材料。
4. 根据权利要求 1 的显示电路,进一步包括:
在所述导电布线结构上方形成于所述介电内衬上的介电层。
5. 根据权利要求 4 的显示电路,其中所述介电层包括低 k 介电材料。
6. 根据权利要求 4 的显示电路,进一步包括:
形成于所述介电层上的附加导电布线结构,其中形成于所述介电内衬上的所述导电布线结构和形成于所述介电层上的所述附加导电布线结构表现出基本上相似的电阻率。
7. 根据权利要求 1 的显示电路,其中所述薄膜晶体管包括由表现出比所述导电布线结构的薄层电阻更大的薄层电阻的导电材料形成的栅极结构。
8. 根据权利要求 7 的显示电路,其中所述薄膜晶体管的所述栅极结构形成于所述钝化层中。
9. 一种构造显示电路的方法,包括:
在衬底上方形成薄膜晶体管;
在所述薄膜晶体管上方形成低 k 介电层;以及
在所述低 k 介电层中形成导电布线路径。
10. 根据权利要求 9 的方法,进一步包括:
在所述薄膜晶体管上形成钝化层,其中所述钝化层被置于所述薄膜晶体管和所述低 k 介电层之间。
11. 根据权利要求 10 的方法,进一步包括:
形成被置于所述钝化层和所述低 k 介电层之间的氧化物内衬,其中所述导电布线路径形成于所述氧化物内衬上。
12. 根据权利要求 9 的方法,进一步包括:
在所述低 k 介电层上形成另一介电层;以及
在所述另一介电层上形成用于所述显示电路的共用电极。
13. 根据权利要求 9 的方法,进一步包括:
在所述低 k 介电层上形成附加导电布线路径,其中所述导电布线路径和所述附加导电布线路径使用通过所述低 k 介电层所形成的通孔而被并行地短接。
14. 根据权利要求 9 的方法,进一步包括:
在所述低 k 介电层上形成附加导电布线路径,其中所述导电布线路径和所述附加导电布线路径进行交错以减小连线间距。
15. 根据权利要求 9 的方法,进一步包括:
在所述低 k 介电层上形成另一介电层;以及

在所述另一介电层上形成存储电容器。

16. 一种电子设备显示器结构,包括:

衬底;

形成于所述衬底上方的薄膜晶体管,其中所述薄膜晶体管包括:

形成于所述衬底上方的源极-漏极结构;

形成于所述源极-漏极结构上方的第一栅极结构;以及

形成于所述第一栅极结构上方的第二栅极结构。

17. 根据权利要求 16 的电子设备显示器结构,其中所述第一栅极结构由第一材料形成,并且其中所述第二栅极结构由不同于所述第一材料的第二材料形成。

18. 根据权利要求 17 的电子设备显示器结构,其中所述第一材料表现出比所述第二材料的薄层电阻更大的薄层电阻。

19. 根据权利要求 16 的电子设备显示器结构,进一步包括:

形成于所述第一栅极结构上的钝化层;以及

形成于所述钝化层上的介电内衬,其中所述第二栅极结构形成于所述介电内衬上。

20. 根据权利要求 16 的电子设备显示器结构,进一步包括:

耦合至所述第一栅极结构的第一栅极线;以及

耦合至所述第二栅极结构的第二栅极线,其中所述第一栅极线正交于所述第二栅极线。

具有降低的金属布线电阻的显示电路

[0001] 本申请要求于 2014 年 1 月 8 日提交的美国专利申请 14/150,458 的优先权,其通过引用全文结合于此。

技术领域

[0002] 本申请总体上涉及电子设备,并且更具体地,涉及具有显示器的电子设备。

背景技术

[0003] 近年来,移动电子设备已经由于其便携性、多功能性以及使用便利性而变得无比流行起来。虽然存在许多不同类型的电子设备,,诸如目前市场上可见的智能电话、便携式音乐/视频播放器以及平板个人电脑(PC),但是它们中的大多数共享一些基本组件。特别地,触摸传感器面板、触摸屏等已经能够用作各种移动电子设备的输入设备。特别地,触摸屏由于其操作的便利性和多功能性而变得越来越流行。触摸屏可以包括触摸传感器面板,其可以是具有触摸敏感表面的清晰面板,以及诸如 LED 面板或 OLED 面板的显示设备,其能够部分或完全位于触摸传感器面板之后而使得触摸敏感表面能够覆盖该显示设备的可视区域的至少一部分。

[0004] 假定典型的移动电子设备的大小与膝上电脑或台式计算机相比相对小,所以经常期望使得移动电子设备的显示区域最大化。对于具有触摸屏的设备而言,显示区域的增大还能够提供更大的触摸活动区域。典型地,电子设备的显示/触摸活动区域部分或完全地被不活动的边框区域所包围。该边框区域通常被保留用于将信号从显示器和/或触摸传感器面板送至该设备的电路。虽然一些基于触控的设备中的边框区域与显示/触摸活动区域相比可能已经相对很小,然而进一步减小边框区域将有助于在并不增加设备的整体大小的情况下使得可用于设备的显示/触摸活动区域的空间最大化。

[0005] 因此,将期望能够提供具有减小的边框区域的电子显示器。

发明内容

[0006] 提供了一种具有液晶显示器的电子设备。该液晶显示器可以包括形成于玻璃衬底上的显示像素电路。薄膜晶体管结构可以形成于该玻璃衬底上。钝化层可以形成于该薄膜晶体管结构上(例如,氮化硅钝化层可以直接形成于薄膜晶体管的栅极导体的顶端)。

[0007] 介电内衬(例如,薄氧化硅层)可以形成于氮化物钝化层上。第一低 k(low-k) 介电层可以形成于该介电内衬上。第二低 k 介电层可以形成于第一低 k 介电层上。该第一和第二低 k 介电层可以由具有基本上相似的折射率的材料形成以使得背光透光率最大化。

[0008] 该显示器可以包括在该显示器的活动区域中以行和列进行排列的显示像素的阵列。该矩阵中的每个显示像素可以经由导电布线路径耦合至相关联的控制电路。例如,每个显示像素中的每个薄膜晶体管可以耦合至通往显示驱动器的相对数据总线,通往栅极驱动器的至少一个相对栅极线,以及通往共用电极(Vcom)驱动器或相关联的触摸传感器/驱动器的 Vcom。将数据和栅极线耦合至相关联的驱动器电路的导电布线路径可以形成于该

显示器的非活动边框区域中。

[0009] 第一导电布线路径可以形成于第一低 k 介电层中的介电内衬上。第二导电布线路径可以形成于第二低 k 介电层中的第一低 k 介电层上。Vcom 电极和像素存储电容器电路可以形成于第二低 k 介电层上。第一和第二导电布线路径可以表现出基本上相似的薄层电阻。形成于钝化层之下的 TFT 栅极导线可以由表现出比分别形成于第一和第二低 k 介电层中的第一和第二导电布线路径明显更大的薄层电阻的耐高温材料所形成（例如，栅极导电材料可以表现出至少是在形成第一和第二导电布线路径时所使用的材料的电阻率的两倍）。在一些布置中，附加 TFT 栅极导线可以在第一活动显示区域中形成于第一低 k 介电层中以提供有所改进的像素寻址能力。

[0010] 在第一低 k 介电层中使用布线路径减小了整体布线电阻。这使得能够使用具有减小的宽度的布线路径，这提高了显示器的外部布线能力并且减小了非活动边框区域。第一和第二导电布线路径还可以进行交错（interlace）以帮助减小将驱动器连接至显示像素阵列中相关联的行和列控制线的连线的分列间距。减小连线分列间距也能够有助于减小非活动边框区域，由此为了可用性有所提升而使得活动显示区域最大化。

[0011] 本发明另外的特征及其属性以及各种优势将由于附图和随后的详细描述而更为明显。

附图说明

[0012] 图 1 是依据本发明实施例的诸如便携式计算机的具有显示器的说明性电子设备的图。

[0013] 图 2 是依据本发明实施例的诸如蜂窝电话或其它手持设备的具有显示器的说明性电子设备的图。

[0014] 图 3 是依据本发明实施例的诸如平板计算机的具有显示器的说明性电子设备的图。

[0015] 图 4 是依据本发明实施例的诸如具有内建式计算机的计算机监视器的具有显示器的说明性电子设备的图。

[0016] 图 5 是依据本发明实施例的显示器的截面侧视图。

[0017] 图 6 是依据本发明实施例的示出可以在操作电子设备显示器时使用的电路的电路图。

[0018] 图 7 是依据本发明实施例的显示器中的说明性显示像素的电路图。

[0019] 图 8 示出了依据本发明实施例的图 6 的说明性显示电路的一部分的放大视图。

[0020] 图 9 是仅包括 M2 布线结构的常规显示像素电路的截面侧视图。

[0021] 图 10 是依据本发明实施例的说明性显示像素电路的截面侧视图，其包括处于 M1 栅极结构上方以及 M2 布线结构下方的附加布线结构。

[0022] 图 11 是依据本发明实施例的说明性显示像素电路的截面侧视图，其包括形成于 M1 栅极结构上方的附加栅极结构。

[0023] 图 12 是依据本发明实施例的具有两个栅极端子的说明性显示像素的电路图。

[0024] 图 13 是依据本发明实施例的用于形成图 9 和 10 所示类型的显示像素结构的说明性步骤的流程图。

具体实施方式

[0025] 这里涉及到用于减少电子设备的边框区域从而使得该设备的显示 / 交互触摸区域最大化的方法和电路。特别地,能够在常规的 M1 和 M2 金属布线层之间形成附加的金属布线结构。该附加金属布线结构可以表现出与 M1 金属布线层中所形成的导线相比明显更低的电阻。因此,使用附加金属布线结构能够帮助减小布线电阻,这使得能够形成更薄的布线路径并且使得还结合形成于 M2 金属布线层中的布线结构而支持交错信号布线。形成更薄的布线连线以及交错的布线路径(其减少了连线间距)能够有助于减小电子设备上的边框区域。

[0026] 图 1 示出了可以具有显示器的一类说明性的电子设备。电子设备 10 可以是计算机,诸如集成到诸如计算机监视器的显示器中的计算机、膝上计算机、平板电脑,诸如腕表设备、吊坠设备或者其它可佩戴或小型设备的较小便携式设备,蜂窝电话、媒体播放器、平板电脑、游戏设备、导航设备、计算机监视器、电视机或者其它电子设备。

[0027] 如图 1 所示,设备 10 可以包括诸如显示器 14 的显示器。显示器 14 可以是整合了电容触摸电极或其它触摸传感器组件的触摸屏,或者可以是并非触摸敏感的显示器。显示器 14 可以包括由液晶显示器(LCD)组件或其它适当显示像素结构所形成的图像像素。使用液晶显示器像素形成显示器 14 的布置有时在这里作为示例进行描述。然而,这仅是说明性的。如果期望的话,可以在形成显示器 14 时使用任意适当类型的显示技术。

[0028] 设备 10 可以具有诸如外壳 12 的外壳。有时可以被称作壳体的外壳 12 可以由塑料、玻璃、陶瓷、纤维化合物、金属(例如,不锈钢、铝等)、其它适当材料或者这些材料中的任意两种或更多的组合所形成。

[0029] 外壳 12 可以使用一体成型配置形成,其中外壳 12 的一些或全部被加工或模塑为单个结构,或者可以使用多个结构来形成(例如,整体框架结构,形成外部外壳表面的一个或多个结构,等等)。

[0030] 如图 1 所示,外壳 12 可以具有多个部分。例如,外壳 12 可以具有上部 12A 和下部 12B。上部 12A 可以使用铰链耦合至下部 12B,该铰链允许部分 12A 相对于部分 12B 绕旋转轴 16 进行旋转。诸如键盘 18 的键盘以及诸如触摸板 20 的触摸板可以被装配在外壳部分 12B 中。

[0031] 显示器 14 可以具有诸如活动区域 AA 的活动区域以及诸如区域 IA 的非活动区域。活动区域 AA 例如可以是处于显示器 14 中心的矩形区域,显示像素在其中被主动用来为设备 10 的用户显示图像。非活动区域 IA 可以没有活动显示像素。在图 1 的示例中,非活动区域 IA 具有矩形环的形状,其包围显示器 14 的活动区域 AA 的外围。

[0032] 电路和其它组件有时可以形成于非活动区域 IA 中。为了隐藏该电路和其它组件不被设备 10 的用户所看到,非活动区域 IA 有时可以具有不透明外罩。该不透明外罩可以由诸如黑色有色聚合物材料的不透明材料形成,或者可以由其它颜色的不透明遮蔽材料形成。显示器 14 中的不透明遮蔽材料具有黑色外观的配置有时在这里作为示例进行描述。然而,这仅是说明性的,设备 10 中的不透明遮蔽层可以具有任意适当颜色。

[0033] 在图 2 的示例中,设备 10 已经使用充分小型化以适合用户拿在手上的外壳进行了实施(例如,图 2 的设备 10 可以是诸如蜂窝电话的手持电子设备)。如图 2 所示,设备 10

可以包括安装在外壳 12 前方的诸如显示器 14 的显示器。显示器 14 可以基本上被填充以活动显示像素,或者可以具有非活动部分,诸如包围诸如活动部分 AA 的活动部分的非活动部分 IA。显示器 14 可以具有开口(例如,处于显示器 14 的非活动区域 IA 或活动区域 AA 中的开口),诸如用于容纳按钮 22 的开口以及用于容纳扬声器端口 24 的开口。

[0034] 图 3 是电子设备 10 的透视图,其处于该电子设备 10 在其中已经以平板电脑的形式被实施的配置。如图 3 所示,显示器 14 可以安装在外壳 12 的上(前方)表面上。可以在显示器 14 中形成开口以容纳按钮 22(例如,在包围活动区域 AA 的非活动区域 IA 中)。

[0035] 图 4 是电子设备 10 的透视图,其处于该电子设备 10 在其中已经以集成于计算机监视器之中的计算机的形式被实施的配置。如图 4 所示,显示器 14 可以安装在外壳 12 的前方表面上。可以使用支架 26 来支撑外壳 12。显示器 14 可以包括非活动区域,诸如包围活动区域 AA 的非活动区域 IA。

[0036] 如果需要,显示器 14 可以被配置为使得沿活动区域 AA 的一个或多个边缘的非活动区域 IA 的大小最小化或者将其消除。非活动区域 IA 沿矩形活动区域 AA 的所有四条边进行延伸的配置在这里作为示例进行描述。

[0037] 图 5 中示出了显示器的一部分的截面侧视图,该显示器为可以在形成图 1-4 的显示器时使用的类型。如图 5 所示,显示器 14 可以包括滤色镜(CF)层 28 和薄膜晶体管(TFT)层 30。滤色镜层 28 可以包括形成于显示器衬底上的滤色镜元件的阵列。如图 5 所示,滤色镜阵列 31 可以形成于显示器 14 的活动区域 AA 中的滤色镜衬底 29 的内表面上。

[0038] 滤色镜层 28 还可以包括一层不透明遮蔽材料,诸如黑色遮蔽材料 45。黑色遮蔽材料 45(有时被称作黑色遮蔽层或黑色矩阵层)可以形成于滤色镜衬底 29 的内表面上并且可以形成包围显示器 14 的活动区域 AA 的不透明外部边框。诸如黑色遮蔽材料 45' 的不透明遮蔽材料也可以形成于显示器 14 的活动区域 AA 的内部。黑色遮蔽材料 45' 可以在活动区域 AA 中的相邻有色像素之间使用以防止色彩混合。在显示器的活动部分中使用的黑色遮蔽材料有时被称作黑色矩阵或黑色矩阵层。在典型布置中,黑色矩阵层 45' 具有遍布活动区域 AA 分布的滤色镜元件开口。每个开口可以具有一个滤色镜元件(例如,红色、绿色或蓝色滤色镜元件)。

[0039] 液晶(LC)层 32 包括液晶材料并且可以被夹在滤色镜层 28 和薄膜晶体管层 30 之间。薄膜晶体管层 30 可以包括形成于诸如 TFT 衬底 30B 的介电衬底上的显示电路 30A。显示电路 30A 可以包括显示驱动器电路(例如,一个或多个显示驱动器集成电路)、薄膜晶体管电路(例如,多晶硅晶体管电路或非晶硅晶体管电路)、金属线、电容器、用于对应用于液晶层 32 的电场进行控制的电极,以及电容触摸传感器电极。

[0040] 可以被用于显示器衬底 29 和 30B 的适当材料包括平板玻璃衬底、塑料衬底或者其它适当衬底材料的薄片。

[0041] 显示器 14 可以具有上部和下部偏振层 39 和 40。背光灯单元 41 可以为显示器 14 提供背后照明。背光灯 41 可以包括诸如发光二极管带的光源。背光灯 41 还可以包括导光板和背反射器。该背反射器可以位于导光板的下表面上以防止漏光。来自光源的光线可以被诸如到导光板的边缘并且可以以方向 43 通过显示器 14 向上散射。

[0042] 诸如一层覆盖玻璃的可选覆盖层可以被用来覆盖并保护如图 5 所示的显示器 14 的各层。可以包括在显示器 14 中的其它层包括光学薄膜层(例如,诸如四分之一波片、二

分之一波片、扩散膜、光学粘合剂以及双折射补偿层)、屏蔽层(例如,用于防止电场干扰显示器的操作)、散热片层(例如,用于将热量导出显示器)以及其它适当显示层。

[0043] 触摸传感器结构可以被结合到显示器 14 的一个或多个层中。在典型的触摸传感器配置中,电容触摸传感器电极的阵列可以使用诸如铟锡氧化物的透明导电材料的垫和/或带来实施。可以在需要的情况下使用其它触摸技术(例如,电阻式触摸、声音触摸、光学触摸等)。在形成显示器 14 中的信号线(例如,用于传递数据、电力、控制信号等的结构)时也可以使用铟锡氧化物或其它透明导电材料或非透明导体。触摸传感器结构和电路可以随显示电路 30A 一起包括在衬底 30B 上。

[0044] 在黑白显示器上,可以省略滤色镜层 28。在彩色显示器中,可以使用滤色镜层 28 将色彩施加于图像像素的阵列。每个图像像素例如可以具有三个相对应的子像素。每个子像素可以与滤色镜阵列 31 中的一个单独滤色镜元件相关联。滤色镜元件例如可以包括红色(R)滤色镜元件、蓝色(B)滤色镜元件和绿色(G)滤色镜元件。这些元件可以以行和列进行排列。例如,滤色镜元件可以以横跨显示器 14 的宽度的带(例如,以诸如 RGB 模式或 BRG 模式的重复模式)进行排列,而使得每一列中的滤色镜元件是相同的(即,使得每一列包含所有的红色元件、所有的蓝色元件或者所有的绿色元件)。通过对通过每个子像素的光传输数量进行控制,能够显示所期望的彩色图像。

[0045] 通过每个子像素进行传送的光的数量能够使用显示控制电路和电极进行控制。每个子像素例如可以被提供以透明的铟锡氧化物电极。对通过液晶层的相关联部分的电场进行控制并且因此对针对子像素的光传输进行控制的子像素电极上的信号可以使用薄膜晶体管来应用。该薄膜晶体管可以从数据线接收数据信号,并且当被相关联的栅极线所开启时,可以将数据线信号应用于与该薄膜晶体管相关联的电极。

[0046] 可以在需要的情况下针对电子设备 10 和显示器 14 使用其它配置。图 1-5 的示例仅是说明性的。

[0047] 示出可以在显示器 14 和设备 10 中使用的类型的电路的示图在图 6 中示出。如图 6 所示,显示器 14 可以耦合至诸如输入输出电路 102 和控制电路 104 的设备组件 100。输入输出电路 102 可以包括用于接收设备输入的组件。例如,输入输出电路 102 可以包括用于接收音频输入的麦克风,用于接收输入(例如,来自用户的按键输入或按钮按压输入)的键盘、小键盘或其它按钮,诸如加速度计、罗盘、光线传感器、接近传感器、触摸传感器(例如,与显示器 14 相关联的触摸传感器或单独的触摸传感器)的用于收集输入的传感器,或者其它输入设备。输入输出电路 102 还可以包括用于提供输出的组件。输出电路可以包括诸如扬声器、发光二极管或用于产生光线输出的其它发光设备的组件、振动器,以及用于提供输出的其它组件。电路 102 中的输入输出端口可以被用于接收模拟和/或数字输入信号并且可以被用于输出模拟和/或数字输出信号。可以在电路 102 中使用的输入输出端口的示例包括音频端口、数字数据端口、与 30 针连接器、9 针连接器、可翻转连接器相关联的端口,以及与通用串行总线连接器和其它数字数据连接器相关联的端口。

[0048] 控制电路 104 可以在对设备 10 的操作进行控制时使用。控制电路 104 可以包括存储电路,诸如易失性和非易失性存储器电路、固态驱动器、硬盘驱动器以及其它存储器和存储电路。控制电路 104 还可以包括处理电路,诸如微处理器或其它处理器中的处理电路。在实现控制电路 104 时可以使用一个或多个集成电路。可以包括在控制电路 104 中的集成

电路的示例包括微处理器、数字信号处理器、功率管理单元、基带处理器、微控制器、应用特定集成电路、用于处理音频和 / 或视觉信息的电路, 以及其它控制电路。

[0049] 控制电路 104 可以在针对设备 10 运行软件时使用。例如, 控制电路 104 可以被配置为执行与在显示器 14 上显示图像 (例如, 文本、图片、视频等) 相关联的代码。

[0050] 显示器 14 可以包括诸如像素阵列 122 的像素阵列。像素阵列 122 可以使用诸如显示驱动器电路 118 的显示驱动器电路所产生的控制信号进行控制。显示驱动器电路 118 可以使用一个或多个集成电路 (IC) 来实施并且有时可以被称作驱动器 IC、显示驱动器集成电路或者显示驱动器。像素阵列 122 可以由诸如一层玻璃的衬底上的薄膜晶体管所形成。该玻璃层有时可以被称作薄膜晶体管层或薄膜晶体管衬底层。用于电路 118 的显示驱动器集成电路可以安装在薄膜晶体管衬底的边缘上 (作为示例)。

[0051] 在设备 10 的操作期间, 控制电路 104 可以向显示驱动器 118 提供数据。例如, 控制电路 104 可以使用诸如路径 108 之类的路径向显示驱动器 118 提供对应于要在显示器 14 上进行显示的文本、图形、视频或其它图像的数字数据。显示驱动器 118 可以将路径 108 上所接收的数据转换为用于控制像素阵列 122 的像素的信号。用于控制像素阵列 122 的像素的信号可以使用诸如路径 119 的路径而被提供至诸如栅极驱动器电路 116 的栅极驱动器电路。

[0052] 像素阵列 122 可以包含显示像素 110 的行和列, 它们共同形成活动显示区域 120 (有时被称作显示器 14 的活动区域)。栅极驱动器电路 116 和驱动器电路 118 可以位于包围活动显示区域 120 的非活动边框区域中。像素阵列 122 的电路可以使用诸如数据线 112 上的数据线信号和栅极线 114 上的栅极线信号之类的信号进行控制。

[0053] 像素阵列 122 中的像素 40 可以包含薄膜晶体管电路, 诸如多晶硅晶体管电路、非晶硅晶体管电路或者基于氧化物的晶体管电路 (例如, InGaZnO 晶体管) 以及用于跨显示器 14 中的液晶材料产生电场的相关联结构。在形成像素 40 时所使用的薄膜晶体管结构可以位于衬底 (有时被称作薄膜晶体管层或薄膜晶体管衬底) 上。该薄膜晶体管 (TFT) 层可以由平板玻璃衬底、塑料衬底或其它适当衬底材料的薄片所形成。

[0054] 栅极驱动器电路 116 可以被用来在栅极线 114 上生成栅极信号。诸如栅极驱动器电路 116 的电路可以由薄膜晶体管层上的薄膜晶体管所形成 (例如, 由多晶硅晶体管电路、非晶硅晶体管电路或者诸如 InGaZnO 晶体管的基于氧化物的晶体管电路所形成)。例如, 如果显示像素 110 的薄膜晶体管由 InGaZnO 晶体管形成, 则栅极驱动器电路 116 的薄膜晶体管也可以由 InGaZnO 晶体管形成。栅极驱动器电路 116 可以位于像素阵列 122 的左侧和右侧 (如图 6 所示), 或者可以仅位于像素阵列 122 的一侧。

[0055] 像素阵列 122 中的数据线信号承载模拟图像数据 (例如, 具有表示像素亮度水平的量级的电压)。在显示器 14 上显示图像的处理期间, 显示驱动器电路 118 可以经由路径 108 从控制电路 104 接收数字数据并且可以向路径 112 提供相对应的数据信号。

[0056] 数据线 112 上的数据线信号可以被提供至像素阵列 122 中的显示像素 110 的列。栅极线信号可以由栅极驱动器电路 116 使用相应栅极线 114 提供至像素阵列 122 中的像素 110 的行。在描述阵列 122 中的显示像素 110 进行排列的方式时所使用的术语“行”和“列”仅是说明性的并且可以互换。通常, 显示器 14 中的像素 110 可以以任意适当部署形式进行组织。

[0057] 图 7 是像素阵列 122 中的说明性显示像素 110 的电路图。诸如图 7 的像素 110 的像素可以位于阵列 122 中的每个栅极线 114 和数据线 112 的交点处。

[0058] 数据信号 D 可以从数据线 112 (图 6) 之一被提供至端子 154。诸如薄膜晶体管 150 的薄膜晶体管可以具有诸如栅极 152 的栅极端子, 其从栅极驱动器电路 116 (图 6) 接收栅极线信号 G。当信号 G 被有效时, 晶体管 150 将被开启并且信号 D 将作为电压 V_p 而被送至节点 156。用于显示器 14 的数据可以以帧进行显示。在一个帧中的信号 G 有效之后, 信号 G 可以被解除有效。信号 S 随后可以被有效以开启晶体管 52 并且捕捉后续显示帧中心的 V_p 数值。

[0059] 显示器 14 可以具有耦合至节点 158 的共用电极。该共用电极 (有时被称作 V_{com} 电极) 可以被用来将诸如共用电极电压 V_{com} 的共用电极电压分布至诸如阵列 122 中的每个像素 110 中的节点 158 的节点。像素 110 可以具有诸如电容器 C_{ST} 的信号存储元件或者其它电荷存储元件。存储电容器 C_{ST} 可以耦合在节点 156 和 158 之间。由于在对通过像素的液晶材料 (液晶材料 160) 的电场进行控制时所使用的像素 110 中的电极结构, 可以跨节点 156 和 158 形成并行的板极电容 C_{LC} 。如图 7 所示, 电极结构 162 可以耦合至节点 156。电容 C_{LC} 与电极结构 162 与节点 158 处的共用电极 V_{com} 之间的电容相关联。

[0060] 数据线 112 以及栅极线 114 (其耦合至诸如图 7 的栅极 G 的栅极) 上的栅极线信号被用来对像素 110 进行充电 (例如, 对电容 C_{ST} 和 C_{LC} 进行充电)。一旦像素 110 已经被充电, 电极结构 162 就可以跨像素 110 中的液晶材料 160 的像素大小的部分应用受控电场 (即, 具有与 V_p 和 V_{com} 之间的差异成比例的量级的电场)。与存储电容器 C_{ST} 相关联的电容可以在帧之间存储信号 V_p 时使用 (例如, 在连续的信号 G 的有效之间的时间段中使用)。由于存在存储电容器 C_{ST} (以及电容 C_{LC}), V_p 的数值 (并且因此跨液晶材料 160 的相关联电场的数值) 可以在每个帧的持续时间内跨节点 156 和 158 得以被保持。

[0061] 跨液晶材料 160 所产生的电场导致液晶材料 160 中的液晶方位的变化。这改变了通过液晶材料 160 的光的偏振。该偏振变化可以在对通过阵列 122 中的每个像素 110 进行传送的光的数量进行控制时使用。

[0062] 图 8 提供了图 6 的显示器的一部分的放大视图。特别地, 图 8 示出了数据线 112 能够如何在虚线所指示的活动区域 120 的边缘之外进行延伸。每个数据线 112 可以经由相应金属布线路径 113 连接至显示驱动器 118。这种类型的金属轨线 113 能够在非活动边框区域 1A 中进行布线。为了防止金属轨线 113 穿过彼此的路径, 如图 8 所示, 每个轨线 113 可以首先在各种长度的设备的 x 方向 (即, 沿宽度) 进行布线并且随后以该设备的 y 方向 (即, 沿长度) 平行布线。这要求该设备的边框区域足够宽以容纳所有的外围金属布线 113。为此, 边框区域会占据设备 10 的表面上相当大的区域。这种其中驱动器 IC 必须将信号驱动到跨设备的宽度和长度进行分布的多条布线轨线上的配置有时被称作布线“分列”。

[0063] 高分辨率显示器将需要相对大的分列, 这会对能够用作具有固定整体尺寸的设备中的活动区域 (即, 显示 / 触摸活动区域) 的空间造成不利影响。用于触摸面板的布线轨线会导致相同的问题。因此, 为了提供更好的可用性, 期望减小如图 1-4 所示的设备中的边框区域以使得其活动区域最大化。换句话说, 通过收窄边框区域, 可以使得设备的显示和触摸屏幕更大。

[0064] 图 9 示出了能够在显示器的薄膜晶体管层中形成的常规显示像素和相关联的布

线结构 200 的截面侧视图。如图 9 所示,薄膜晶体管 208 被形成于玻璃衬底 202 上。金属遮光片 204 经常直接在薄膜晶体管 208 之下形成于玻璃衬底上以防止背光可能对薄膜晶体管 208 的操作形成干扰。

[0065] 一个或多个缓冲层 206 随后能够在遮光片 204 上方形成于玻璃衬底 202 上。多晶硅 210 在缓冲层 206 上形成图案以形成用于晶体管 208 的活动区域。栅极绝缘材料 212 在多晶硅 210 上方形成于缓冲层 206 上。金属栅极导线 214 形成与栅极绝缘层 212 上并且用作晶体管 208 的栅极端子。氮化硅层 220 在栅极 214 上方形成于栅极绝缘材料 212 上。

[0066] 氧化硅层 222 随后形成于氮化硅层 220 上。通过层 222、220 和 212 形成金属触点结构 216 和 218 以与多晶硅 210 进行接触。在图 9 的示意图中,多晶硅 210 中耦合至触点 216 的部分用作晶体管 208 耦合至相对应数据线的第一源极-漏极端子(即,触点 216 连接至在其上提供模拟图像数据信号的金属布线路径),而多晶硅 210 中耦合至触点 218 的部分则用作晶体管 208 耦合至相对应像素节点的第二源极-漏极端子(即,触点 218 连接至在其上临时存储图像数据信号的像素电极结构)。

[0067] 丙烯酸有机平面层(acrylic organic planarization layer)224 形成于氧化硅层 222 上。共用电极(Vcom)层 226 形成于平滑层 224 上。金属布线导线 228 形成于 Vcom 层 226 上。在平面层 224 中形成开口以在触点 218 和像素电极层 232 之间形成电连接(即,形成显示像素触点)。绝缘材料 230 被夹在像素电极层 232 和共用电极层 226 之间。显示像素存储电容器 240 由 Vcom 电极 226 和像素电极 232 中与 Vcom 电极重叠的部分所形成(即,Vcom 层 226 和像素电极层 232 中直接面对 Vcom 层 226 的部分被绝缘材料 230 隔开并且共同用作显示像素的存储电容器)。共用电极层 226 和像素电极层 232 通常由铟锡氧化物所形成,这是允许背光通过而去往薄膜晶体管层上方的液晶材料的透明材料。

[0068] 典型地,薄膜晶体管层 208 以及相关像素和 Vcom 电极形成于显示器 14 的活动区域 AA 部分之中。活动区域 AA 中的显示像素阵列电路与相关联的控制电路(即,显示驱动器、栅极线驱动器、触摸驱动器和传感器电路等)之间的布线利用非活动边框区域 IA 形成。如图 9 所示,金属布线结构 250 能够形成于氮化硅层 220 中的栅极绝缘层 212 上;金属布线结构 252 能够形成于平面层 224 中的氧化物层 222 上;并且金属布线结构 254 能够形成于平面层 224 上。金属布线结构 250 形成于其中的层一般被称作“M1”金属布线层。金属布线结构 252 形成于其中的层一般被称作“M2”金属布线层。金属布线结构 254 形成于其中的层一般被称作“M3”金属布线层。在形成布线结构 250、252 和 254 时所使用的材料因此有时分别被称作 M1 金属、M2 金属和 M3 金属。

[0069] 在常规的基于 TFT 的显示器中,M1 金属需要以耐高温材料形成以便能够耐受在形成 M1 金属之后应用于 TFT 结构的高温热处理。然而,耐高温材料受到高电阻率的影响。例如,M2 和 M3 金属可能表现出小于 0.2 欧姆/平方的薄层电阻,而耐高温的 M1 金属则可能表现出大于 0.4 欧姆/平方的薄层电阻(即,M1 金属的电阻率可能会大于 M2 金属和 M3 金属的电阻率的两倍)。高的 M1 电阻通常要求 M1 层中的金属布线路径相对更宽以对高电阻率进行补偿,这会令人不期望地增大布线区域。

[0070] 通常,显示器的非活动边框能够通过减小布线分列间距(即,通过减小相邻金属布线连线之间的距离)而有所减小。仍然参考图 9,M2 布线路径的间距由距离 T_p 所指示。所允许的最小间距 T_p 由当前的 TFT 构造技术所设定,其对分列连线的密度有所限制。一种

减小金属分列间距的方式是通过交错金属布线。交错金属布线要求不同相关联信号在 M1 和 M2 层中进行路由从而减小相邻连线之间的有效间距。然而, M1 和 M2 金属的薄层电阻难以满足交错布线的布线电阻要求(即, 交错布线要求不同金属布线层中的交错金属路径具有基本上相似的薄层电阻以满足布线性能要求)。

[0071] 以下段落介绍了本公开中能够使得设备的非活动边框区域最小化而并不增加其整体尺寸、从而能够使用设备表面的更大区域作为用于显示和 / 或接收基于触摸的输入的活动区域的各种实施例。在各种实施例中, 这能够通过 M1 和 M2 金属布线层之间形成附加金属布线结构来实现。

[0072] 依据本发明的实施例, 提供了与图 9 的常规 TFT 显示结构相比表现出有所改进的金属布线能力的显示像素以及相关联的布线结构 300(例如, 参见图 10)。如图 10 所示, 诸如薄膜晶体管 308 的薄膜晶体管结构可以形成于由如玻璃或其它介电材料所制成的透明衬底 302 上。薄膜晶体管 308 可以用作结合图 7 中所描述的显示像素薄膜晶体管 150。

[0073] 诸如遮光片 304 的光线屏蔽结构可以直接在晶体管 308 以下形成于衬底 302 上并且可以用来防止背光与晶体管 308 的操作形成干扰。诸如缓冲层 306 的一个或多个缓冲层可以形成于衬底 302 上并且处于遮光片 304 上方。缓冲层 306 可以由任意适当的透明介电材料所形成。

[0074] 用于晶体管 308 的活动材料 310 可以形成于缓冲层 306 上。活动材料 310 可以是一层非晶硅或多晶硅(作为示例)。诸如栅极绝缘层 312 的栅极绝缘层可以形成于缓冲层 306 上并且处于该活动材料上方。诸如栅极结构 314 的导电栅极结构可以部署在栅极绝缘体 312 上。栅极导线 314 可以用作薄膜晶体管 308 的栅极端子。活动材料 310 直接处于栅极 310 之下的部分可以用作晶体管 308 的通道区域。

[0075] 诸如氮化硅层 320 的钝化层可以形成于栅极绝缘层 312 上并且处于栅极 314 上方。在层 320 沉积之后, 可以应用加氢退火处理以对薄膜晶体管结构 308 进行钝化处理。利用其形成栅极 314 的材料有时被称作“M1”金属。因此, 栅极导线 314 形成于其中的层 320 有时可以被称作第一金属 (M1) 布线层。

[0076] 诸如氧化硅内衬 321 的氧化物层可以形成于钝化层 320 上。层 321 可以在层 321 上形成金属结构的期间用作蚀刻停止层。低 k 介电层 322(例如, 由具有比二氧化硅的介电常数更小的介电常数的介电材料所形成的层)可以形成于层 321 上。层 322 可以由丙烯酸、光刻胶或其它光敏材料、基于硅氧烷的聚合物、基于硅的介电、有机材料、这些材料的组合和 / 或任意适当低 k 介电材料所形成。

[0077] 诸如结构 316 和 318 的晶体管源极 - 漏极触点结构可以通过层 322 所形成以与晶体管活动材料 310 进行电接触。触点结构 316 和 318 有时被称作“通孔”结构。特别地, 活动材料 310 中与通孔 316 进行接触的部分可以用作晶体管 308 的第一源极 - 漏极区域, 而活动材料 310 中与通孔 318 进行接触的部分可以用作晶体管 308 的第二源极 - 漏极区域。栅极导体在其中形成于活动源极 - 漏极区域上方的薄膜晶体管一般被称作“顶栅”薄膜晶体管。这仅是说明性的。如果需要, 像素 300 可以使用“底栅”薄膜晶体管配置来形成, 其中栅极导体形成于活动源极 - 漏极区域之下。

[0078] 有时被称作“M2”金属布线路径的金属布线结构可以形成于层 322 上以将晶体管源极 - 漏极端子连接至其它显示像素电路。作为示例, 形成于层 322 上的第一 M2 金属布线

路径可以被用来将通孔 316 连接至相对应的数据线（例如，图 7 中的数据线 D），而形成于层 322 上的第二 M2 金属布线路径可以被用来将通孔 318 连接至相对应的像素电极节点（例如，参见图 7 中在其上存储像素电压 V_p 的节点 156）。

[0079] 诸如层 324 的另一个低 k 介电层可以形成于层 322 上。层 324 可以用作平面层并且有时可以被称作第二金属 (M2) 布线层。类似于层 322，层 324 可以由丙烯酸、光刻胶或其它光敏材料、基于硅氧烷的聚合物、基于硅的介电、有机材料、这些材料的组合和 / 或任意适当低 k 介电材料所形成。通常，层 322 和 324 应当以相同材料或者具有基本上相似的折射率的材料所形成，从而使得通过这些介电层传播的背光的透射比最大化（例如，折射率的差异应当不大于 0.1，不大于 0.08，不大于 0.05，不大于 0.01，等等）。

[0080] 诸如 Vcom 层 326 的共用电极层可以形成于低 k 介电平面层 324 上。共用电极层 326 可以形成完全覆盖显示像素阵列的透明导电材料的铺盖薄膜，形成通过附加布线路径进行互连的单独的 Vcom 区域，或者以支持电容触摸感应技术的其它模式来形成（例如，以透明导电材料的水平和垂直的带形成）。附加 Vcom 路由结构 328（有时被称作“M3”金属布线路径）可以形成于 Vcom 层 326 上以将 Vcom 电极连接至其它显示电路（例如，对不同 Vcom 层进行互连，将 Vcom 层连接至相关联的 Vcom 驱动器电路，将 Vcom 层连接至触摸传感器电路，等等）。

[0081] 可以在平面层 324 中形成开口以在通孔 318 和像素电极层 332 之间形成电连接而形成显示像素触点 360（例如，将存储电容器连接至薄膜晶体管 308 的触点）。像素电极层 322 可以被形成图案而形成对液晶材料 160（图 7）应用电场的指状电极（图 10 中未示出）。绝缘材料 330 可以形成于像素电极层 332 和共用电极层 326 之间。Vcom 电极 326 和像素电极 332 中与 Vcom 电极 326 重叠的部分可以形成存储电容器 340（例如，该存储电容器可以包括 Vcom 层 326、像素电极层 332 中直接面对 Vcom 层 326 的部分，以及置于两个相对平行导体之间的绝缘材料 330）。

[0082] 总体上，共用电极 326 和像素电极 332 可以由铟锡氧化物或者允许背光通过去往薄膜晶体管层上方的液晶材料的其它适当透明材料所形成。遮光结构 304 和 M1 栅极结构可以由耐高温材料所形成，诸如钼、钨、二者的组合和 / 或其它适当耐高温材料。通孔 316 和 318 以及 M2 和 M3 金属布线结构可以由铜、铝、银、金、钨、镍、其它金属、这些金属的组合和 / 或适于在显示器 14 中输送 (rout) 数据和控制信号的其它导电材料。

[0083] 典型地，薄膜晶体管 308 和相关联的像素以及 Vcom 电极形成于显示器 14 的活动区域 AA 部分之中。活动区域 AA 中的显示像素阵列电路和相关联的控制电路（例如，显示驱动器、栅极线驱动器、触摸驱动器和传感器电路等）的布线形成于非活动边框区域 IA 内。如图 10 所示，栅极导体 314 能够在钝化层 320 中形成于栅极绝缘层 312 上；金属布线结构 350 可以在低 k 介电层 322 中形成于蚀刻停止层 321 上；金属布线结构 352 可以在低 k 介电平面层 324 中形成于低 k 介电层 322 之上；并且金属布线结构 354 可以形成于平面层 324 上。

[0084] 栅极结构 314 形成于其中的层一般被称作“M1”或第一 / 最底部金属布线层。金属布线结构 352 形成于其中的层一般被称作“M2”或第二金属布线层。金属布线结构 354 形成于其中的层一般被称作“M3”或第三金属布线层。金属布线路径 350 表示形成于 M1 和 M2 金属布线层之间的附加金属布线结构。金属布线路径 350 形成于其中的层 322 因此可以

被称作中间布线层或副 M2 (或“M2s”) 金属布线层。在形成布线结构 350、352 和 354 时所使用的材料因此有时被分别称作 M2s 金属、M2 金属和 M3 金属。如果存在,则形成于 M3 金属布线层上方的金属布线层一般被顺序地称作 M4 金属布线层、M5 金属布线层、M6 金属布线层,等等。

[0085] 如以上所描述的,M1 布线结构由表现出高电阻率的耐高温材料所形成。因此可能期望使用金属布线层而不是 M1 金属布线层中的导电路径形式来执行信号输送。由于 M2s 金属布线结构 350 形成于钝化层 320 上方 (例如,在形成 M2s 布线结构之前执行高温退火处理),所以 M2s 金属不需要使用耐高温材料形成而是能够使用与形成 M2 和 M3 金属布线路径时所使用的相同低电阻率材料来形成。例如,M2s、M2 和 M3 金属布线结构可以由铜、铝、银、金、镍、这些金属的组合和 / 或表现出低的薄层电阻 (例如,具有小于 0.4 欧姆 / 平方、小于 0.2 欧姆 / 平方、小于 0.05 欧姆 / 平方、小于 0.01 欧姆 / 平方的薄层电阻的材料,等等) 并且适于在显示器 14 中输送数据和控制信号的其它导电材料所形成。M2s 和 M2 金属可以表现出基本上相似的电阻率水平。例如,M2s 和 M2 金属布线路径可以均表现出 0.047 欧姆 / 平方的薄层电阻。以这种方式形成 M2s 金属布线结构提供了能够在其中形成具有低电阻率的导电路径的附加金属布线层,这提高了 TFT 显示器 / 触摸结构的整体布线能力。

[0086] 当 M2 和 M2s 金属布线路径被并行地用于承载相同信号时,能够形成更为纤薄的个体布线路径,因为使用两个单独路径传递相同的信号明显减小了布线电阻。如图 10 所示,形成于层 322 中的至少一些导电布线路径 350 以及形成在层 322 上的导电布线路径使用通过层 322 所形成的通孔 351 而并行地短接。一般而言,使用宽度有所减小的金属布线路径能够有助于减小分列间距,这减小了非活动边框区域。

[0087] 在相邻的 M2 和 M2s 金属布线路径被用来承载不同信号的情况下,能够实现交错金属布线。为了实现交错金属布线,可以在 M2s 布线层 (例如,层 322) 中形成第一布线路径 350,并且可以在 M2 布线层 (例如,层 324) 中尽可能接近第一布线路径 350 形成第二布线路径 352 而并不会经历过多的寄生耦合效应。能够使用该方法在 M2s 和 M2 层中形成多于两条的金属布线路径。以这种方式进行排列,电路 300 的区域 IA 中的相邻布线连线之间的有效间距 T_p' 小于结合图 9 所描述的电路 200 的区域 IA 中的 M2 层中所形成的相邻布线线路之间的间距 T_p (例如,与仅能够在相同层中形成相邻的金属布线路径相比,能够在不同层中形成相邻的金属布线路径减小了有效连线间距)。经由交错布线减小间距使得非活动边框区域能够进一步得以最小化。

[0088] 在另一种适当部署形式中,可以在 M2s 金属布线层中形成附加 TFT 栅极结构。图 11 示出了其中在 M1 栅极导线 314 上方形成附加栅极导线 351 的示例。在该示例中,在 M2s 金属布线层中直接在蚀刻停止层 321 上形成附加栅极导线 351。针对每个显示像素中的晶体管 308 使用多于一个的栅极结构能够提供有所改进的像素寻址能力。

[0089] 图 12 示出了具有诸如双栅极晶体管 151 的多栅极薄膜晶体管的显示像素 110 的电路图。如图 12 所示,晶体管 151 可以具有耦合至相对应的数据线 112 的第一源极 - 漏极端子,耦合至其上存储电压 V_p 的节点 156 的第二源极 - 漏极端子,耦合至第一栅极线 114-1 的第一栅极端子,以及耦合至第二栅极线 114-2 的第二栅极端子。第一栅极线 114-1 可以使用层 320 中的 M1 金属形成以将第一栅极信号 G1 提供至晶体管 151,而第二栅极线 114-2 可以使用层 322 中的 M2s 金属形成以将第二栅极信号 G2 提供至晶体管 151。在图 12 的示

例中,栅极线 114-1 可以水平布线,而栅极线 114-2 可以垂直布线(即,栅极线 114-1 可以垂直于栅极线 114-2)。这仅是说明性的。作为另一个示例,栅极线 114-1 可以垂直布线而栅极线 114-2 可以水平布线。作为又一个示例,栅极线 114-1 和 114-2 都可以水平布线。

[0090] 栅极信号 G1 和 G2 可以单独或共同用来控制晶体管 151 的操作。在一种部署形式中,栅极信号 G1 和 G2 都将必须被有效以开启晶体管 151(例如,信号 G1 和 G2 将必须同时为高以使得晶体管 151 能够将数据信号从线 112 送至存储节点 156)。在另一种部署形式中,这两个栅极信号中仅有一个将被有效以开启晶体管 151(例如,可以通过将 G1 驱动为高或将 G2 驱动为高而使得晶体管 151 能够将数据信号从线 112 送至存储节点 156)。针对图 12 的显示像素 110 的其余部分(例如,存储电容器 C_{ST} 、具有电容 C_{LC} 的液晶材料和 Vcom 电极 158)的描述类似于已经结合图 7 所描述的并且无需重复。图 12 的双栅极显示像素部署形式仅是说明性的而并非用来对本发明的范围加以限制。如果需要,能够实现具有多于两个的栅极控制线的显示像素。

[0091] 图 13 示出了在形成结合图 10 和 11 所描述的类型 TFT 结构时所涉及的说明性步骤的流程图。在步骤 500,可以在衬底 302 上形成非透明遮光结构 304。在步骤 502,一个或多个缓冲层 306 可以在遮光板 304 上方形成于衬底 302 上。

[0092] 在步骤 504,薄膜晶体管结构 308 可以被形成于缓冲层 306 上(例如,能够形成活动区域多晶硅材料和相关联的源极-漏极掺杂和轻度掺杂漏极(LDD)区域、栅极绝缘层和 M1 栅极结构)。在步骤 506,可以执行退火处理以激活源极-漏极区域(例如,帮助源极-漏极掺杂物在材料 310 中适当扩散)。

[0093] 在步骤 508,可以在薄膜晶体管结构 308 上方形成钝化层 320(例如,氮化硅层)。在步骤 510,可以执行加氢退火处理以利用层 320 对薄膜晶体管 308 进行实际钝化。

[0094] 在步骤 512,薄氧化物层 321 可以形成于钝化层 320 上方。层 321 可以在层 321 上形成金属的期间用作蚀刻停止层。

[0095] 在步骤 514,M2s 金属布线结构可以形成于蚀刻停止层 321 上。M2s 金属布线路径可以形成于非活动边框区域中以提供外部信号输送(例如,栅极线输送、数据线输送、Vcom 输送等)并且可以形成于活动显示区域内以提供附加栅极控制(例如,参见图 11 和 12)。

[0096] 在步骤 516,可以在层 321 上形成第一低 k 介电层 322。在步骤 518,可以在第一低 k 介电层 322 中经由光刻和蚀刻处理形成触点开孔。在一些布置中,层 322 可以由光敏材料形成并且可以使用被暴露并发展以形成所期望触点开孔的类光刻胶。

[0097] 在步骤 520,可以在活动和非活动区域中在层 322 上以图案形成 M2 金属布线结构。

[0098] 在步骤 522,可以在 M2 金属布线结构的上方在第一低 k 介电层 322 上形成第二低 k 介电层 324。在一种布置中,第一和第二低 k 介电层可以由相同的低 k 介电材料形成。在其它部署形式中,第一和第二低 k 介电层由具有基本上相似折射率的不同低 k 介电材料所形成而使得背光透射率最大化。

[0099] 在步骤 524,可以经由光刻和蚀刻处理在第二低 k 介电层 324 中形成触点开孔(例如,层 324 也可以由光刻胶和耐蚀刻处理所形成)。在步骤 526,可以形成 Vcom 电极 326、M3 金属布线结构 328、存储电容器、像素电极 332 和其它显示像素结构。

[0100] 图 13 的步骤仅是说明性的而并非用来对本发明的范围加以限制。总体而言,LCD 和其它类型的显示器中的 TFT 显示/触摸电路可以以这种方式所形成。虽然以具体顺序对

制造方法进行了描述,但是应当理解的是,可以在所描述的步骤之间执行其他步骤,可以对所描述的操作进行调节而使得它们在稍有不同的时间进行。

[0101] 依据实施例,提供了一种显示电路,其包括衬底,形成于该衬底上的薄膜晶体管,形成于该薄膜晶体管上的钝化层,形成于该钝化层上的介电内衬,以及形成于该介电内衬上的导电布线结构。

[0102] 依据另一个实施例,该钝化层包括氮化硅。

[0103] 依据另一个实施例,该介电内衬包括蚀刻停止材料。

[0104] 依据另一个实施例,该显示电路包括在该导电布线结构上方形成于该介电内衬之上的介电层。

[0105] 依据另一个实施例,该介电层包括低 k 介电材料。

[0106] 依据另一个实施例,该显示电路包括形成于该介电层上的附加导电布线结构,形成于介电内衬上的导电布线结构和形成于介电层上的附加导电布线结构表现出基本上相似的电阻率。

[0107] 依据另一个实施例,该薄膜晶体管包括由表现出比该导电布线结构的薄层电阻更大的薄层电阻的导电材料形成的栅极结构。

[0108] 依据另一个实施例,该薄膜晶体管的栅极结构形成于该钝化层中。

[0109] 依据另一个实施例,提供了一种构造显示电路的方法,包括在衬底上方形成薄膜晶体管,在该薄膜晶体管上方形成低 k 介电层,并且在该低 k 介电层中形成导电布线路径。

[0110] 依据另一个实施例,该方法包括在该薄膜晶体管上形成钝化层,该钝化层夹在该薄膜晶体管和低 k 介电层之间。

[0111] 依据另一个实施例,该方法包括形成被置于该钝化层和低 k 介电层之间的氧化物内衬,该导电布线路径形成于该氧化物内衬上。

[0112] 依据另一个实施例,该方法包括在该低 k 介电层上形成另一个介电层,并且在该另一个介电层上形成用于该显示电路的共用电极。

[0113] 依据另一个实施例,该方法包括在该低 k 介电层上形成附加导电布线路径,该导电布线路径和附加导电布线路径使通过该低 k 介电层所形成的通孔而并行地短接。

[0114] 依据另一个实施例,该方法包括在该低 k 介电层上形成附加导电布线路径,该导电布线路径和附加导电布线路径进行交错以减小连线间距。

[0115] 依据另一个实施例,该方法包括在该低 k 介电层上形成另一个介电层,并且在该另一个介电层上形成存储电容器。

[0116] 依据一个实施例,提供了一种电子设备显示器结构,其包括衬底,形成于该衬底上方的薄膜晶体管,该薄膜晶体管包括形成于该衬底上方的源极-漏极结构,形成于该源极-漏极结构上方的第一栅极结构,以及形成于该第一栅极结构上的第二栅极结构。

[0117] 依据另一个实施例,该第一栅极结构由第一材料形成,并且该第二栅极结构由不同于该第一材料的第二材料形成。

[0118] 依据另一个实施例,该第一材料表现出比该第二材料的薄层电阻更大的薄层电阻。

[0119] 依据另一个实施例,该电子设备显示器结构包括形成于所述第一栅极结构上的钝化层,以及形成于所述钝化层上的介电内衬,所述第二栅极结构形成于所述介电内衬上。

[0120] 依据另一个实施例,该电子设备显示器结构包括耦合至该第一栅极结构的第一栅极线和耦合至该第二栅极结构的第二栅极线,该第一栅极线正交于该第二栅极线。

[0121] 以上仅是本发明的原理的说明,并且本领域技术人员能够进行各种修改而并不背离本发明的范围和精神。以上实施例可以单独实施或者以任意组合来实施。

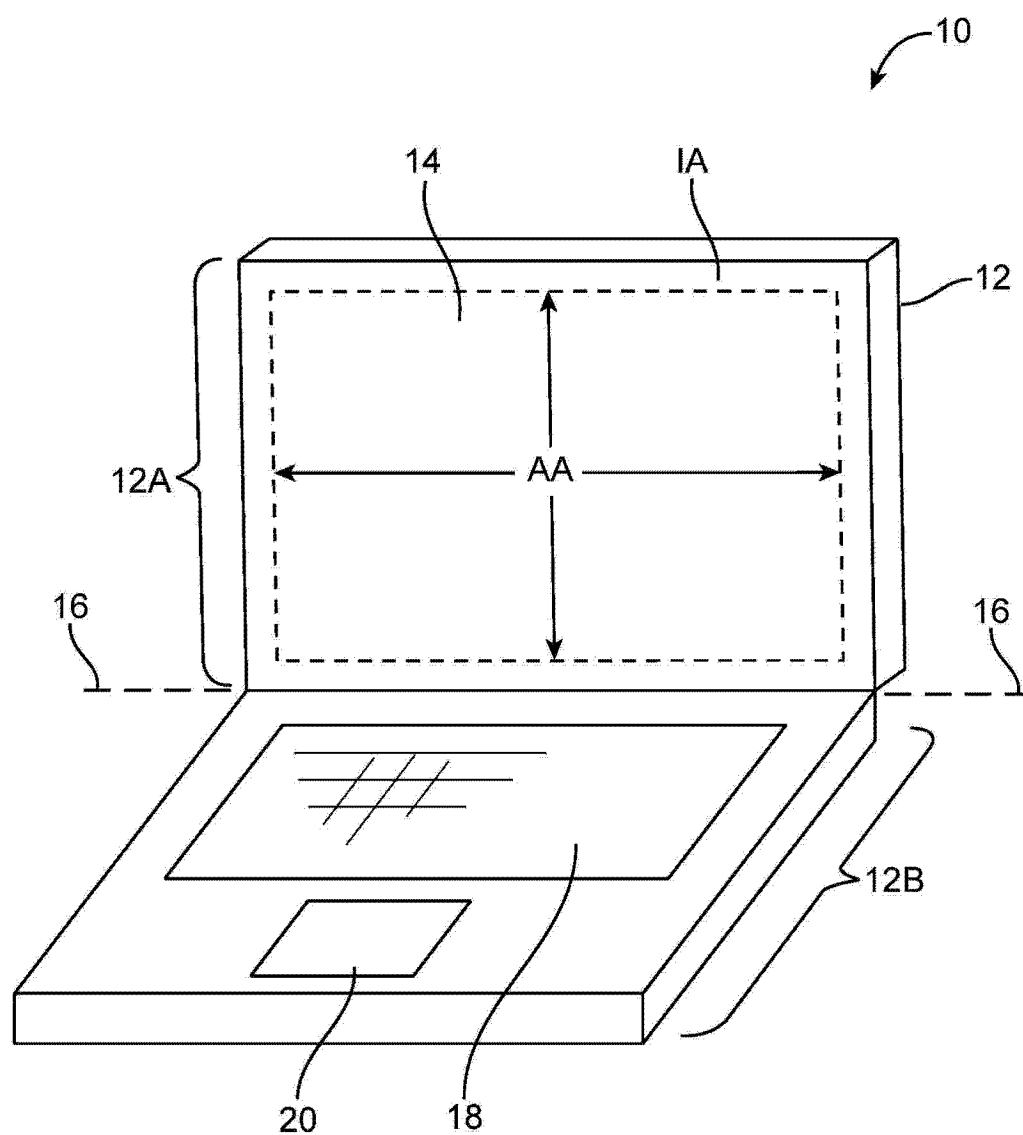


图 1

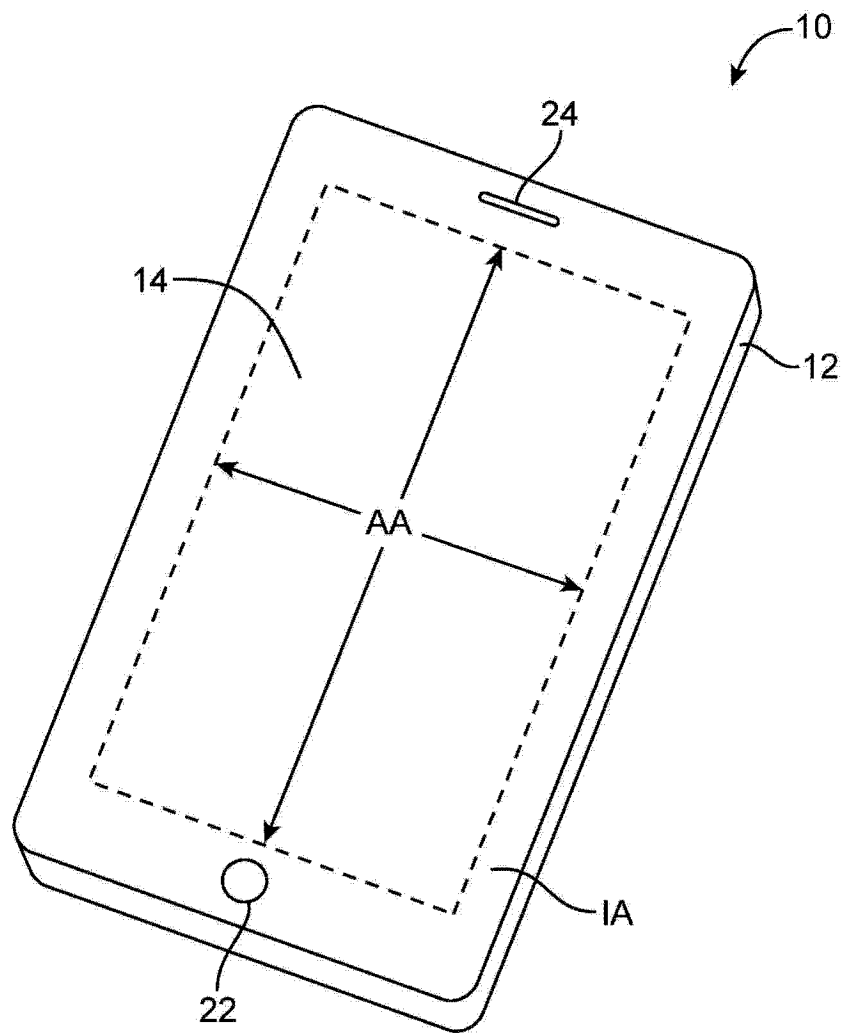


图 2

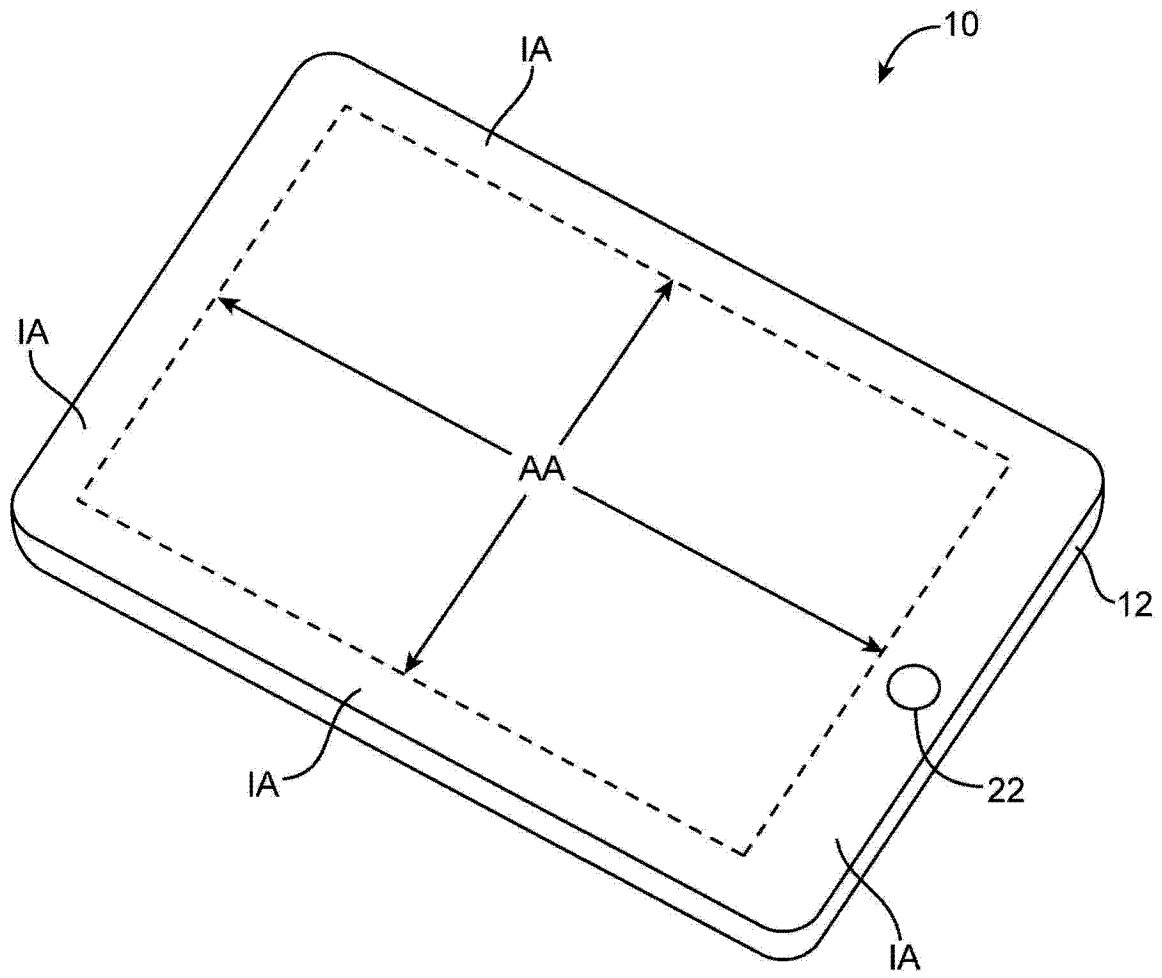


图 3

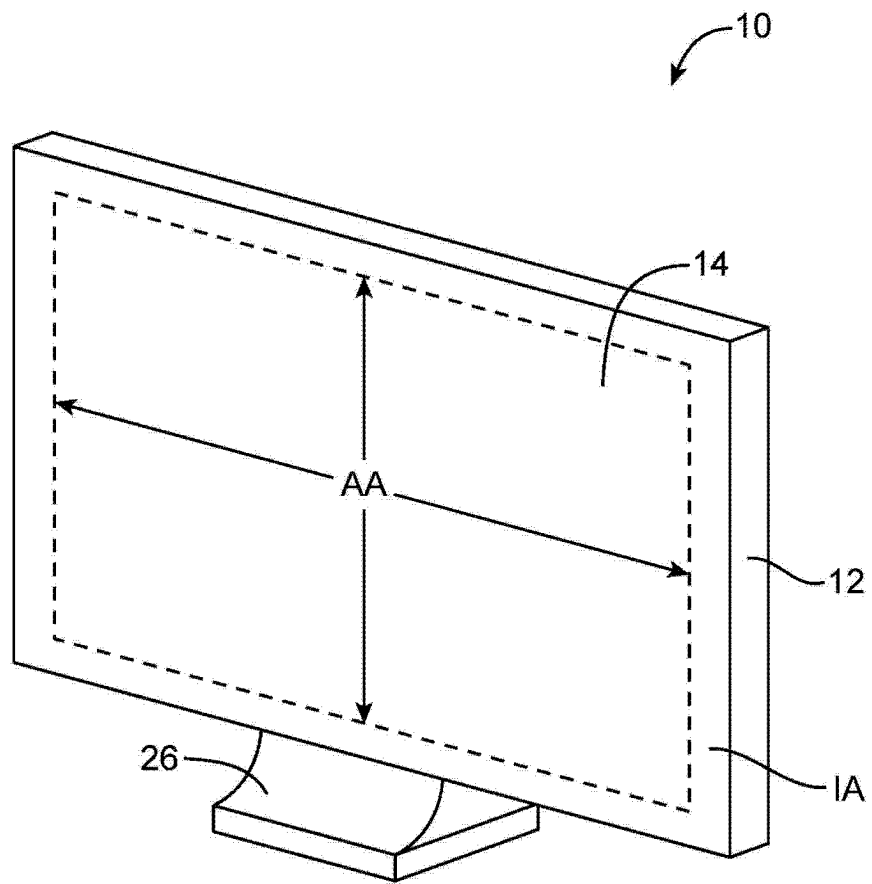


图 4

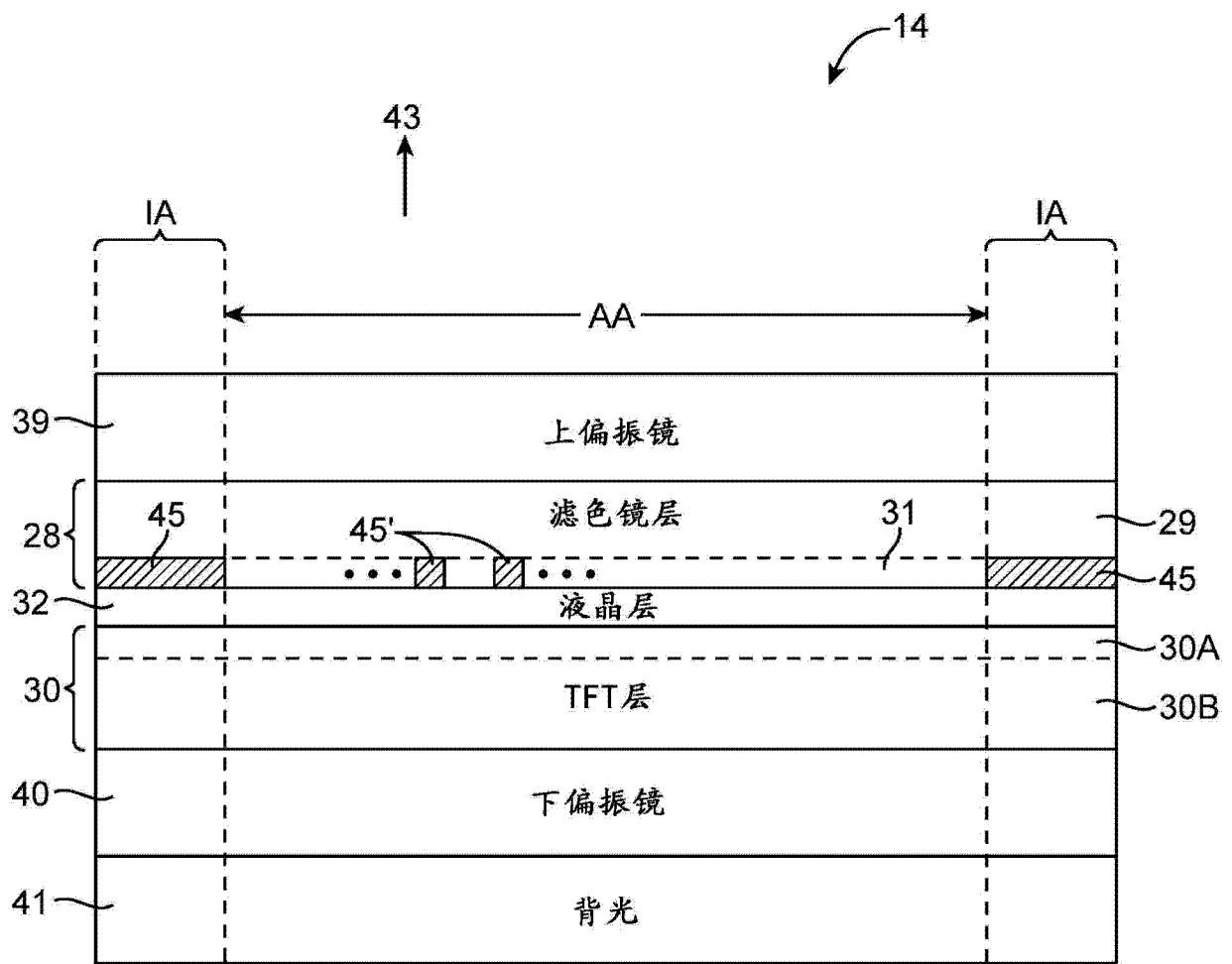


图 5

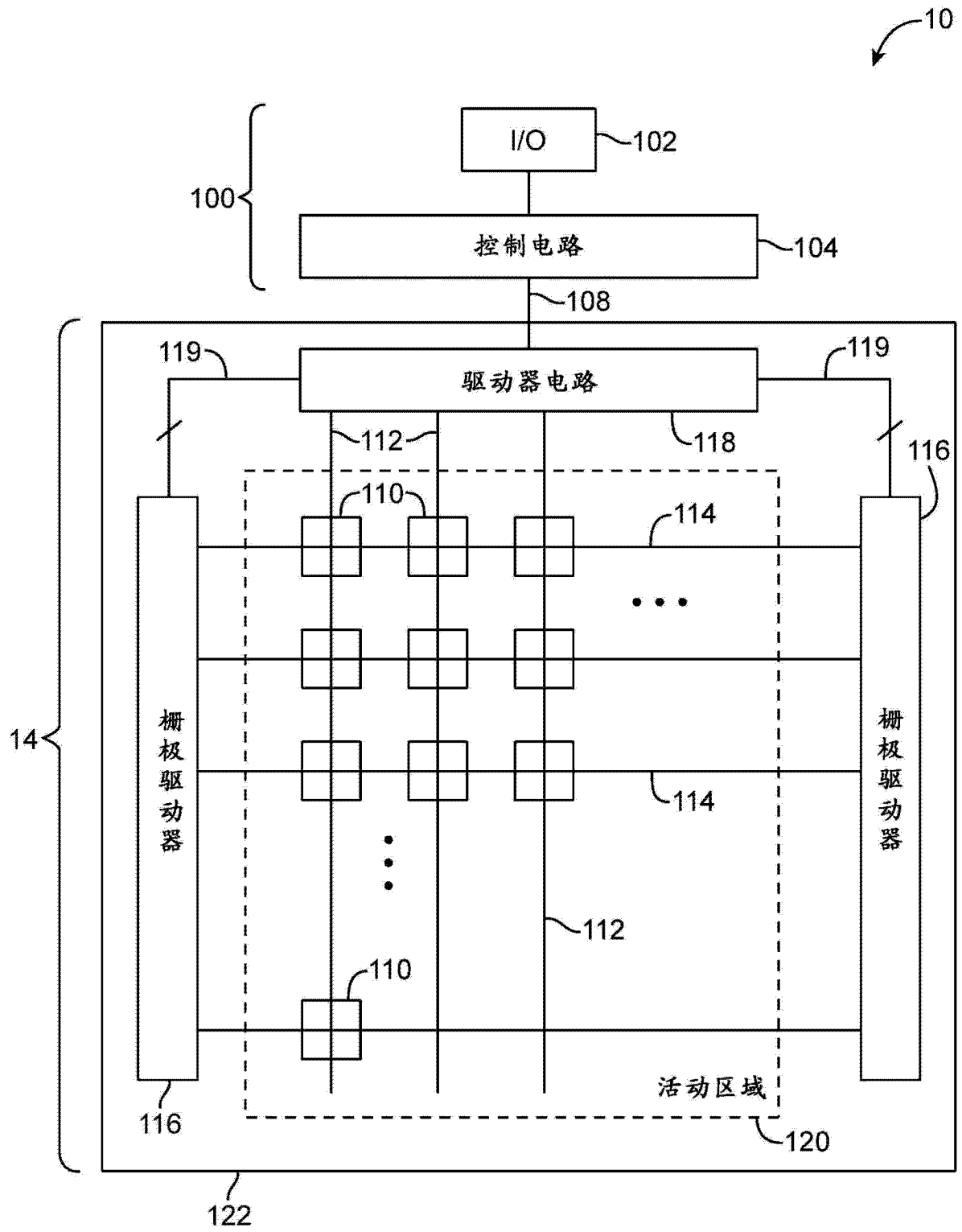


图 6

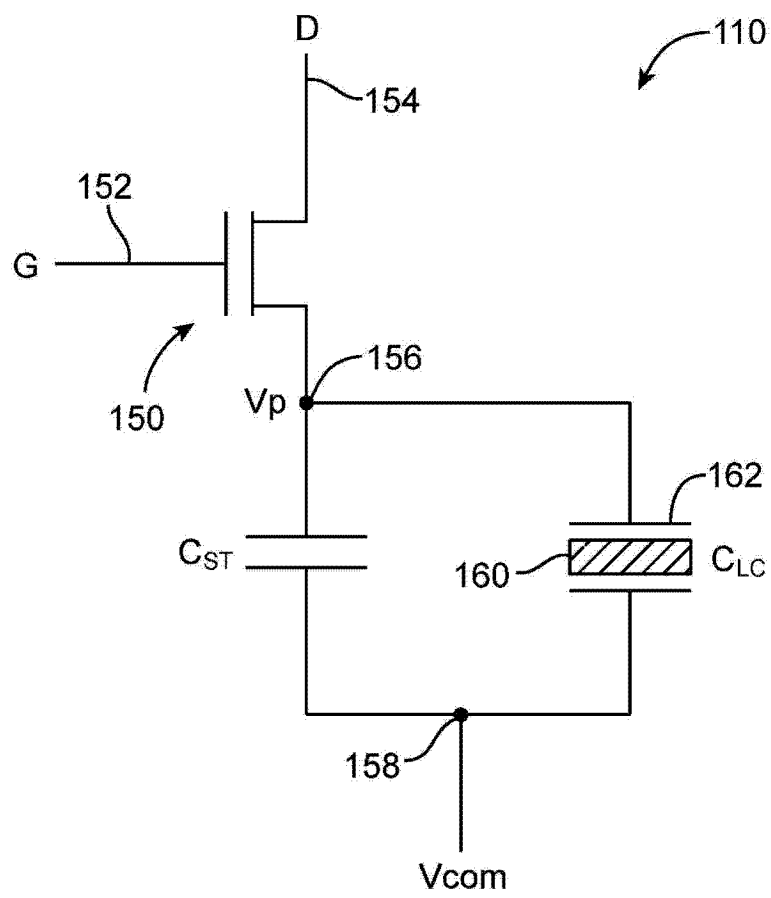


图 7

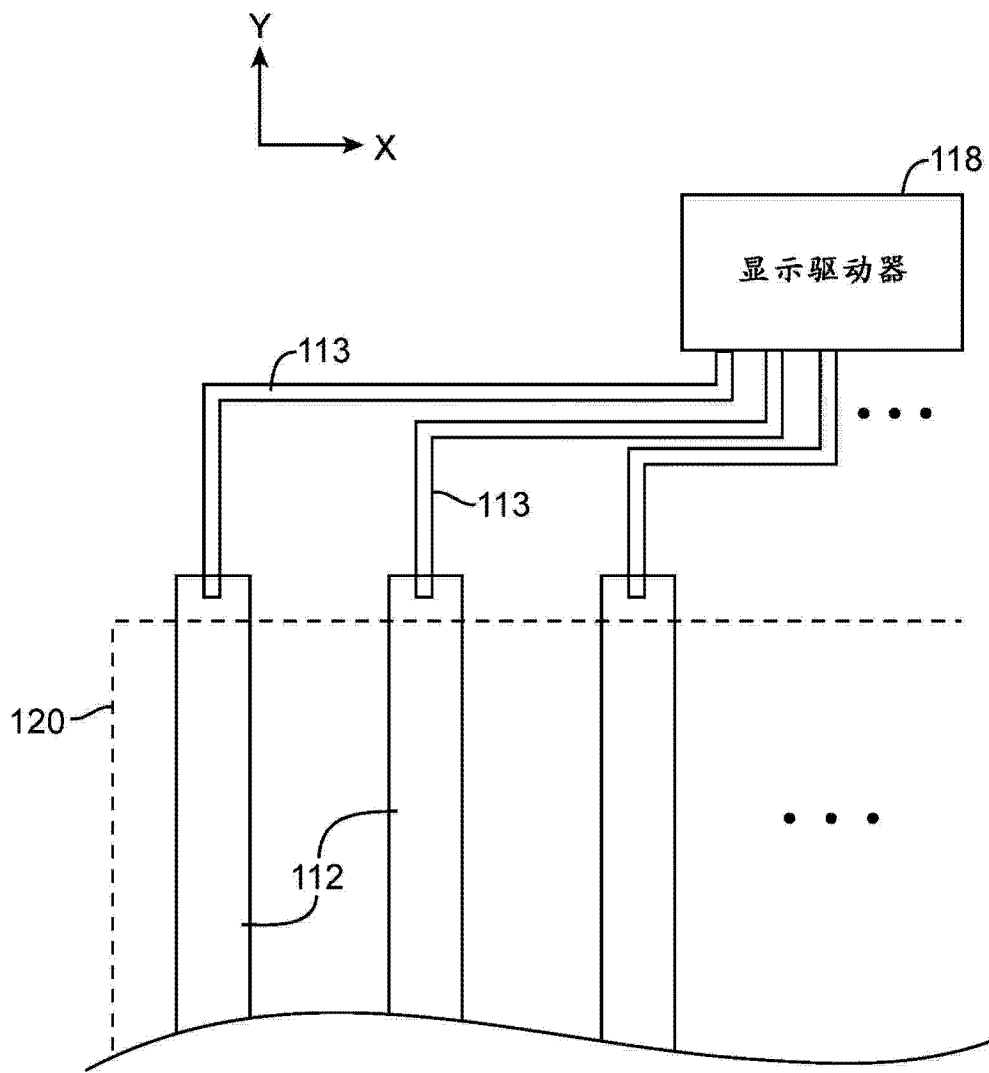


图 8

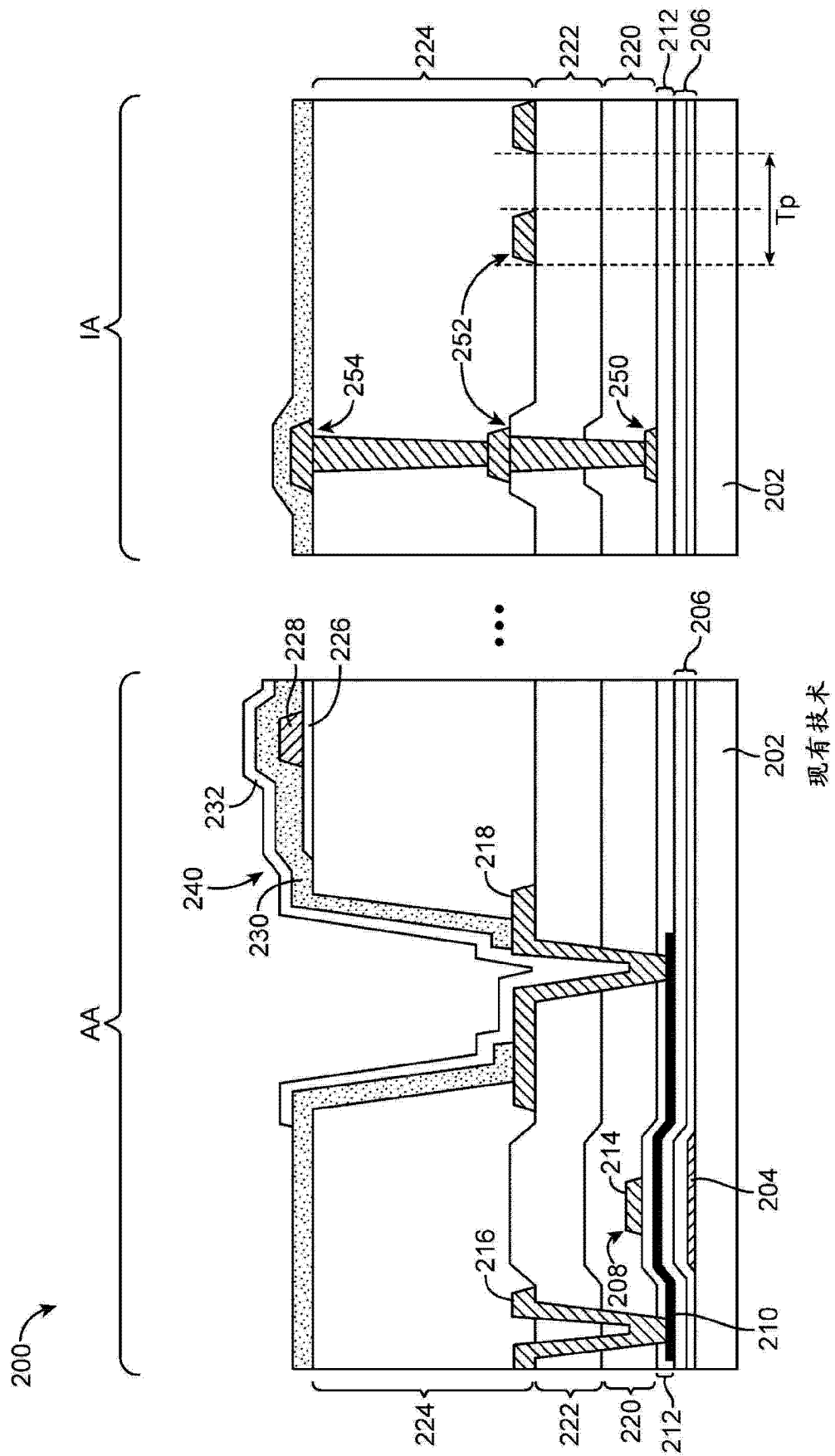


图 9

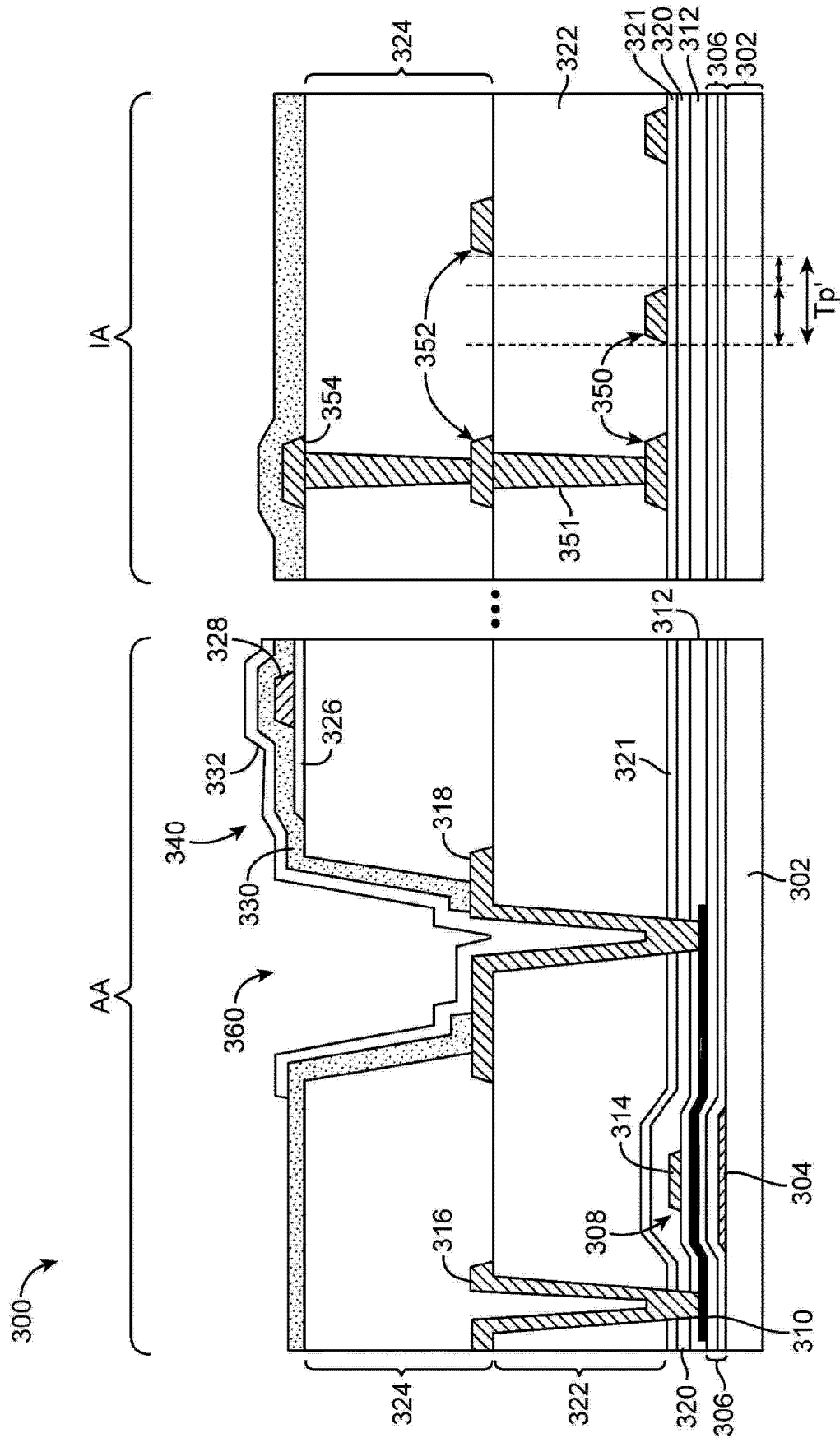


图 10

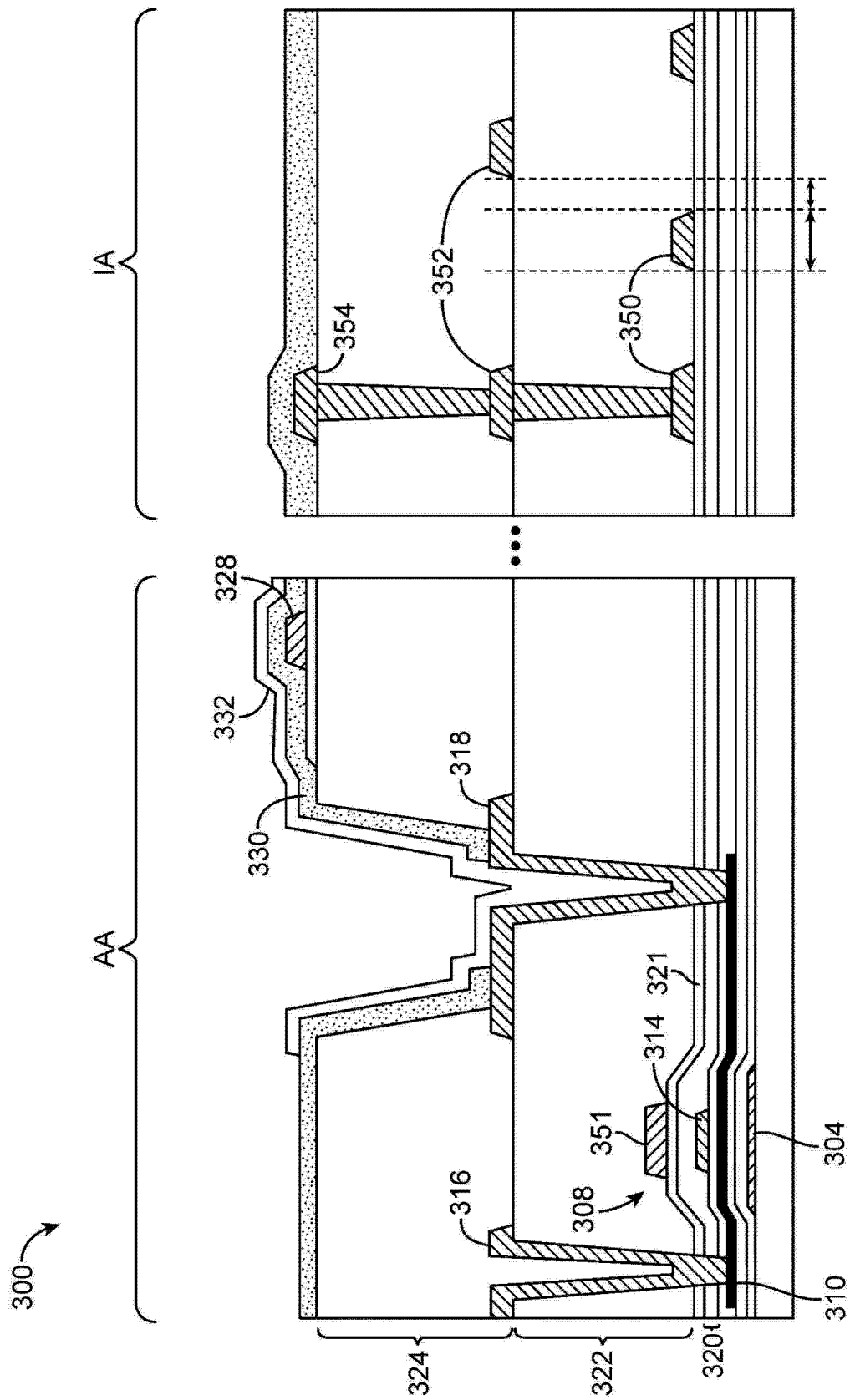


图 11

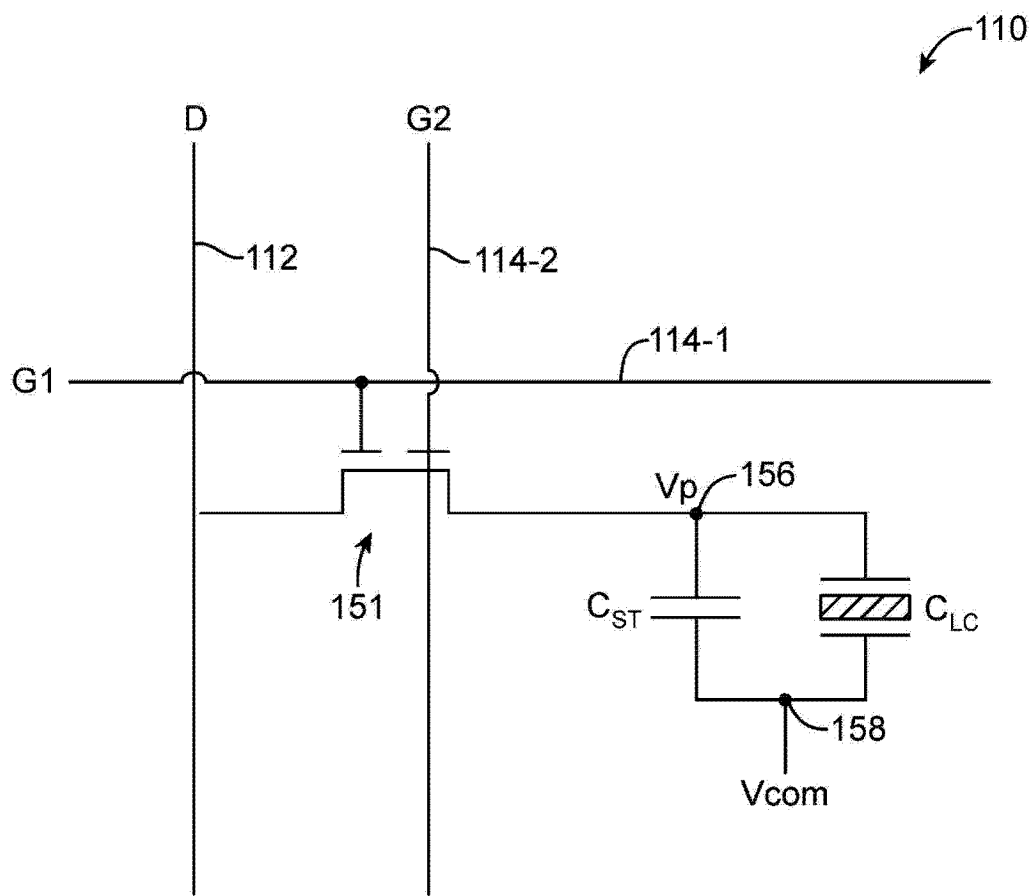


图 12

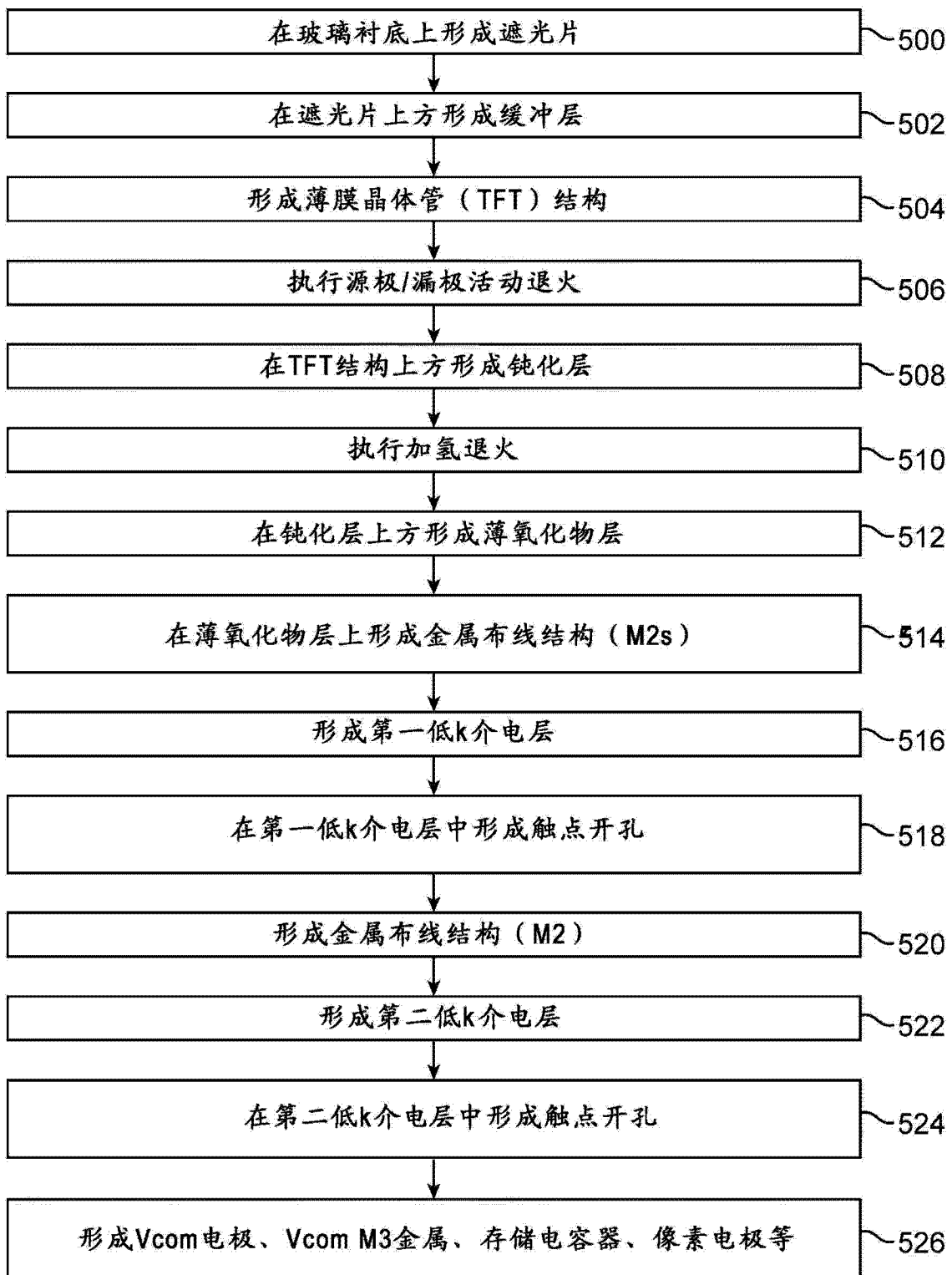


图 13

专利名称(译)	具有降低的金属布线电阻的显示电路		
公开(公告)号	CN104599651A	公开(公告)日	2015-05-06
申请号	CN201510008080.X	申请日	2015-01-07
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	YC陈 张世昌 大泽裕史 T K常		
发明人	Y·C·陈 张世昌 大泽裕史 T·K·常		
IPC分类号	G09G3/36 G09G3/20 G02F1/136 G02F1/1362 H01L27/12		
CPC分类号	H01L27/124 H01L27/1248 H01L29/78633 H01L29/78645		
代理人(译)	王茂华 陈颖		
优先权	14/150458 2014-01-08 US		
其他公开文献	CN104599651B		
外部链接	Espacenet SIPO		

摘要(译)

本发明的实施方式涉及一种具有降低的金属布线电阻的显示电路。一种显示器可以具有滤色镜层和薄膜晶体管层。一层液晶材料可以位于该滤色镜层和薄膜晶体管(TFT)层之间。该TFT层可以包括形成于玻璃衬底顶部的薄膜晶体管。钝化层可以形成于该薄膜晶体管层之上。氧化物内衬可以形成于该钝化层之上。第一低k介电层可以形成于该氧化物内衬之上。第二低k介电层可以形成于该第一低k介电层之上。共用电压电极和相关联的存储电容可以形成于该第二低k介电层之上。薄膜晶体管栅极结构可以形成于该钝化层之中。导电布线结构可以形成于该氧化物内衬上，该第一低k介电层上以及该第二低k介电层上。在氧化物内衬上使用布线结构减小了整体布线电阻并且使得能够进行交错金属布线，这你呢各个有助于减小活动显示区域之外的非活动边框区域。

