



(12) 发明专利申请

(10) 申请公布号 CN 103198803 A

(43) 申请公布日 2013. 07. 10

(21) 申请号 201310101057. 6

(22) 申请日 2013. 03. 27

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 北京京东方显示技术有限公司

(72) 发明人 段欣

(74) 专利代理机构 北京路浩知识产权代理有限公司

公司 11002

代理人 王莹

(51) Int. Cl.

G09G 3/36 (2006. 01)

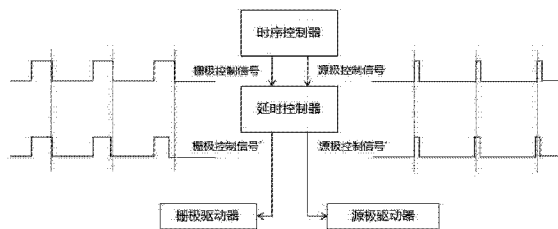
权利要求书2页 说明书7页 附图3页

(54) 发明名称

一种显示基板的驱动控制单元、驱动电路及驱动控制方法

(57) 摘要

本发明公开了一种显示基板的驱动控制单元、驱动电路及驱动控制方法,包括时序控制器和延时控制器,所述时序控制器向延时控制器发送时序控制信号,延时控制器用于根据所述显示基板的像素点所连接的驱动信号线的阻抗,来调节所述时序控制信号,使像素点的实际充电时长处于预设的时长范围内。本发明根据液晶面板上像素点的位置改变像素点的时序控制信号,使不同位置像素的时序控制信号各不相同,以不同的时序控制信号,补偿由于信号线延迟造成的充电时间误差,保证液晶面板不同位置的像素充电效果一致性。



1. 一种显示基板的驱动控制单元,其特征在于,包括时序控制器和延时控制器,其中:
所述时序控制器用于向所述延时控制器发送时序控制信号;
所述延时控制器用于根据所述显示基板的像素点所连接的驱动信号线的阻抗,来调节所述时序控制信号,使像素点的实际充电时长处于预设的时长范围内。
2. 如权利要求1所述的驱动控制单元,其特征在于,
所述延时控制器用于根据所述显示基板的像素点所连接的驱动信号线的阻抗,来调节所述时序控制信号,是指:
所述延时控制器根据所述像素点与像素显示驱动器之间所连接的驱动信号线的长度和电阻率,来调节所述时序控制信号。
3. 如权利要求1所述的驱动控制单元,其特征在于,
所述延时控制器是用于按以下方式调节所述时序控制信号:
以显示面板上第一像素点的时序控制信号为基准,根据所述显示面板上的第二像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗与所述第一像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗的差值,来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间。
4. 如权利要求3所述的驱动控制单元,其特征在于,
所述第一像素点为显示面板上距离像素显示驱动器最远的像素点,称为像素远点;所述第二像素点为所述显示面板上除所述像素远点以外的任意像素点。
5. 如权利要求3所述的驱动控制单元,其特征在于,
所述延时控制器是用于按以下方式调节所述时序控制信号:
以所述像素远点的时序控制信号为基准,先调节与像素远点同一行的第二像素点的时序控制信号的延迟时间,后调节与所述像素远点同一列的第二像素点的时序控制信号的延迟时间。
6. 如权利要求3所述的驱动控制单元,其特征在于,
所述延时控制器是用于按以下方式调节所述时序控制信号:
以显示面板上第一像素点的时序控制信号为基准,调节所述时序控制信号使所述第二像素点的时序控制信号的延迟时间与所述阻抗的差值大小成正比。
7. 如权利要求2所述的驱动控制单元,其特征在于,
所述像素显示驱动器是指栅极驱动器或源极驱动器。
8. 如权利要求1所述的驱动控制单元,其特征在于,所述预设的时长范围内包括一个预设时长值。
9. 一种显示基板的驱动电路,包括如权利要求1至8中任一项所述的驱动控制单元。
10. 一种显示基板的驱动控制方法,所述显示基板的驱动装置中包括时序控制器和延时控制器;其特征在于,所述方法包括:
令所述时序控制器向所述延时控制器发送时序控制信号;
令所述延时控制器根据所述显示基板的像素点所连接的驱动信号线的阻抗来调节所述时序控制信号,使像素点的实际充电时长处于预设的时长范围内。
11. 如权利要求10所述的驱动控制方法,其特征在于,
所述延时控制器调节所述时序控制信号,包括:

以显示面板上第一像素点的时序控制信号为基准,根据所述显示面板上的第二像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗与所述第一像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗的差值,来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间。

12. 根据权利要求 11 所述的驱动控制方法,其特征在于,

所述时序控制信号为栅极驱动器控制信号,所述栅极驱动器控制信号控制像素点的薄膜晶体管开启时间,所述延时控制器通过调节所述薄膜晶体管开启时间来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间;或者,

所述时序控制信号为源极驱动器控制信号,所述源极驱动器控制信号控制像素点的偏转电压加载时间,所述延时控制器通过调节所述偏转电压加载时间来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间。

13. 根据权利要求 10 所述的驱动控制方法,其特征在于,所述时序控制信号为脉冲信号。

14. 根据权利要求 10 所述的驱动控制方法,其特征在于,

所述延时控制器调节所述时序控制信号的步骤为:以显示基板上第一像素点的时序控制信号为基准,根据所述显示基板上的第二像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗与所述第一像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗的差值,来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间。

15. 如权利要求 14 所述的驱动控制方法,其特征在于,

所述第一像素点为显示面板上距离像素显示驱动器最远的像素点,称为像素远点;所述第二像素点为所述显示面板上除所述像素远点以外的任意像素点。

16. 如权利要求 14 所述的驱动控制方法,其特征在于,

所述延时控制器是用于按以下方式调节所述时序控制信号:

以所述第一像素点的时序控制信号为基准,先调节与第一像素点同一行的第二像素点的时序控制信号的延迟时间;和/或,以所述第一像素点的时序控制信号为基准,调节与所述第一像素点同一列的第二像素点的时序控制信号的延迟时间。

17. 如权利要求 14 所述的驱动控制方法,其特征在于,

所述延时控制器是用于按以下方式调节所述时序控制信号:

以显示面板上第一像素点的时序控制信号为基准,调节所述时序控制信号使所述第二像素点的时序控制信号的延迟时间与所述阻抗的差值大小成正比。

一种显示基板的驱动控制单元、驱动电路及驱动控制方法

技术领域

[0001] 本发明属于显示技术领域，尤指一种显示基板的驱动控制单元、驱动电路及驱动控制方法。

背景技术

[0002] 传统的液晶面板驱动架构包括源极驱动器和栅极驱动器，源极驱动器和栅极驱动器在驱动面板不同位置的像素时，采用的时序控制信号是一致的，即距离源极驱动器和栅极驱动器的近点与远点像素点采用相同的时序控制信号，栅极驱动器对每一行的像素点驱动时，数据线上加载偏转电压的时间是固定的，并且同一行像素点中不同位置的像素点开启的时间是固定的。

[0003] 由于液晶面板工艺特性限制，连接近点与远点的信号线之间存在一定的阻抗，导致栅极驱动器和源极驱动器加载同样的信号，在近点的表现，与远点经过信号线延迟之后的表现不一致，致使近点与远点采用同样的时序控制信号时，像素点的实际充电时间并不相同，导致在面板上不同位置的像素点充电效果不同，画面一致性受到影响。在大尺寸面板中，由于信号线存在的阻抗更大，该问题会更加明显；而且，不仅是液晶面板，利用薄膜晶体管阵列的其他类型的显示基板也存在此问题。

发明内容

[0004] 针对现有技术存在的问题，本发明的目的在于提供一种根据像素点位置调整面板上各像素点时序控制信号，以提高画面一致性的显示基板的驱动控制单元、驱动电路及驱动控制方法。

[0005] 为实现上述目的，本发明的显示基板的驱动控制单元，包括时序控制器和延时控制器，其中：

[0006] 所述时序控制器用于向所述延时控制器发送时序控制信号；

[0007] 所述延时控制器用于根据所述显示基板的像素点所连接的驱动信号线的阻抗，来调节所述时序控制信号，使像素点的实际充电时长处于预设的时长范围内。

[0008] 进一步，所述延时控制器用于根据所述显示基板的像素点所连接的驱动信号线的阻抗，来调节所述时序控制信号，是指：

[0009] 所述延时控制器根据所述像素点与像素显示驱动器之间所连接的驱动信号线的长度和电阻率，来调节所述时序控制信号。

[0010] 进一步，所述延时控制器是用于按以下方式调节所述时序控制信号：

[0011] 以显示面板上第一像素点的时序控制信号为基准，根据所述显示面板上的第二像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗与所述第一像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗的差值，来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间。

[0012] 进一步，所述第一像素点为显示面板上距离像素显示驱动器最远的像素点，称为

像素远点 ;所述第二像素点为所述显示面板上除所述像素远点以外的任意像素点。

[0013] 进一步,所述延时控制器是用于按以下方式调节所述时序控制信号 :

[0014] 以所述像素远点的时序控制信号为基准,先调节与像素远点同一行的第二像素点的时序控制信号的延迟时间,后调节与所述像素远点同一列的第二像素点的时序控制信号的延迟时间。

[0015] 进一步,所述延时控制器是用于按以下方式调节所述时序控制信号 :

[0016] 以显示面板上第一像素点的时序控制信号为基准,调节所述时序控制信号使所述第二像素点的时序控制信号的延迟时间与所述阻抗的差值大小成正比。

[0017] 进一步,所述像素显示驱动器是指栅极驱动器或源极驱动器。

[0018] 进一步,所述预设的时长范围内包括一个预设时长值。

[0019] 本发明的显示基板的驱动电路,包括上述驱动控制单元。

[0020] 本发明的显示基板的驱动控制方法,所述显示基板的驱动装置中包括时序控制器和延时控制器 ;所述方法包括 :

[0021] 令所述时序控制器向所述延时控制器发送时序控制信号 ;

[0022] 令所述延时控制器根据所述显示基板的像素点所连接的驱动信号线的阻抗来调节所述时序控制信号,使像素点的实际充电时长处于预设的时长范围内。

[0023] 进一步,所述延时控制器调节所述时序控制信号,包括 :

[0024] 以显示面板上第一像素点的时序控制信号为基准,根据所述显示面板上的第二像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗与所述第一像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗的差值,来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间。

[0025] 进一步,所述时序控制信号为栅极驱动器控制信号,所述栅极驱动器控制信号控制像素点的薄膜晶体管开启时间,所述延时控制器通过调节所述薄膜晶体管开启时间来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间 ;或者,

[0026] 所述时序控制信号为源极驱动器控制信号,所述源极驱动器控制信号控制像素点的偏转电压加载时间,所述延时控制器通过调节所述偏转电压加载时间来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间。

[0027] 进一步,所述时序控制信号为脉冲信号。

[0028] 进一步,所述延时控制器调节所述时序控制信号的步骤为 :以显示基板上第一像素点的时序控制信号为基准,根据所述显示基板上的第二像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗与所述第一像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗的差值,来调节所述第二像素点的时序控制信号相对于所述第一像素点时序控制信号的延迟时间。

[0029] 进一步,所述第一像素点为显示面板上距离像素显示驱动器最远的像素点,称为像素远点 ;所述第二像素点为所述显示面板上除所述像素远点以外的任意像素点。

[0030] 进一步,所述延时控制器是用于按以下方式调节所述时序控制信号 :

[0031] 以所述第一像素点的时序控制信号为基准,先调节与第一像素点同一行的第二像素点的时序控制信号的延迟时间 ;和 / 或,以所述第一像素点的时序控制信号为基准,调节

与所述第一像素点同一列的第二像素点的时序控制信号的延迟时间。

[0032] 进一步,所述延时控制器是用于按以下方式调节所述时序控制信号:

[0033] 以显示面板上第一像素点的时序控制信号为基准,调节所述时序控制信号使所述第二像素点的时序控制信号的延迟时间与所述阻抗的差值大小成正比。

[0034] 本发明根据液晶面板上像素点的位置改变像素点的时序控制信号,使不同位置像素的时序控制信号各不相同,以不同的时序控制信号,补偿由于信号线延迟造成的充电时间误差,保证液晶面板不同位置的像素充电效果一致性。

附图说明

[0035] 图 1 为现有液晶面板的结构示意图;

[0036] 图 2 为本发明实施方式所提供的延时控制器的栅极驱动器控制信号、源极驱动器控制信号的输入、输出示意图;

[0037] 图 3 为图 1 中液晶面板上 A、B、C 三点的栅极驱动器信号线的延迟时间对比图;

[0038] 图 4 为图 1 中液晶面板上 A、D、E 三点的源极驱动器信号线的延迟时间对比图;

[0039] 图 5 为经过延时控制器调节之后 A、B、C 三点的实际充电时间对比图;

[0040] 图 6 为经过延时控制器调节之后 A、D、E 三点的实际充电时间对比图。

具体实施方式

[0041] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施用于说明本发明,但不限制本发明的范围。

[0042] 本实施方式提供了一种显示基板的驱动控制单元的实施例,该驱动控制单元包括时序控制器和延时控制器,其中:

[0043] 所述时序控制器用于向所述延时控制器发送时序控制信号;

[0044] 所述延时控制器用于:根据所述显示基板的像素点所连接的驱动信号线的阻抗,来调节所述时序控制信号,使像素点的实际充电时长处于预设的时长范围内。

[0045] 由于显示基板上的像素点排列位置的不同,导致其与像素显示驱动器之间的驱动信号线的长短不同,或者因金属材料、构图设计等因素造成的电阻率差异,使得不同的像素点所连接的驱动信号线上的阻抗不同,因此不同的像素点获得的充电信号的延迟时间不同,最终导致显示效果不均一。而本实施例中,所述延时控制器根据所述显示基板的像素点所连接的驱动信号线的阻抗,来对所述时序控制信号进行调节,使各像素点的实际充电时长趋于一致,即,均为一个预设的充电时长值,或者与该预设的充电时长值有可接受的误差范围,即,处于预设的时长范围内。

[0046] 由此,即以不同的时序控制信号,补偿了充电时间差异,保证了显示基板上不同位置的像素充电效果的一致性。

[0047] 本实施方式还提供了一种显示基板的驱动电路,包括如上所述的驱动控制单元。

[0048] 需要注明的是,本发明的实施方式不限于液晶显示面板,还可应用于其他类型的使用薄膜晶体管阵列基板的显示基板;所述像素显示驱动器可以为栅极驱动器也可以为源极驱动器,当栅线上的阻抗差异较大时,仅对栅极驱动信号的延迟进行补偿,是可以解决因充电延迟差异造成的像素显示效果不均的问题的;同理,当数据线上的阻抗差异较大时,仅

对源极驱动信号的延迟进行补偿,也可以解决因充电延迟差异造成的像素显示效果不均的问题;当然,对栅极驱动器和源极驱动信号的延迟都进行补偿,能够更好地解决该问题,且具体对各像素点进行补偿的顺序、所要补偿的像素点的选择(全部补偿还是部分补偿,以及补偿哪些像素点)的方式不限,所涵盖的所有方式均能够解决上述技术问题,因此其所涵盖的技术方案均在本发明权利要求的保护范围之内。

[0049] 下面,为列举的本发明所应用的各种情况的优选实施例,其中,优选液晶面板作为显示基板的优选实施例;选择源极驱动器 1 和栅极驱动器 2 作为所述像素显示驱动器的优选实施例;并且,列举优选的像素补偿顺序和执行步骤进行介绍,本发明实施方式不限于这些顺序和步骤。

[0050] 如图 1 所示,为现有的液晶面板的结构示意图;液晶面板包括源极驱动器 1、栅极驱动器 2 和多个像素点,栅极驱动器 2 输出的控制信号控制每一个像素点的薄膜晶体管开启时间;源极驱动器 1 输出的控制信号控制每一个像素点的偏转电压加载时间;通过控制源极驱动器 1 输出的控制信号和栅极驱动器 2 输出的控制信号的时机(如,像素点的开启时间,或像素点的开启时间与对应像素点的偏转电压加载时间的重叠时间),就可以对像素点进行充电。在不考虑液晶面板上信号线的阻抗的情况下,在栅极驱动器 2 和源极驱动器 1 上加载同样的控制信号时,液晶面板上所有像素点的充电时间均相同,充电效果一致。但是,实际中受液晶面板的工艺限制,连接同一行和同一列像素点之间的信号线均存在一定的阻抗,如果在栅极驱动器 2 和源极驱动器 1 上加载同样的控制信号,会导致在面板上不同位置的像素点充电效果不同,画面一致性受到影响。在大尺寸面板中,由于信号线存在的阻抗更大,该问题会更加明显。例如:如图 1 所示,对于液晶面板上同一行的 A、B、C 三个像素点,由于栅极驱动器 2 控制信号在玻璃基板走线上的延迟,造成各点的薄膜晶体管开启时间不同,如图 3 所示,即 $t_1 > t_2 > t_3$,如果源极驱动器 1 控制信号不变,会使 A、B、C 三点的实际充电时间不同,致使三个位置像素点的充电程度不同。同理,对于液晶面板上同一列的 A、D、E 三个像素点,由于源极驱动器 1 控制信号在玻璃基板走线上的延迟,造成 A、D、E 三点偏转电压加载时间不同,如图 4 所示,即 $t_4 > t_5 > t_6$,如果栅极驱动器 2 控制信号不变,也会使 A、D、E 三点的实际充电时间不同,致使三个位置像素点的充电程度不同。

[0051] 如图 2 所示,栅极控制信号与源极控制信号为原始时序控制器发出的信号,栅极控制信号'与源极控制信号'为经过延时控制器调节之后的信号。其中栅极控制信号每个脉冲对应一行的像素充电,低电平为栅极开启的时间,通过延时控制器调节低电平的时间从而改变不同行像素栅极开启时间。源极控制信号每个脉冲对应像素偏转电压加载的时间,通过延时控制器提前或延后脉冲信号,控制像素偏转电压何时加载到液晶两端。

[0052] 以栅极控制信号为例,原始的栅极控制信号进入延时控制器中,将其划分为很小脉冲宽度的延时单元信号,并通过内部寄存器设定每一行需要叠加的延时单元信号的数量,通过内部的时序信号叠加,达到不同行的时序信号分别控制的目的。同理可得源极控制信号的延时控制原理。经过延时控制器调节之后的信号,如图 5 和 6 所示,A、B、C 三点以及 A、D、E 三点的实际充电时间相同。

[0053] 实施例 1

[0054] 如图 1 所示,如果液晶面板上栅线和数据线的扫描顺序为从左到右、从上到下的顺序的话,液晶面板上最后一行,最后一列的像素点 F 与液晶面板上第一行,第一列的像素

点 A 的充电时间差异最大,因此,优选地,延时控制器以液晶面板上相距源极驱动器和栅极驱动器最远的像素远点 F 的时序控制信号为基准,进行调节,优选调节方式如下:

[0055] 根据所述显示基板上的第二像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗与所述第一像素点与所述像素显示驱动器间所连接的驱动信号线的阻抗的差值根据像素远点 F 与源极驱动器间所连接的驱动信号线的阻抗与其同一行的像素点与源极驱动器间所连接的驱动信号线的阻抗的差值调节与像素远点 F 同一行的像素点的时序控制信号的延迟时间,像素点 E 与像素远点 F 间的阻抗差值最大,需要调整像素点 E 所在列的时序控制信号的延迟时间,使像素点 E 所在列的时序控制信号晚于像素远点 F 所在列的时序控制信号输出,从而补偿像素点 E 和 F 之间由于栅极驱动器控制信号在玻璃基板走线上的延迟。像素点 E、F 之间的像素点与像素点 F 间的阻抗差值小于像素点 E 和像素点 F 间的阻抗差值,因此需要的延迟补偿也相对较小,需按照时序控制信号的延迟时间与像素远点 F 相距同一行其它像素点间的阻抗差值大小呈正比关系进行调节;

[0056] 然后再根据像素远点 F 与其同一列的像素点间阻抗差值大小调节与像素远点 F 同一列的像素点的时序控制信号的延迟时间,像素点 C 与像素远点 F 间阻抗差值最大,需要调整像素点 C 所在行的时序控制信号的延迟时间,使像素点 C 所在行的时序控制信号晚于像素远点 F 所在行的时序控制信号输出,从而补偿像素点 C 和 F 之间由于源极驱动器控制信号在玻璃基板走线上的延迟。像素点 C、F 之间的像素点与像素点 F 间阻抗的差值小于像素点 C 和像素点 F 间阻抗差值,因此需要的延迟补偿也相对较小,需按照时序控制信号的延迟时间与像素远点 F 距同一行其它像素点间阻抗差值大小呈正比关系进行调节。最终调节至所有像素点的充电时间与像素远点 F 充电时间基本一致,则调节完毕;

[0057] 需说明的是,上述调节方式仅为优选的实施例,本发明的实施方式并不限于这一种调节方式,例如,不限于仅以 F 点的时序控制信号作为基准进行调节,还可以选择其他的像素点进行调节,只要将面板内所有的像素点或者大部分像素点的充电时间调节到相同或基本一致即可;也并不限于是将所有的像素点都进行调节,只要能达到可接受的一致性效果即可,具体的一致性程度本领域技术人员可根据需要进行控制;由于扫描方式有多种,并不限于从上到下、从左到右,因此本实施方式也不限于将左上角的像素点和右下角的像素点进行比对,只要是因栅线或数据线的走线阻抗、扫描顺序的先后而导致的充电时间有差异的两个像素点,都可以进行比对从而对其充电时间进行调节,最终实现对面板的像素点充电时间进行调节的目的,从而提高显示的一致性,提升显示效果。

[0058] 以下实施例为选用不同的调节顺序、选用不同的像素点作为基准点时进行调节的情况。

[0059] 实施例 2

[0060] 如图 1 所示,液晶面板上最后一行,最后一列的像素点 F 与液晶面板上第一行,第一列的像素点 A 的充电时间差异最大,延时控制器以液晶面板上相距源极驱动器和栅极驱动器最远的像素远点 F 的时序控制信号为基准,根据像素远点 F 与其同一列的像素点间阻抗差值的大小调节与像素远点 F 同一列的像素点的时序控制信号的延迟时间,像素点 C 与像素远点 F 间阻抗差值最大,需要调整像素点 C 所在行的时序控制信号的延迟时间,使像素点 C 所在行的时序控制信号晚于像素远点 F 所在行的时序控制信号输出,从而补偿像素点 C 和 F 之间由于源极驱动器控制信号在玻璃基板走线上的延迟。像素点 C、F 之间的像素点

与像素点 F 间阻抗的差值小于像素点 C 和像素点 F 间阻抗的差值,因此需要的延迟补偿也相对较小,需按照栅极驱动器控制信号的延迟时间与像素远点 F 距同一行其它像素点间阻抗的差值大小呈正比关系进行调节。然后再根据像素远点 F 与其同一行的像素点间阻抗的差值调节与像素远点同一行的像素点的时序控制信号的延迟时间,像素点 E 相距像素远点 F 间阻抗的差值最大,需要调整像素点 E 所在列的时序控制信号的延迟时间,使像素点 E 所在列的时序控制信号晚于像素远点 F 所在列的时序驱动器控制信号输出,从而补偿像素点 E 和 F 之间由于栅极驱动器控制信号在玻璃基板走线上的延迟。像素点 E、F 之间的像素点与像素点 F 间阻抗的差值小于像素点 E 和像素点 F 间阻抗的差值,因此需要的延迟补偿也相对较小,需按照时序控制信号的延迟时间与像素远点距同一行其它像素点间阻抗的差值大小呈正比关系进行调节。最终调节至所有像素点的充电时间与像素远点 F 充电时间基本一致,则调节完毕。

[0061] 实施例 3

[0062] 延时控制器调节所述时序控制信号以液晶面板上同一行相距栅极驱动器最远的像素点 C 的时序控制信号为基准,根据像素点 C 与其同一行的像素点 A、B 间阻抗的差值调节与每一行相距栅极驱动器最远的像素点同一行的像素点的时序控制信号的延迟时间,像素点 A 与像素点 C 间阻抗的差值最大,需要调整像素点 A 所在列的时序控制信号的延迟时间,使像素点 A 所在列的时序控制信号晚于像素点 C 所在列的时序控制信号输出,从而补偿像素点 A 和 C 之间由于栅极驱动器控制信号在玻璃基板走线上的延迟。像素点 A、C 之间的像素点与像素点 C 间阻抗的差值小于像素点 A 和像素点 C 间阻抗的差值,因此需要的延迟补偿也相对较小,需按照时序控制信号的延迟时间与像素点 C 距同一行其它像素点间阻抗差值的大小呈正比关系进行调节。同理,液晶面板上其它行也按照上述步骤调节。然后再根据液晶面板上最后一行相距其它行间阻抗的差值大小调节时序控制信号的延迟时间,如液晶面板最后一行相距液晶面板上第一行间阻抗差值最大,需要调整第一行的时序控制信号晚于最后一行的时序控制信号输出,从而补偿第一行和最后一行之间由于源极驱动器控制信号在玻璃基板走线上的延迟。第一行和最后一行之间的行,与最后一行间阻抗差值小于第一行和最后一行间阻抗差值,因此需要的延迟补偿也相对较小,需要按照时序控制信号的延迟时间与液晶面板上最后一行与其它行间阻抗的差值大小呈正比关系进行调节。最终调节至液晶面板上所有像素点的充电时间基本一致,则调节完毕。

[0063] 实施例 4

[0064] 延时控制器调节所述时序控制信号以液晶面板上同一列相距源极驱动器最远的像素点 E 的时序控制信号为基准,根据像素点 E 与其同一列的像素点 A、D 间阻抗的差值大小调节与每一列相距源极驱动器最远的像素点同一列的像素点的时序控制信号的延迟时间,像素点 A 与像素点 E 间阻抗差值最大,需要调整像素点 A 所在行的时序控制信号的延迟时间,使像素点 A 所在行的时序控制信号晚于像素点 E 所在行的时序控制信号输出,从而补偿像素点 A 和 E 之间由于源极驱动器控制信号在玻璃基板走线上的延迟。像素点 A、E 之间的像素点,与像素点 E 间的阻抗的差值小于像素点 A 和像素点 E 间阻抗的差值,因此需要的延迟补偿也相对较小,需按照时序控制信号的延迟时间与像素点 E 距同一列其它像素点间阻抗的差值大小呈正比关系进行调节。同理,液晶面板上其它列也按照上述步骤调节。然后再根据液晶面板上最后一列相距其它列间阻抗的差值大小调节时序控制信号的延迟时间,

如液晶面板最后一列相距液晶面板上第一列间阻抗的差值最大,需要调整第一列的时序控制信号晚于最后一列的时序控制信号输出,从而补偿第一列和最后一列之间由于栅极驱动器控制信号在玻璃基板走线上的延迟。第一列和最后一列之间的列,与最后一列间阻抗的差值的小于第一列和最后一列间阻抗的差值,因此需要的延迟补偿也相对较小,需要按照源极驱动器控制信号的延迟时间与液晶面板上最后一列与其它列间阻抗的差值大小呈正比关系进行调节。最终调节至液晶面板上所有像素点的充电时间基本一致,则调节完毕。

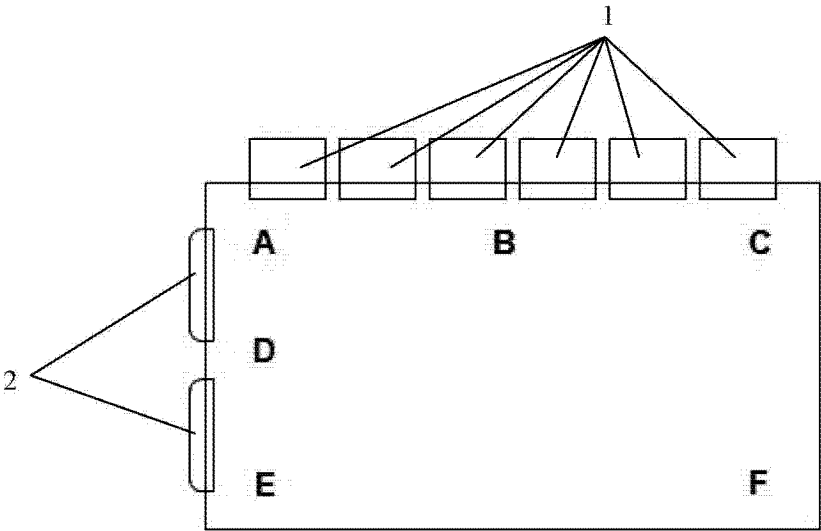


图 1

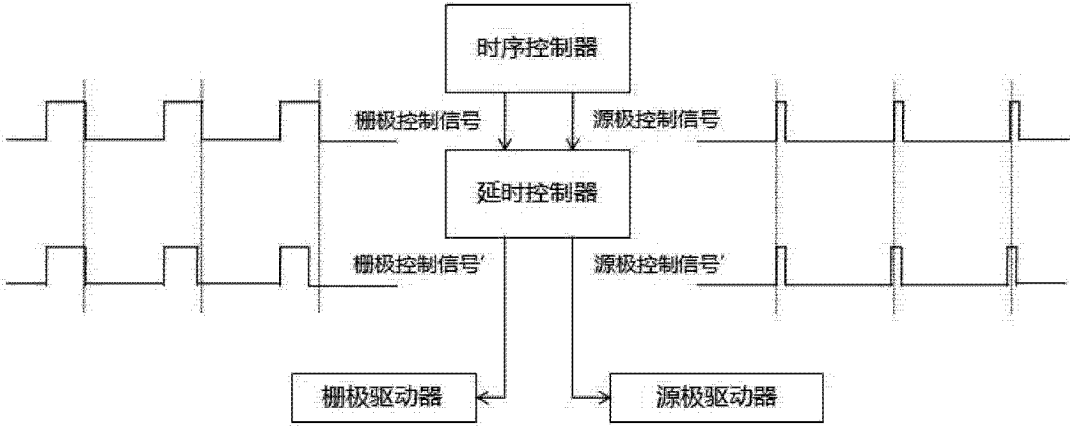


图 2

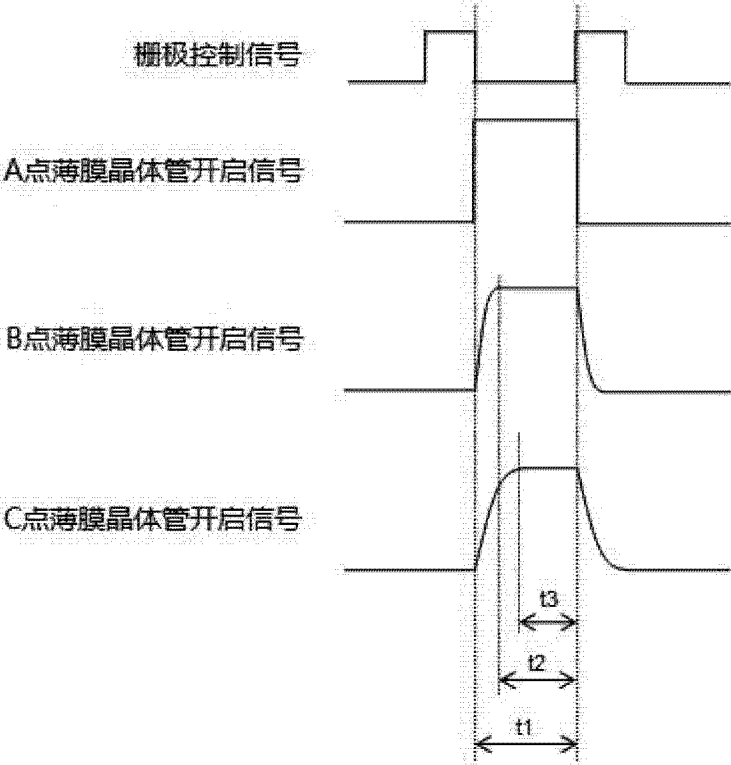


图 3

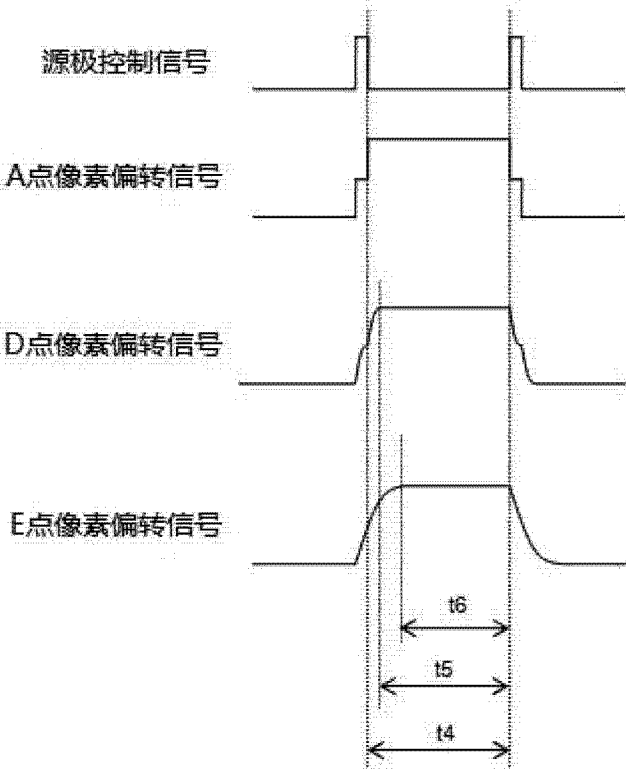


图 4

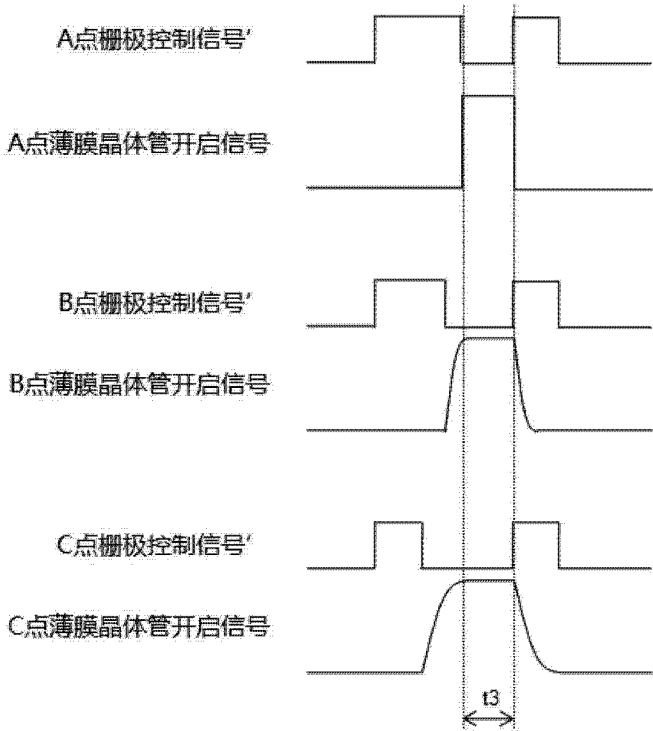


图 5

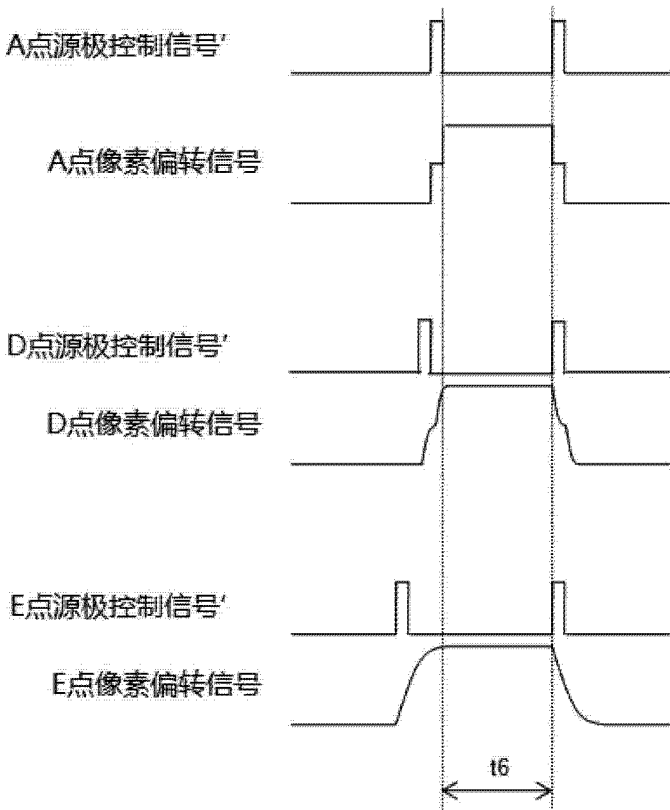


图 6

专利名称(译)	一种显示基板的驱动控制单元、驱动电路及驱动控制方法		
公开(公告)号	CN103198803A	公开(公告)日	2013-07-10
申请号	CN201310101057.6	申请日	2013-03-27
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
[标]发明人	段欣		
发明人	段欣		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3611 G09G2310/08 G09G2320/0223		
代理人(译)	王莹		
其他公开文献	CN103198803B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种显示基板的驱动控制单元、驱动电路及驱动控制方法，包括时序控制器和延时控制器，所述时序控制器向延时控制器发送时序控制信号，延时控制器用于根据所述显示基板的像素点所连接的驱动信号线的阻抗，来调节所述时序控制信号，使像素点的实际充电时长处于预设的时长范围内。本发明根据液晶面板上像素点的位置改变像素点的时序控制信号，使不同位置像素的时序控制信号各不相同，以不同的时序控制信号，补偿由于信号线延迟造成的充电时间误差，保证液晶面板不同位置的像素充电效果一致性。

