



(12)实用新型专利

(10)授权公告号 CN 206040189 U

(45)授权公告日 2017.03.22

(21)申请号 201621052854.5

(22)申请日 2016.09.13

(73)专利权人 凌巨科技股份有限公司

地址 中国台湾苗栗县

(72)发明人 周凯茹 吴哲耀 陈辰恩 江宜达

蔡承谕 郑光廷 刘柏村

(74)专利代理机构 北京科龙寰宇知识产权代理

有限责任公司 11139

代理人 孙皓晨

(51) Int. Cl.

G09G 3/36(2006.01)

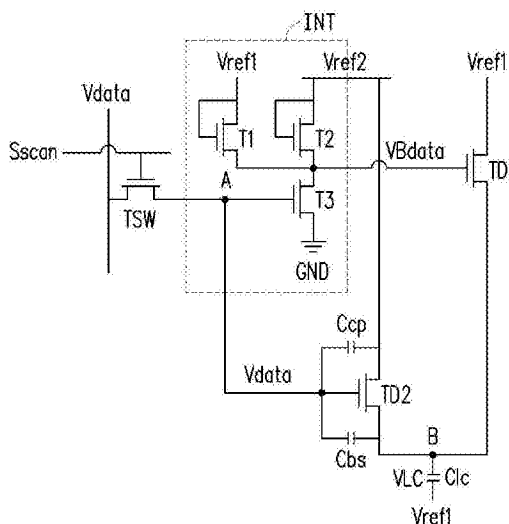
权利要求书1页 说明书4页 附图2页

(54)实用新型名称

像素电路

(57)摘要

本实用新型公开了一种像素电路,其包括一开关晶体管、一反相电路、一第一驱动晶体管、一第二驱动晶体管、一耦合电容、一靴带电容及一液晶电容。开关晶体管接收一像素电压及一扫描信号。反相电路耦接开关晶体管以接收像素电压,并且提供一反相像素电压。第一驱动晶体管接收一第一参考电压及反相像素电压。第二驱动晶体管接收一第二参考电压及像素电压。耦合电容耦接于第二参考电压与第二驱动晶体管之间。靴带电容耦接于第二驱动晶体管与液晶电容之间。液晶电容耦接于第一驱动晶体管、第二驱动晶体管与第一参考电压之间。



1. 一种像素电路,其特征在于,包括:

一开关晶体管,该开关晶体管的一第一端接收一像素电压,该开关晶体管的一控制端接收一扫描信号;

一反相电路,耦接该开关晶体管的一第二端以接收该像素电压,并且提供一反相像素电压;

一第一驱动晶体管,该第一驱动晶体管的一第一端接收一第一参考电压,该第一驱动晶体管的一控制端耦接该反相电路以接收该反相像素电压;

一第二驱动晶体管,该第二驱动晶体管的一第一端接收一第二参考电压,该第二驱动晶体管的一控制端接收该像素电压,该第二驱动晶体管的一第二端耦接该第一驱动晶体管的一第二端;

一耦合电容,耦接于该第二参考电压与该第二驱动晶体管的该控制端之间;

一靴带电容,耦接于该第二驱动晶体管的该控制端与该第二驱动晶体管的该第二端之间;以及

一液晶电容,耦接于该第一驱动晶体管的该第二端与该第一参考电压之间。

2. 根据权利要求1所述的像素电路,其特征在于,该反相电路包括:

一第一晶体管,该第一晶体管的一第一端及一控制端接收该第一参考电压,该第一晶体管的一第二端提供该反相像素电压;

一第二晶体管,该第二晶体管的一第一端及一控制端接收该第二参考电压,该第二晶体管的该第二端耦接该第一晶体管的该第二端;以及

一第三晶体管,该第三晶体管的一第一端耦接该第一晶体管的该第二端,该第三晶体管的一控制端接收该像素电压,该第三晶体管的一第二端接收一接地电压。

3. 根据权利要求2所述的像素电路,其特征在于,该开关晶体管、该第一驱动晶体管、该第二驱动晶体管、该第一晶体管、该第二晶体管及该第三晶体管分别为一非晶硅薄膜晶体管。

4. 根据权利要求3所述的像素电路,其特征在于,该开关晶体管、该第一驱动晶体管、该第二驱动晶体管、该第一晶体管、该第二晶体管及该第三晶体管分别为一N型薄膜晶体管。

5. 根据权利要求1所述的像素电路,其特征在于,该第一参考电压及该第二参考电压分别为一交流电压。

6. 根据权利要求5所述的像素电路,其特征在于,该第一参考电压及该第二参考电压分别为一系统高电压及一系统低电压。

7. 根据权利要求1所述的像素电路,其特征在于,该第一参考电压及该第二参考电压的频率小于等于2赫兹。

8. 根据权利要求7所述的像素电路,其特征在于,该开关晶体管的导通频率为1赫兹。

像素电路

技术领域

[0001] 本实用新型涉及一种电路,尤其是涉及一种像素电路。

背景技术

[0002] 由于薄膜晶体管液晶显示器(TFT-LCDs, Thin Film Transistor Liquid Crystal Displays)具有画质质量高、空间利用效率高、消耗功率低、无辐射等特点,已成为现代显示科技产品的主流。相对于多晶硅薄膜晶体管(Poly-Si TFT)而言,使用非晶硅薄膜晶体管(a-Si TFT)制作的显示器更能够降低生产成本,且能够在低温下制作在大面积的玻璃基板上,提高生产速度。

[0003] 随着液晶显示器的功率消耗问题越来越被重视,许多显示产品开始研发降低功率的方案,其一就是使用像素内的存储电路(memory in pixel circuit, M1P),以降低数据驱动电路(Data driver)的功耗。然而,目前大部分使用多晶硅薄膜晶体管设计像素内的存储电路,但像素内的存储电路无法应用在使用非晶硅薄膜晶体管的大型广告牌或电子卷标上,因此必须以崭新的方式去设计像素内的存储电路,以利用非晶硅薄膜晶体管达到与多晶硅薄膜晶体管相同的效果。

实用新型内容

[0004] 本实用新型提供一种像素电路,其具有存储电路,以在低画面更新率下,避免液晶被极化。

[0005] 本实用新型提供的像素电路,包括一开关晶体管、一反相电路、一第一驱动晶体管、一第二驱动晶体管、一耦合电容、一靴带电容及一液晶电容。开关晶体管的一第一端接收一像素电压,开关晶体管的一控制端接收一扫描信号。反相电路耦接开关晶体管的一第二端以接收像素电压,并且提供一反相像素电压。第一驱动晶体管的一第一端接收一第一参考电压,第一驱动晶体管的一控制端耦接反相电路以接收反相像素电压。第二驱动晶体管的一第一端接收一第二参考电压,第二驱动晶体管的一控制端接收像素电压,第二驱动晶体管的一第二端耦接第一驱动晶体管的一第二端。耦合电容耦接于第二参考电压与第二驱动晶体的控制端之间。靴带电容耦接于第二驱动晶体的控制端与第二驱动晶体的第二端之间。液晶电容耦接于第一驱动晶体的第二端与第一参考电压之间。

[0006] 在本实用新型的一实施例中,该反相电路包括:

[0007] 一第一晶体管,该第一晶体管的一第一端及一控制端接收该第一参考电压,该第一晶体管的一第二端提供该反相像素电压;

[0008] 一第二晶体管,该第二晶体管的一第一端及一控制端接收该第二参考电压,该第二晶体管的该第二端耦接该第一晶体管的该第二端;以及

[0009] 一第三晶体管,该第三晶体管的一第一端耦接该第一晶体管的该第二端,该第三晶体管的一控制端接收该像素电压,该第三晶体管的一第二端接收一接地电压。

[0010] 在本实用新型的一实施例中,该开关晶体管、该第一驱动晶体管、该第二驱动晶体

管、该第一晶体管、该第二晶体管及该第三晶体管分别为一非晶硅薄膜晶体管。

[0011] 在本实用新型的一实施例中,该开关晶体管、该第一驱动晶体管、该第二驱动晶体管、该第一晶体管、该第二晶体管及该第三晶体管分别为一N型薄膜晶体管。

[0012] 在本实用新型的一实施例中,该第一参考电压及该第二参考电压分别为一交流电压。

[0013] 在本实用新型的一实施例中,该第一参考电压及该第二参考电压分别为一系统高电压及一系统低电压。

[0014] 在本实用新型的一实施例中,该第一参考电压及该第二参考电压的频率小于等于2赫兹。

[0015] 在本实用新型的一实施例中,该开关晶体管的导通频率为1赫兹。

[0016] 基于上述,本实用新型提供的像素电路通过反相电路、第一驱动晶体管、第二驱动晶体管、耦合电容及靴带电容自动变换液晶电容跨压的极性,以在低画面更新率下,避免液晶被极化。

[0017] 为了让本实用新型的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0018] 图1为本实用新型一实施例的像素电路的电路示意图;

[0019] 图2为本实用新型一实施例的像素电路的驱动波形示意图。

[0020] 附图标记说明:100-像素电路;A、B-节点;Cbs-靴带电容;Ccp-耦合电容;Clc-液晶电容;1NT-反相电路;PF1、PF2、T1~T6-期间;Sscan-扫描信号;T1-第一晶体管;T2-第二晶体管;T3-第三晶体管;TD1-第一驱动晶体管;TD2-第二驱动晶体管;TSW-开关晶体管;VBdata-反相像素电压;Vdata-像素电压;VH-系统高电压;VL-系统低电压;Vref1-第一参考电压;Vref2-第二参考电压;Vth-临界电压; ΔV -电压。

具体实施方式

[0021] 图1为本实用新型一实施例的像素电路的电路示意图。如图1所示,在本实施例中,像素电路100包括开关晶体管TSW、反相电路1NT、第一驱动晶体管TD1、第二驱动晶体管TD2、耦合电容Ccp、靴带电容Cbs及液晶电容Clc。其中,反相电路1NT、第一驱动晶体管TD1、第二驱动晶体管TD2、耦合电容Ccp及靴带电容Cbs可视为像素电路100内的存储电路。

[0022] 开关晶体管TSW的汲极(对应第一端)接收数据驱动电路(未绘示)所提供的像素电压Vdata,开关晶体管TSW的闸极(对应控制端)接收闸极驱动电路(未绘示)提供的扫描信号Sscan。反相电路1NT耦接开关晶体管TSW的源极(对应第二端)以接收开关晶体管TSW所传送的像素电压Vdata,并且提供反相像素电压VBdata。第一驱动晶体管TD1的汲极(对应第一端)接收电源供应器(未绘示)所提供的第一参考电压Vref1,第一驱动晶体管TD1的闸极(对应控制端)耦接反相电路1NT以接收反相像素电压VBdata。

[0023] 第二驱动晶体管TD2的汲极(对应第一端)接收电源供应器(未绘示)所提供的第二参考电压Vref2,第二驱动晶体管TD2的闸极(对应控制端)接收像素电压Vdata,第二驱动晶体管TD的源极(对应第二端)耦接第一驱动晶体管TD1的源极(对应第二端)。耦合电容Ccp耦

接于第二参考电压Vref2与第二驱动晶体管TD2的栅极之间。靴带电容Cbs耦接于第二驱动晶体管TD2的栅极与第二驱动晶体管TD2的源极之间。液晶电容C1c耦接于第一驱动晶体管TD1的源极与第一参考电压Vref1之间。

[0024] 在本实施例中,反相电路1NT包括第一晶体管T1、第二晶体管T2及第三晶体管T3。第一晶体管T1的汲极(对应第一端)与门极(对应控制端)接收第一参考电压Vref1,第一晶体管T1的源极(对应第二端)提供反相像素电压VBdata。第二晶体管T2的汲极(对应第一端)与门极(对应控制端)接收第二参考电压Vref2,第二晶体管T2的源极(对应第二端)耦接第一晶体管T1的源极。第三晶体管T3的汲极(对应第一端)耦接第一晶体管T1的源极,第三晶体管T3的栅极(对应控制端)接收像素电压Vdata,第三晶体管T3的源极(对应第二端)接收接地电压。

[0025] 在本实施例中,开关晶体管TSW、第一驱动晶体管TD1、第二驱动晶体管TD2、第一晶体管T1、第二晶体管T2及第三晶体管T3分别为一非晶硅(a-Si)薄膜晶体管、并且开关晶体管TSW、第一驱动晶体管TD1、第二驱动晶体管TD2、第一晶体管T1、第二晶体管T2及第三晶体管T3分别为一N型薄膜晶体管。其中,第三晶体管T3的长宽比大于第一晶体管T1及第二晶体管T2的长宽比。

[0026] 图2为本实用新型一实施例的像素电路的驱动波形示意图。如图1及图2所示,在本实施例中,假设一个画面期间(如期间PF1、PF2)的时间长度为1秒,亦即像素100的画面更新率为1赫兹(Hz),此时开关晶体管TSW的导通频率为1赫兹(Hz)。并且,假设一个画面期间(如期间PF1、PF2)分别三个时间区段(如期间T1~T3或T4~T6),其中期间T3(或T6)的时间长度可等于期间T1、T2(或T4、T5)的时间长度的总和。

[0027] 此外,第一参考电压Vref1及第二参考电压Vref2分别为一交流电压,第一参考电压Vref1及第二参考电压Vref2分别为系统高电压VH及系统低电压VL,并且第一参考电压Vref1及第二参考电压Vref2的频率等于2赫兹。

[0028] 在期间T1中,扫描信号Sscan会使能(enable),而开关晶体管TSW通过扫描信号Sscan的抬升而导通,使得为系统高电压VH的像素电压Vdata传送至节点A。此时,晶体管T3及第二驱动晶体管TD2呈现导通,因此反相像素电压VBdata为系统低电压VL,使得第一驱动晶体管TD1截止,并且因第二参考电压Vref2为系统低电压VL,使得节点B的电压准位为系统低电压VL。此时,液晶电容C1c两端的跨压VLC为VL-VH=-VH。

[0029] 在期间T2中,扫描信号Sscan会禁能(disable),但节点A、B与反相像素电压VBdata的电压准位保持与期间T1相同,亦即跨压VLC仍保持为-VH。

[0030] 在期间T3中,第一参考电压Vref1由系统高电压VH转变为系统低电压VL,第二参考电压Vref2由系统低电压VL转变为系统高电压VH。此时,通过耦合电容Ccp,节点A的电压准位会耦合至系统高电压VH+ΔV,亦即节点A的电压准位耦合至更高的电压准位,使得系统高电压VH传送至节点B,并且通过靴带电容Cbs抬升节点A的电压准位,其中ΔV大于0但小于系统高电压VH并且ΔV可接近系统高电压VH。并且,跨压VLC为VH-VL=VH,完成极性反转的工作。

[0031] 在期间T4中,扫描信号Sscan会使能,而开关晶体管TSW通过扫描信号Sscan的抬升而导通,使得为系统低电压VL的像素电压Vdata传送至节点A。此时,晶体管T3及第二驱动晶体管TD2呈现截止,因此反相像素电压VBdata为系统高电压VH减去晶体管的临界电压Vth,

使得第一驱动晶体管TD1导通。此时,为系统高电压VH的第一参考电压Vref1通过导通的第一驱动晶体管TD1传送至节点B,使得液晶电容C1c的跨压VLC为 $(VH-2V_{th})-VH=-2V_{th}$ 。

[0032] 在期间T5中,扫描信号Sscan会禁能,但节点A、B与反相像素电压VBdata的电压准位保持与期间T1相同,亦即跨压VLC仍保持为 $-2V_{th}$ 。

[0033] 在期间T6中,第一参考电压Vref1由系统高电压VH转变为系统低电压VL,第二参考电压Vref2由系统低电压VL转变为系统高电压VH。此时,节点A的电压准位仍保持于系统低电压VL,而系统低电压VL会通过导通的第一驱动晶体管TD1传送至节点B,使得跨压VLC为 $VL-VL=0$ 。

[0034] 在本实施例中,第一参考电压Vref1及第二参考电压Vref2的频率等于2赫兹,但在其他实施例中,第一参考电压Vref1及第二参考电压Vref2的频率可小等2赫兹,可根据具体情况而定。

[0035] 综上所述,本实用新型提供的像素电路通过反相电路、第一驱动晶体管、第二驱动晶体管、耦合电容及靴带电容自动变换液晶电容跨压的极性,以在低画面更新率下避免液晶被极化。并且,本实用新型提供的像素电路具有下列优点:

[0036] 1. 本实用新型通过两个反相的第一参考电压及第二参考电压,将第一驱动晶体管、第二驱动晶体管、第一晶体管、第二晶体管及第三晶体管为正偏压的时间缩短为一半,以延长第一驱动晶体管、第二驱动晶体管、第一晶体管、第二晶体管及第三晶体管的使用寿命。

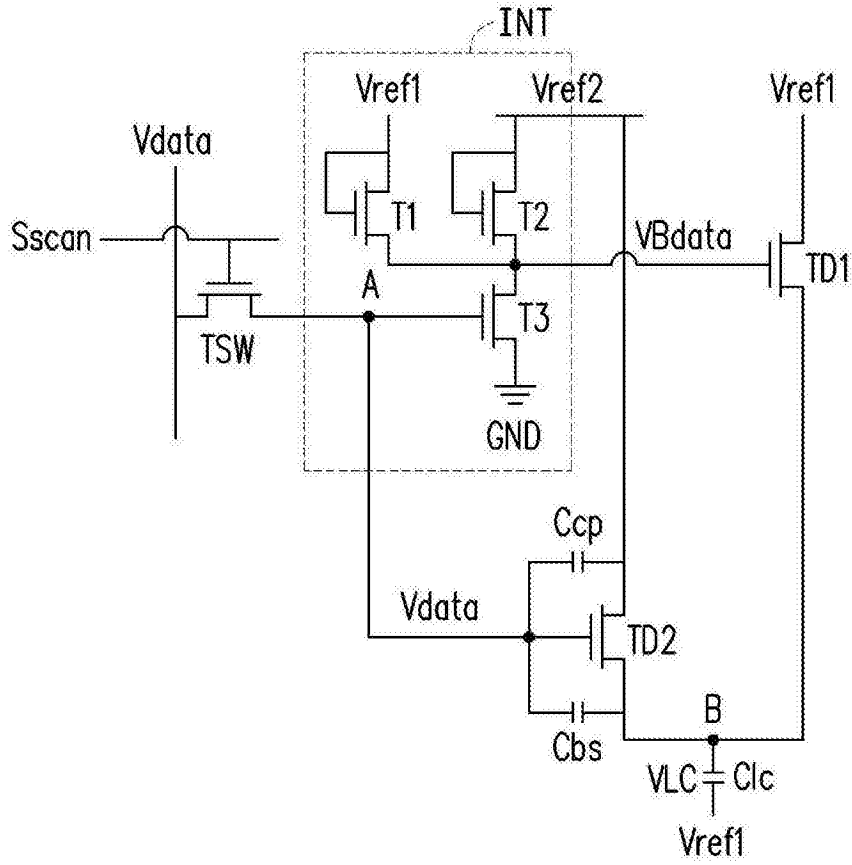
[0037] 2. 本实用新型利用耦合电容及靴带电容于第一参考电压及第二参考电压变动时,将第二驱动晶体管的栅极电压向上拉至更高点,使第二驱动晶体管可以更完全的传送系统高电压,减少受到栅极电压限制的影响。

[0038] 3. 本实用新型可利用非晶硅薄膜晶体管取代多晶硅薄膜晶体管,成本大大降低,制作难度大幅降低,并且可提高制作速度及可靠度。

[0039] 4. 本实用新型可利用交流的第一参考电压及第二参考电压(亦即交流共同电压(AC Vcom)的结构)缩小输入电压的范围,以有效地减少动态功率的消耗。

[0040] 5. 本实用新型将像素电路操控在1赫兹的操作频率,可确保在待机画面时可以直接使用此电路进行更新,从而可以不用通过数据驱动电路(未绘示)再次输送电压给像素电极,进而减少数据驱动电路(未绘示)的操作以节省交流电源的消耗。

[0041] 虽然本实用新型已以实施例揭露如上,然其并非用以限定本实用新型,任何所属技术领域中具有通常知识者,在不脱离本实用新型的精神和范围内,当可作些许的更动与润饰,故本实用新型的保护范围当视本案权利要求范围所界定为准。



100

图1

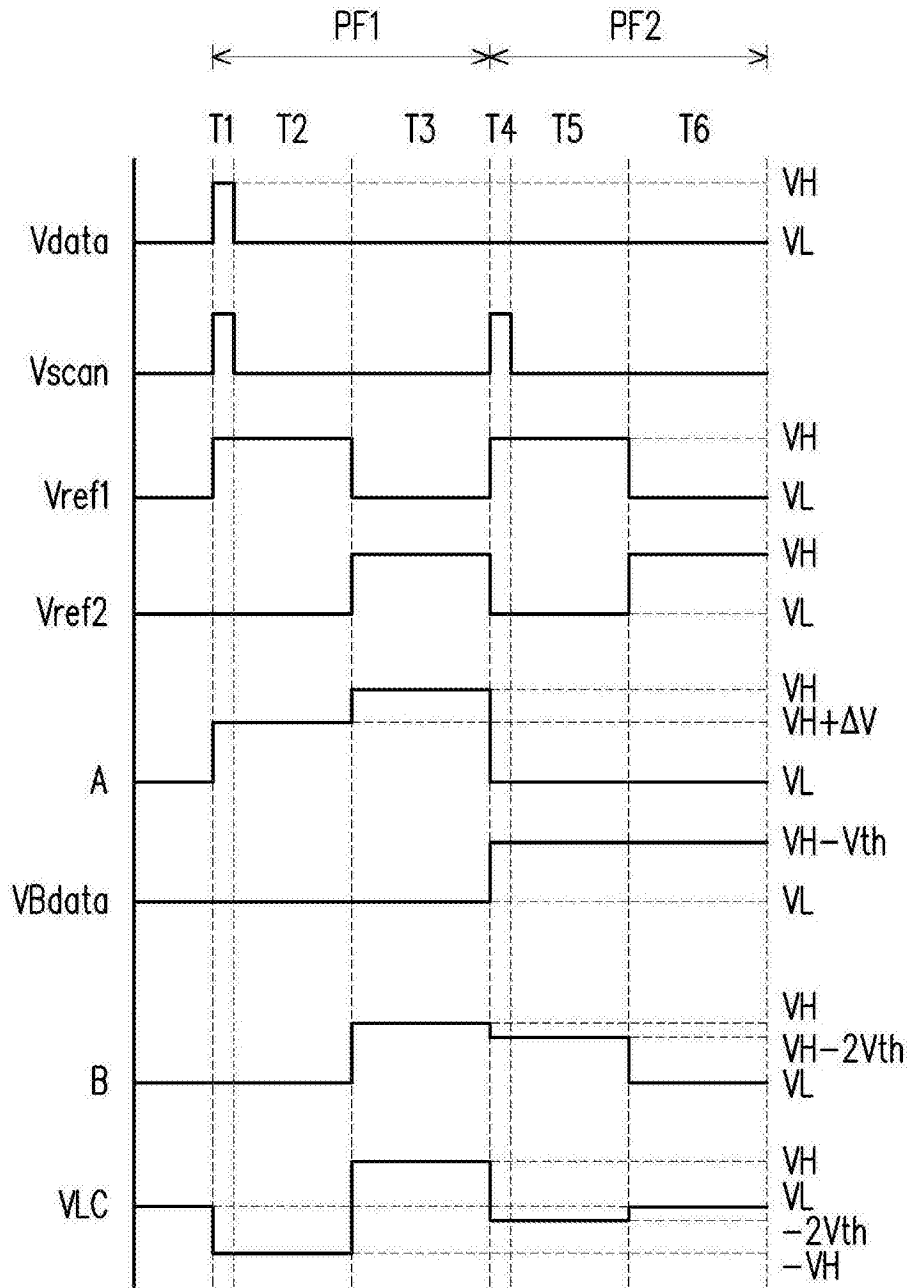


图2

专利名称(译)	像素电路		
公开(公告)号	CN206040189U	公开(公告)日	2017-03-22
申请号	CN201621052854.5	申请日	2016-09-13
[标]申请(专利权)人(译)	凌巨科技股份有限公司		
申请(专利权)人(译)	凌巨科技股份有限公司		
当前申请(专利权)人(译)	凌巨科技股份有限公司		
[标]发明人	周凯茹 吴哲耀 陈辰恩 江宜达 蔡承谕 郑光廷 刘柏村		
发明人	周凯茹 吴哲耀 陈辰恩 江宜达 蔡承谕 郑光廷 刘柏村		
IPC分类号	G09G3/36		
代理人(译)	孙皓晨		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了一种像素电路，其包括一开关晶体管、一反相电路、一第一驱动晶体管、一第二驱动晶体管、一耦合电容、一靴带电容及一液晶电容。开关晶体管接收一像素电压及一扫描信号。反相电路耦接开关晶体管以接收像素电压，并且提供一反相像素电压。第一驱动晶体管接收一第一参考电压及反相像素电压。第二驱动晶体管接收一第二参考电压及像素电压。耦合电容耦接于第二参考电压与第二驱动晶体管之间。靴带电容耦接于第二驱动晶体管与液晶电容之间。液晶电容耦接于第一驱动晶体管、第二驱动晶体管与第一参考电压之间。

