



(12)发明专利申请

(10)申请公布号 CN 109243395 A

(43)申请公布日 2019.01.18

(21)申请号 201811284578.9

(22)申请日 2018.10.30

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 张舜航 贾玉娥

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51)Int.Cl.

G09G 3/36(2006.01)

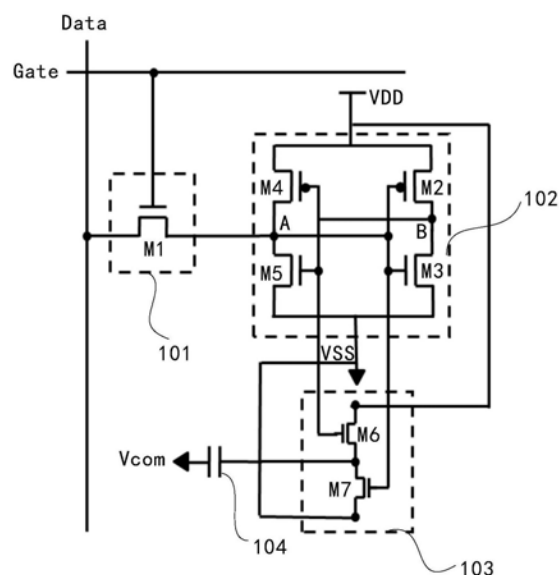
权利要求书2页 说明书5页 附图6页

(54)发明名称

一种像素电路、显示面板及其驱动方法

(57)摘要

本发明实施例提供一种像素电路、显示面板及其驱动方法,涉及液晶驱动技术领域,能够解决现有的像素电路中信号线较多而导致的电路结构复杂,显示面板功耗较大的问题。所述像素电路包括开关单元、存储单元和驱动单元;开关单元连接栅线、数据线和存储单元,用于在栅线上的信号的控制下,将数据线上的信号传输给存储单元;存储单元连接第一电压端、第二电压端和驱动单元,用于在开关单元的控制下,将第一电压端或第二电压端的信号传输给驱动单元;驱动单元连接第一电压端、第二电压端和像素电极,用于在存储单元的控制下,将第一电压端或第二电压端的信号传输给像素电极。本发明用于像素电路。



1. 一种像素电路,其特征在于,包括开关单元、存储单元和驱动单元;

所述开关单元连接栅线、数据线和所述存储单元,用于在所述栅线上的信号的控制下,将所述数据线上的信号传输给所述存储单元;

所述存储单元连接第一电压端、第二电压端和所述驱动单元,用于在所述开关单元的控制下,将所述第一电压端或所述第二电压端的信号传输给所述驱动单元;

所述驱动单元连接所述第一电压端、所述第二电压端和像素电极,用于在所述存储单元的控制下,将所述第一电压端或所述第二电压端的信号传输给所述像素电极。

2. 根据权利要求1所述的像素电路,其特征在于,还包括公共电极;

当显示黑色画面时,所述公共电极的电压与所述第二电压端的电压一致;

当显示白色画面时,所述公共电极的电压与所述第一电压端的电压之差为交替变换的H和-H;其中,H不等于0。

3. 根据权利要求1或2所述的像素电路,其特征在于,所述开关单元包括第一晶体管,所述第一晶体管的栅极连接所述栅线,第一极连接所述数据线,第二极连接所述存储单元的第一点。

4. 根据权利要求3所述的像素电路,其特征在于,所述存储单元包括第二晶体管、第三晶体管、第四晶体管和第五晶体管,

所述第二晶体管的栅极连接所述第一点,第一极连接所述第一电压端,第二极连接所述存储单元的第二点;

所述第三晶体管的栅极连接所述第一点,第一极连接第二电压端,第二极连接所述第二点;

所述第四晶体管的栅极连接所述第二点,第一极连接所述第一电压端,第二极连接所述第一点;

所述第五晶体管的栅极连接所述第二点,第一极连接所述第二电压端,第二极连接所述第一点;

其中,所述第二晶体管与所述第三晶体管以及所述第四晶体管与所述第五晶体管互为N型和P型晶体管。

5. 根据权利要求4所述的像素电路,其特征在于,所述驱动单元包括第六晶体管和第七晶体管;

所述第六晶体管的栅极连接所述第二点,第一极连接所述第一电压端,第二极连接所述像素电极;

所述第七晶体管的栅极连接所述第一点,第一极连接所述第二电压端,第二极连接所述像素电极。

6. 根据权利要求1或2所述的像素电路,其特征在于,所述第一电压端为高电平电压端,所述第二电压端为低电平电压端。

7. 根据权利要求5所述的像素电路,其特征在于,所述第二晶体管和所述第四晶体管为P型晶体管;所述第一晶体管、所述第三晶体管、所述第五晶体管、所述第六晶体管和所述第七晶体管均为N型晶体管。

8. 一种显示面板,其特征在于,包括权利要求1至6中任意一项所述的像素电路。

9. 一种用于权利要求8所述的显示面板的驱动方法,其特征在于,所述驱动方法包括:

当显示黑色画面时,向所述公共电极输入直流电压,所述公共电极的电压与所述第二电压端的电压之差为0;

当显示白色画面时,向所述公共电极输入交流电压,所述公共电极的电压与所述第一电压端的电压之差为H和-H。

一种像素电路、显示面板及其驱动方法

技术领域

[0001] 本发明涉及液晶驱动技术领域,尤其涉及一种像素电路、显示面板及其驱动方法。

背景技术

[0002] MIP (Memory in Pixel,像素内存存储单元)技术由于其低功耗的特性而广泛应用在穿戴产品中。现有的MIP-SPI (Serial Peripheral Interface,串行外设接口)技术将集成电路集成在显示面板中,利用该技术制作的穿戴产品功耗较低,待机长达一个月。而在针对像素的RAM MIP结构中,每个像素电路中均设置有高电平电压VDD、低电平电压VSS、以及由信号产生模块(也称Vcom模块)产生的正向参考电位FRP (Forward Reference Potential)和反向参考电位XFRP这四条信号线,这四条信号线会布满整个显示面板上,这样会导致显示面板上的结构较为复杂。另外,FRP和XFRP两个信号通常是60Hz的方波信号,在低频显示模式中,FRP和XFRP两个信号的功耗较大,这样会导致整个显示面板的功耗较大。

发明内容

[0003] 本发明的实施例提供一种像素电路、显示面板及其驱动方法,能够解决现有的像素电路中信号线较多而导致的电路结构复杂,显示面板功耗较大的问题。

[0004] 为达到上述目的,本发明的实施例采用如下技术方案:

[0005] 一方面,本发明实施例提供一种像素电路,包括开关单元、存储单元和驱动单元;所述开关单元连接栅线、数据线和所述存储单元,用于在所述栅线上的信号的控制下,将所述数据线上的信号传输给所述存储单元;所述存储单元连接第一电压端、第二电压端和所述驱动单元,用于在所述开关单元的控制下,将所述第一电压端或所述第二电压端的信号传输给所述驱动单元;所述驱动单元连接所述第一电压端、所述第二电压端和像素电极,用于在所述存储单元的控制下,将所述第一电压端或所述第二电压端的信号传输给所述像素电极。

[0006] 可选的,还包括公共电极;当显示黑色画面时,所述公共电极的电压与所述第二电压端的电压一致;当显示白色画面时,所述公共电极的电压与所述第一电压端的电压之差为交替变换的H和-H;其中,H不等于0。

[0007] 可选的,所述开关单元包括第一晶体管,所述第一晶体管的栅极连接所述栅线,第一极连接所述数据线,第二极连接所述存储单元的第一点。

[0008] 可选的,所述存储单元包括第二晶体管、第三晶体管、第四晶体管和第五晶体管,所述第二晶体管的栅极连接所述第一点,第一极连接所述第一电压端,第二极连接所述存储单元的第二点;所述第三晶体管的栅极连接所述第一点,第一极连接第二电压端,第二极连接所述第二点;所述第四晶体管的栅极连接所述第二点,第一极连接所述第一电压端,第二极连接所述第一点;所述第五晶体管的栅极连接所述第二点,第一极连接所述第二电压端,第二极连接所述第一点;其中,所述第二晶体管与所述第三晶体管以及所述第四晶体管与所述第五晶体管互为N型和P型晶体管。

[0009] 可选的,所述驱动单元包括第六晶体管和第七晶体管;所述第六晶体管的栅极连接所述第二点,第一极连接所述第一电压端,第二极连接所述像素电极;所述第七晶体管的栅极连接所述第一点,第一极连接所述第二电压端,第二极连接所述像素电极。

[0010] 可选的,所述第一电压端为高电平电压端,所述第二电压端为低电平电压端。

[0011] 可选的,所述第二晶体管和所述第四晶体管为P型晶体管;所述第一晶体管、所述第三晶体管、所述第五晶体管、所述第六晶体管和所述第七晶体管均为N型晶体管。

[0012] 另一方面,本发明实施例提供一种显示面板,包括上述任意一种所述的像素电路。

[0013] 再一方面,本发明实施例提供一种用于上述任意一种所述的显示面板的驱动方法,所述驱动方法包括:当显示黑色画面时,向所述公共电极输入直流电压,所述公共电极的电压与所述第二电压端的电压之差为0;当显示白色画面时,向所述公共电极输入交流电压,所述公共电极的电压与所述第一电压端的电压之差为H和-H。

[0014] 本发明实施例提供的像素电路、显示面板及其驱动方法,所述像素电路包括开关单元、存储单元和驱动单元;开关单元连接栅线、数据线和存储单元,用于在栅线上的信号的控制下,将数据线上的信号传输给存储单元;存储单元连接第一电压端、第二电压端和驱动单元,用于在开关单元的控制下,将第一电压端或第二电压端的信号传输给驱动单元;驱动单元连接第一电压端、第二电压端和像素电极,用于在存储单元的控制下,将第一电压端或第二电压端的信号传输给像素电极。相较于现有技术,本发明实施例提供的像素电路通过将驱动单元连接在第一电压端和第二电压端上,这样复用了第一电压端和第二电压端,使其不仅起到高低电平的作用,同时兼顾FRP和XFRP的作用(即白信号和黑信号的写入功能),使得原本的FRP和XFRP两条信号线可以去掉,从而使得显示面板上的布线更加简单,像素空间更大,功耗更低。

附图说明

[0015] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0016] 图1为本发明实施例提供的像素电路的结构示意图一;

[0017] 图2为相关技术提供的像素电路的结构示意图;

[0018] 图3为相关技术提供的显示面板的结构示意图;

[0019] 图4为相关技术提供的显示面板的各信号源接口示意图;

[0020] 图5为相关技术提供的用于驱动显示面板的各信号的时序图;

[0021] 图6为本发明实施例提供的像素电路的结构示意图二;

[0022] 图7为本发明实施例提供的显示面板的结构示意图;

[0023] 图8为本发明实施例提供的用于驱动显示面板的各信号时序图;

[0024] 图9为本发明实施例提供的显示面板的各信号源接口示意图。

具体实施方式

[0025] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完

整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0026] 本发明实施例提供一种像素电路,如图1所示,包括开关单元101、存储单元102和驱动单元103;开关单元101连接栅线Gate、数据线Data和存储单元102,用于在栅线Gate上的信号的控制下,将数据线Data上的信号传输给存储单元102;存储单元102连接第一电压端V1、第二电压端V2和驱动单元103,用于在开关单元101的控制下,将第一电压端V1或第二电压端V2的信号传输给驱动单元103;驱动单元103连接第一电压端V1、第二电压端V2和像素电极104,用于在存储单元102的控制下,将第一电压端V1或第二电压端V2的信号传输给像素电极104。

[0027] 其中,第一电压端V1和第二电压端V2中一个为高电平电压端VDD,另一个为低电平电压端VSS,图2和图5中示出了第一电压端V1为高电平电压端VDD,第二电压端V2为低电平电压端VSS的例子。需要说明的是,这里的高、低仅表示输入的电压之间的相对大小关系,本发明实施例对于其具体数值不做限定,本领域技术人员可以根据实际情况进行设定。

[0028] 本发明实施例对于开关单元101、存储单元102和驱动单元103的具体结构不做限定,只要能实现各自的功能即可。

[0029] 这样一来,相较于现有技术,本发明实施例提供的像素电路通过将驱动单元连接在第一电压端和第二电压端上,这样复用了第一电压端和第二电压端,使其不仅起到高低电平的作用,同时兼顾FRP和XFRP的作用(即白信号和黑信号的写入功能),使得原本的FRP和XFRP两条信号线可以去掉,从而使得显示面板的布线更加简单,像素空间更大,功耗更低。

[0030] 进一步的,参考图6至图9所示,像素电路还包括公共电极;当显示黑色画面时,公共电极的电压Vcom与第二电压端V2的电压一致;当显示白色画面时,公共电极的电压Vcom与第一电压端V1的电压之差为交替变换的H和-H;其中,H不等于0。

[0031] 在相关技术中,如图2至图5所示,VDD一直为高电平,VSS一直为低电平,其作用是像素提供高低电平输入;FRP为黑色显示信号,其高低电平与Vcom一致,两者压差为0V,液晶不偏转,画面显示为黑;XFRP为白色显示信号,其高低电平与Vcom相反,压差为1H的电压,画面显示为白;由于显示面板在显示时,XFRP不能一直为高电平或低电平,因为这样会发生液晶极化,所以XFRP信号为高低电平交替进行,对应的Vcom和FRP信号也为高低电平交替的信号。

[0032] 在本发明实施例中,参考图6至图8所示,当采用VDD和VSS复用为XRP和FXRP功能后,由于VDD和VSS为直流电压,其在显示阶段没有高低电平切换,这样,在显示面板进行显示时,液晶一直处于一个偏压下,会有极化的问题,于是我们改变Vcom的电压变化,如图7所示,在显示为白时,可以向公共电极输入高压为2H的交流电压,低电压不变,这样Vcom和VDD的压差就变成了H和-H,正负切换,可以实现液晶的翻转,避免极化的问题;而在显示为黑时,可以向公共电极输入与VSS一样的直流电压,此时液晶不动,显示为黑。

[0033] 将本发明实施例的附图7和附图9与相关技术的附图3和附图4作对比,可以看出,本发明实施例中的信号产生模块只需产生Vcom信号,而不需要再产生FRP和XFRP信号,这样去掉XFRP和FRP信号线后,可以简化信号产生模块的结构,使得整个显示面板上的信号线大

幅减少,进而可以减少很多电阻和电容,降低电容电阻延时,同时降低整个显示面板上面的功耗。

[0034] 参考图5所示,在本发明的一些实施例中,开关单元101包括第一晶体管M1,第一晶体管M1的栅极连接栅线Gate,第一极连接数据线Data,第二极连接存储单元102的第一点A。图5中示出了第一晶体管M1为N型晶体管的例子。

[0035] 在实际应用中,开关单元101还可以包括并联的多个第一晶体管M1。上述仅仅是对开关单元101的举例说明,其它与该开关单元功能相同的结构在此不再一一赘述,但都应当属于本发明的保护范围。

[0036] 参考图5所示,存储单元102包括第二晶体管M2、第三晶体管M3、第四晶体管M4和第五晶体管M5,第二晶体管M2的栅极连接第一点A,第一极连接第一电压端V1,第二极连接存储单元102的第二点B;第三晶体管M3的栅极连接第一点A,第一极连接第二电压端V2,第二极连接第二点B;第四晶体管M4的栅极连接第二点B,第一极连接第一电压端V1,第二极连接第一点A;第五晶体管M5的栅极连接第二点B,第一极连接第二电压端V2,第二极连接第一点A;其中,第二晶体管M2与第三晶体管M3以及第四晶体管M4与第五晶体管M5互为N型和P型晶体管。图5中示出了第二晶体管M2和第四晶体管M4为P型晶体管;第三晶体管M3和第五晶体管M5为N型晶体管的例子。

[0037] 在实际应用中,存储单元102还可以包括与第二晶体管M2并联的多个开关晶体管、和/或与第三晶体管M3并联的多个开关晶体管、和/或与第四晶体管M4并联的多个开关晶体管、和/或与第五晶体管M5并联的多个开关晶体管。上述仅仅是对存储单元102的举例说明,其它与存储单元102功能相同的结构在此不再一一赘述,但都应当属于本发明的保护范围。

[0038] 参考图5所示,驱动单元103包括第六晶体管M6和第七晶体管M7;第六晶体管M6的栅极连接第二点B,第一极连接第一电压端V1,第二极连接像素电极104;第七晶体管M7的栅极连接第一点A,第一极连接第二电压端V2,第二极连接像素电极104。图5示出了第六晶体管M6和第七晶体管M7均为N型晶体管的例子。

[0039] 在实际应用中,驱动单元103还可以包括与第六晶体管M6并联的多个开关晶体管、和/或与第七晶体管M7并联的多个开关晶体管。上述仅仅是对驱动单元103的举例说明,其它与驱动单元103功能相同的结构在此不再一一赘述,但都应当属于本发明的保护范围。

[0040] 以上,需要说明的是,上述晶体管的第一极可以是漏极、第二极可以是源极;或者,第一极可以是源极、第二极可以是漏极。本发明实施例对此不作限制。

[0041] 本发明另一实施例提供一种用于上述任意一种所述的显示面板的驱动方法,所述驱动方法包括:当显示黑色画面时,向所述公共电极输入直流电压,所述公共电极的电压与所述第二电压端的电压之差为0;当显示白色画面时,向所述公共电极输入交流电压,所述公共电极的电压与所述第一电压端的电压之差为H和-H,其中H为不为0的数。

[0042] 本发明再一实施例提供一种显示面板,包括上述任意一种所述的像素电路。本发明实施例提供的像素电路通过将驱动单元连接在第一电压端和第二电压端上,这样复用了第一电压端和第二电压端,使其不仅起到高低电平的作用,同时兼顾FRP和XFRP的作用(即白信号和黑信号的写入功能),使得原本的FRP和XFRP两条信号线可以去掉,从而使得显示面板的布线更加简单,像素空间更大,功耗更低。

[0043] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何

熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

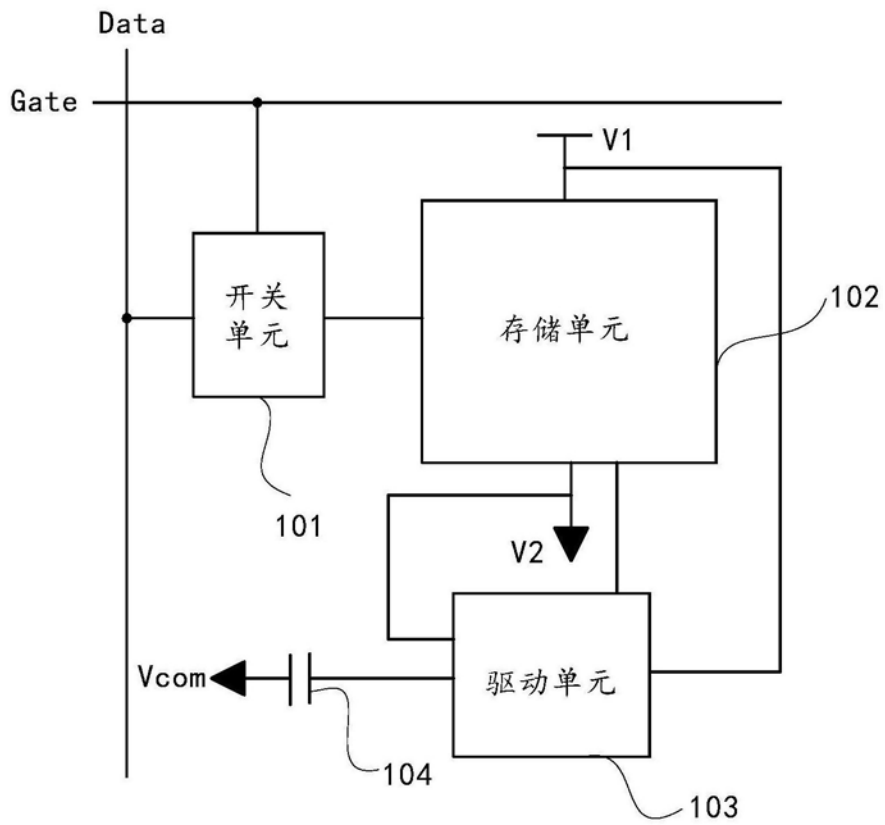


图1

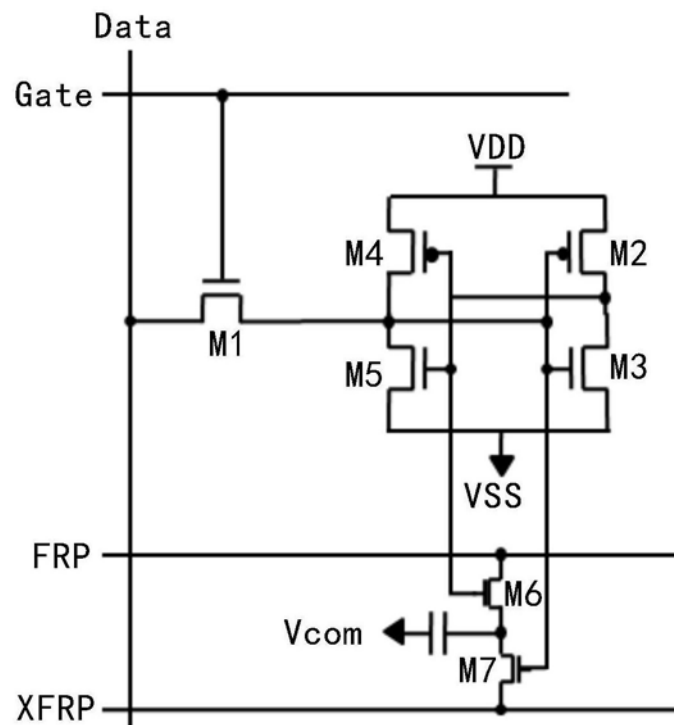


图2

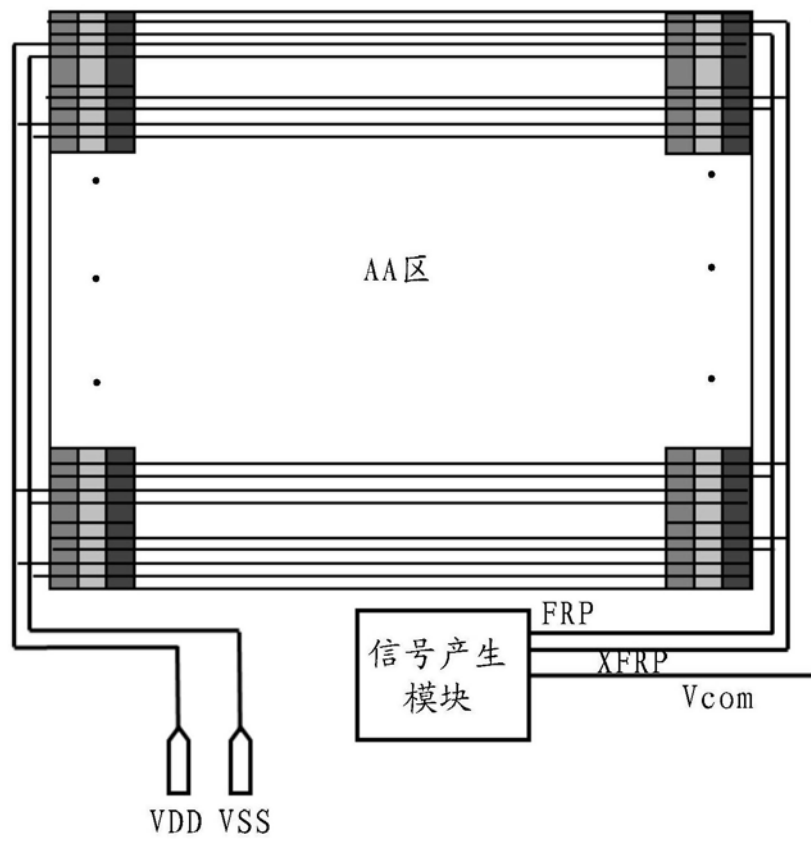


图3

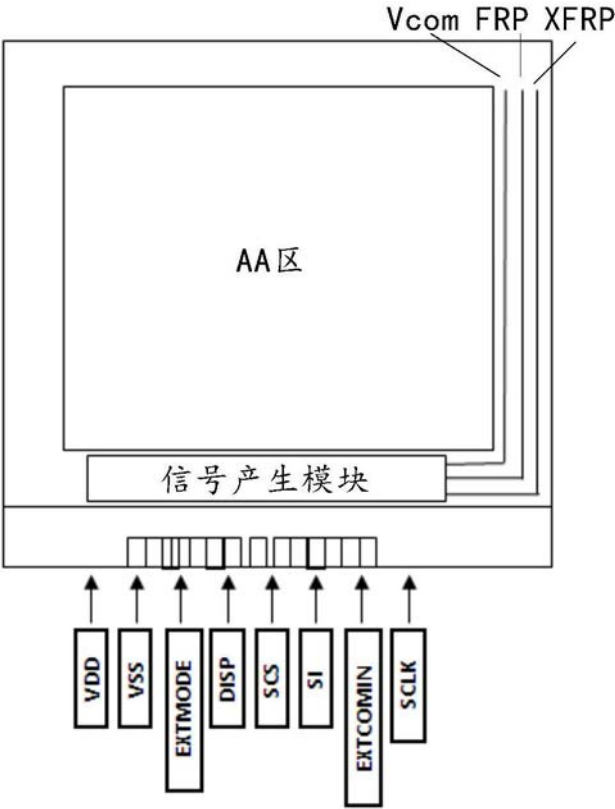


图4

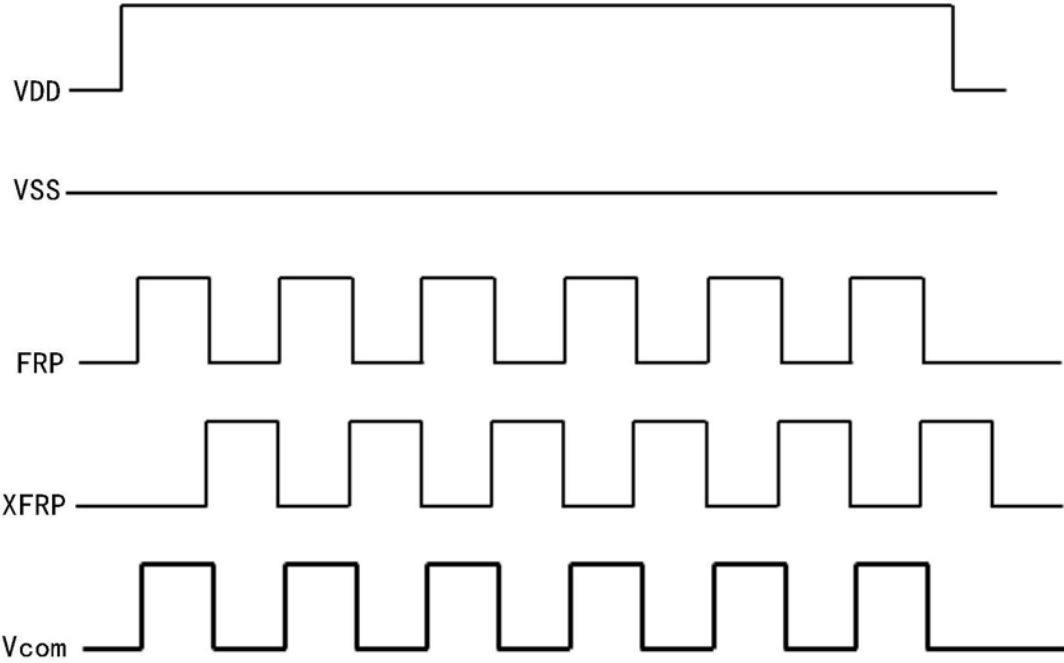


图5

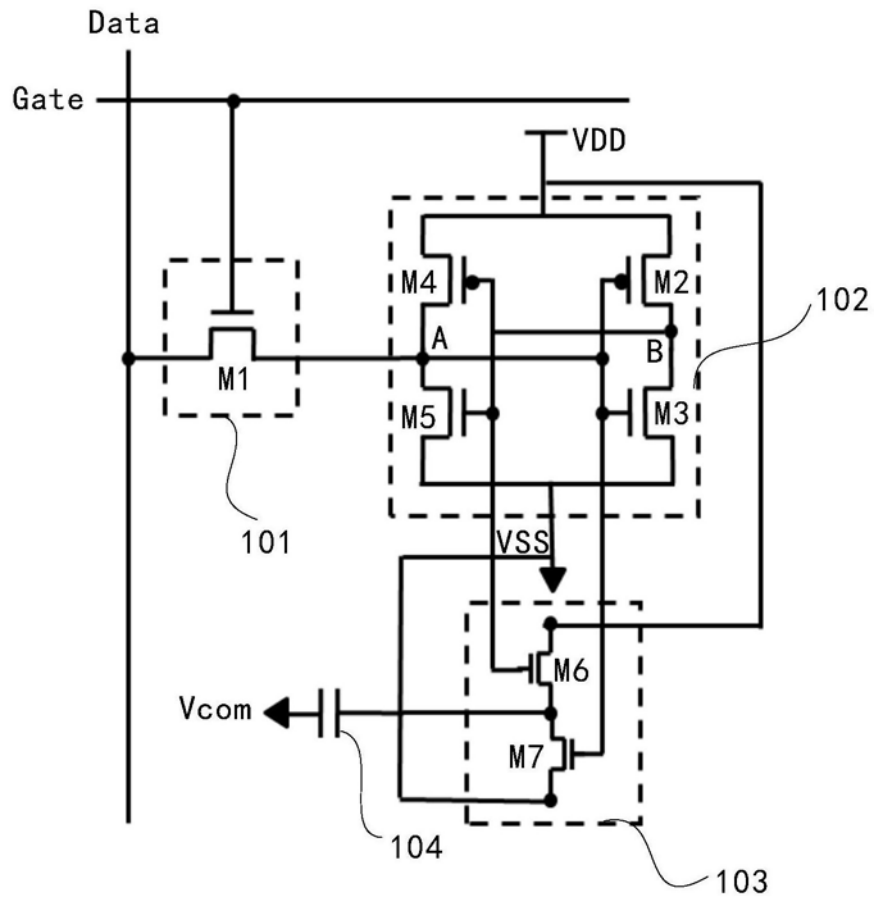


图6

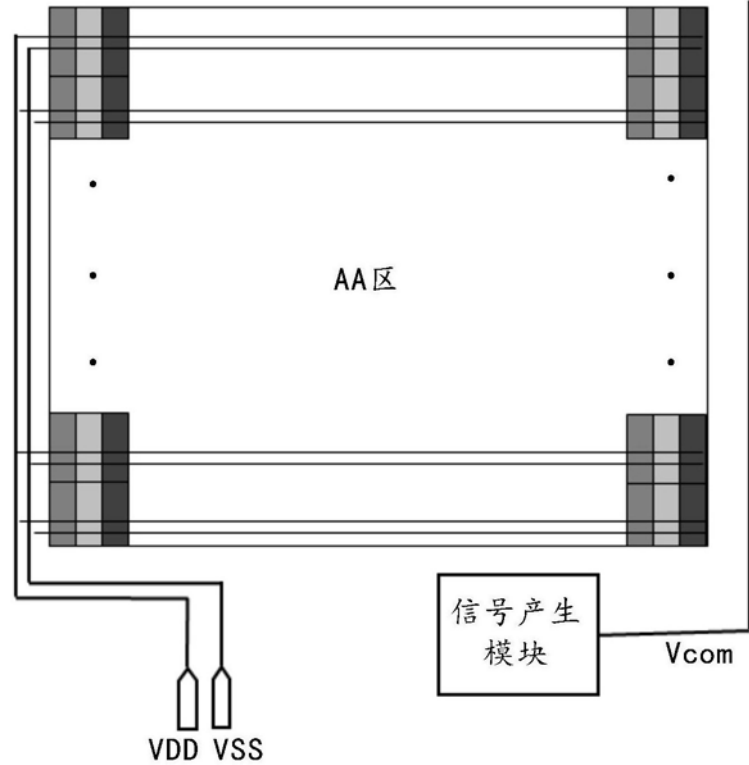


图7

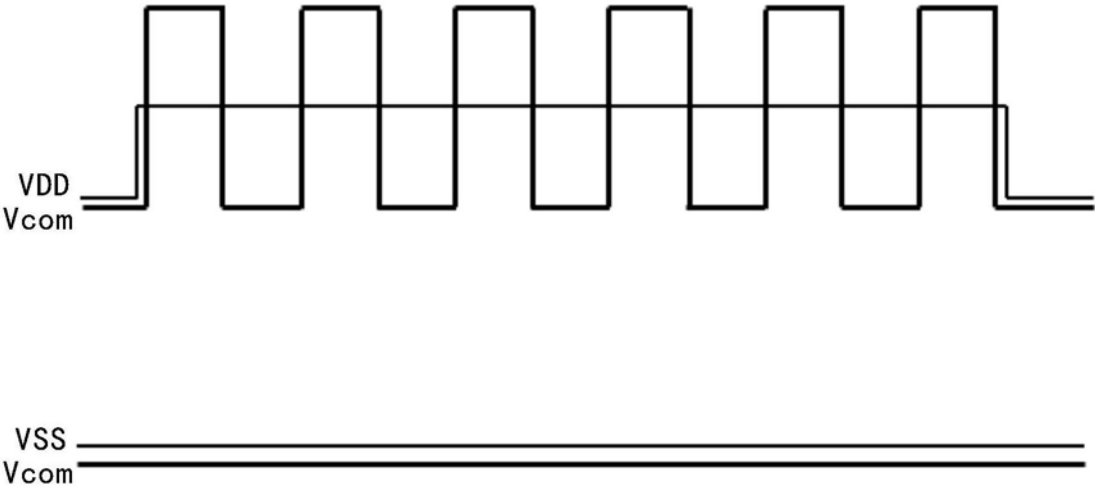


图8

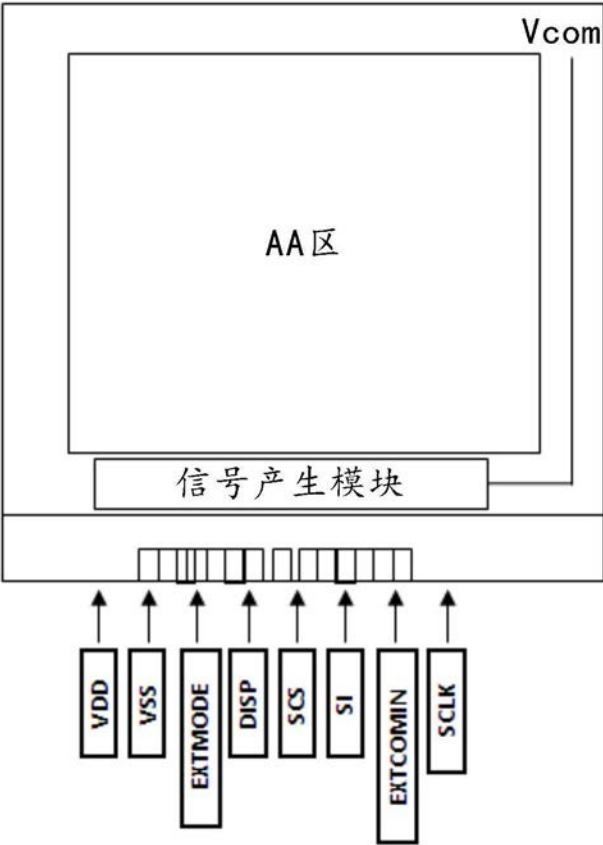


图9

专利名称(译)	一种像素电路、显示面板及其驱动方法		
公开(公告)号	CN109243395A	公开(公告)日	2019-01-18
申请号	CN201811284578.9	申请日	2018-10-30
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	张舜航 贾玉娥		
发明人	张舜航 贾玉娥		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3614 G09G2300/0857 G09G2320/0238 G09G3/3696 G09G2300/0426 G09G2300/0465 G09G2300/0478 G09G2300/0871 G09G2330/021		
代理人(译)	申健		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供一种像素电路、显示面板及其驱动方法，涉及液晶驱动技术领域，能够解决现有的像素电路中信号线较多而导致的电路结构复杂，显示面板功耗较大的问题。所述像素电路包括开关单元、存储单元和驱动单元；开关单元连接栅线、数据线和存储单元，用于在栅线上的信号的控制下，将数据线上的信号传输给存储单元；存储单元连接第一电压端、第二电压端和驱动单元，用于在开关单元的控制下，将第一电压端或第二电压端的信号传输给驱动单元；驱动单元连接第一电压端、第二电压端和像素电极，用于在存储单元的控制下，将第一电压端或第二电压端的信号传输给像素电极。本发明用于像素电路。

