



(12)发明专利申请

(10)申请公布号 CN 106531117 A

(43)申请公布日 2017.03.22

(21)申请号 201710008449.6

(22)申请日 2017.01.05

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 合肥鑫晟光电科技有限公司

(72)发明人 陈沫 刘金良 傅武霞 李环宇
孙松梅

(74)专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 朱琳爱义

(51)Int.Cl.

G09G 3/36(2006.01)

G11C 19/28(2006.01)

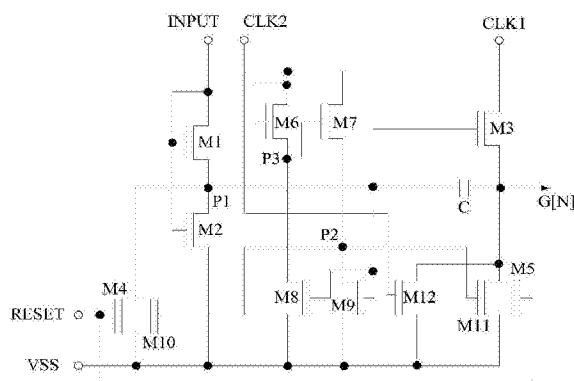
权利要求书3页 说明书10页 附图5页

(54)发明名称

移位寄存器、其驱动方法、栅极集成驱动电路及显示装置

(57)摘要

本发明公开了一种移位寄存器、其驱动方法、栅极集成驱动电路及显示装置,通过对输入控制模块的改进,将第一节点的电位调整为第一电位,使第一电位大于或等于维持输出控制模块正常工作时的电位,且小于有效脉冲信号的电位,即降低第一节点在工作时间段的电位,不仅避免了在移位寄存器输出栅极扫描信号的阶段因第一节点的电位过高,而导致与第一节点相连的薄膜晶体管的特性发生变化,同时抑制了薄膜晶体管阈值电压的漂移,提高了移位寄存器输出栅极扫描信号的稳定性,进而提高了液晶显示面板的良率。



1. 一种移位寄存器,其特征在于,包括:

连接于信号输入端、参考信号端与第一节点之间的输入控制模块,用于在所述信号输入端输入的有效脉冲信号的控制下,将所述第一节点的电位调整为第一电位;所述第一电位大于或等于维持所述输出控制模块正常工作时的电位,且小于所述有效脉冲信号的电位;

连接于所述第一节点、第一时钟信号端与信号输出端之间的输出控制模块,用于在所述第一节点为第一电位时,将所述第一时钟信号端的时钟信号提供给所述信号输出端;以及,

连接于复位信号端、所述参考信号端、所述第一节点与所述信号输出端之间的复位模块,用于在所述复位信号端输入的复位信号的控制下,将所述参考信号端的参考信号分别提供给所述第一节点和所述信号输出端。

2. 如权利要求1所述的移位寄存器,其特征在于,所述输入控制模块,包括:第一薄膜晶体管和第二薄膜晶体管;其中,

所述第一薄膜晶体管的栅极和源极均与所述信号输入端相连,漏极与所述第一节点相连;

所述第二薄膜晶体管的栅极与所述信号输入端相连,源极与所述参考信号端相连,漏极与所述第一节点相连。

3. 如权利要求1所述的移位寄存器,其特征在于,所述输出控制模块,包括:第三薄膜晶体管和电容;其中,

所述第三薄膜晶体管的栅极与所述第一节点相连,源极与所述第一时钟信号端相连,漏极与所述信号输出端相连;

电容连接于所述第一节点与所述信号输出端之间。

4. 如权利要求1所述的移位寄存器,其特征在于,所述复位模块,包括:第四薄膜晶体管与第五薄膜晶体管;其中,

所述第四薄膜晶体管的栅极与所述复位信号端相连,源极与所述参考信号端相连,漏极与所述第一节点相连;

所述第五薄膜晶体管的栅极与所述复位信号端相连,源极与所述参考信号端相连,漏极与所述信号输出端相连。

5. 如权利要求1-4任一项所述的移位寄存器,其特征在于,还包括:连接于第二时钟信号端、所述参考信号端、所述第一节点与第二节点之间的下拉控制模块,用于在所述第一节点为所述第一电位时,将所述参考信号端的参考信号提供给所述第二节点,在所述第二节点为所述第二时钟信号端的时钟信号电位时,将所述参考信号端的参考信号提供给所述第一节点。

6. 如权利要求5所述的移位寄存器,其特征在于,所述下拉控制模块,包括:第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、以及第十薄膜晶体管;其中,

所述第六薄膜晶体管的栅极和源极与所述第二时钟信号端相连,漏极与第三节点相连;

所述第七薄膜晶体管的栅极与所述第三节点相连,源极与所述第二时钟信号端相连,漏极与所述第二节点相连;

所述第八薄膜晶体管的栅极与所述第一节点相连,源极与所述参考信号端相连,漏极与所述第三节点相连;

所述第九薄膜晶体管的栅极与所述第一节点相连,源极与所述参考信号端相连,漏极与所述第二节点相连;

所述第十薄膜晶体管的栅极与所述第二节点相连,源极与所述参考信号端相连,漏极与所述第一节点相连。

7.如权利要求5所述的移位寄存器,其特征在于,还包括:连接于所述第二节点、所述参考信号端与所述信号输出端之间的第一下拉模块,用于在所述第二节点为所述第二时钟信号端的时钟信号电位时,将所述参考信号端的参考信号提供给所述信号输出端。

8.如权利要求7所述的移位寄存器,其特征在于,所述第一下拉模块,包括:第十一薄膜晶体管;其中,

所述第十一薄膜晶体管的栅极与所述第二节点相连,源极与所述参考信号端相连,漏极与所述信号输出端相连。

9.如权利要求7所述的移位寄存器,其特征在于,还包括:连接于所述第二时钟信号端、所述参考信号端与所述信号输出端之间的第二下拉模块,用于在所述第二时钟信号端输入的第二时钟信号的控制下,将所述参考信号端的参考信号提供给所述信号输出端。

10.如权利要求9所述的移位寄存器,其特征在于,所述第二下拉模块,包括:第十二薄膜晶体管;其中,

所述第十二薄膜晶体管的栅极与所述第二时钟信号端相连,源极与所述参考信号端相连,漏极与所述信号输出端相连。

11.一种栅极集成驱动电路,其特征在于,包括级联的多个如权利要求1-10任一项所述的移位寄存器;其中,

除首级移位寄存器和末级移位寄存器之外,其余每级移位寄存器的信号输出端均向下一级移位寄存器的信号输入端输入有效脉冲信号,并向上一级移位寄存器的复位信号端输入复位信号;

首级移位寄存器的信号输出端向第二级移位寄存器的输入端输入有效脉冲信号;

末级移位寄存器的信号输出端向上一级移位寄存器的复位信号端输入复位信号。

12.一种显示装置,其特征在于,包括如权利要求11所述的栅极集成驱动电路。

13.一种如权利要求1-10任一项所述的移位寄存器的驱动方法,其特征在于,包括:

在第一时间段,输入控制模块在信号输入端输入的有效脉冲信号的控制下,将第一节点的电位调整为第一电位,所述第一电位大于或等于维持输出控制模块正常工作时的电位,且小于所述有效脉冲信号的电位;

在第二时间段,所述输出控制模块在所述第一节点为第一电位时,将第一时钟信号端的时钟信号提供给所述信号输出端;

在第三时间段,复位模块在复位信号端输入的复位信号的控制下,将所述参考信号端的参考信号分别输出至所述第一节点和所述信号输出端。

14.如权利要求13所述的驱动方法,其特征在于,还包括:

在第一时间段和第二时间段,下拉控制模块在所述第一节点为所述第一电位时,将所述参考信号端的参考信号提供给所述第二节点;

在第三时间段,所述下拉控制模块在所述第二节点为所述第二时钟信号端的时钟信号电位时,将所述参考信号端的参考信号提供给所述第一节点。

15. 如权利要求14所述的驱动方法,其特征在于,还包括:

在第三时间段,第一下拉模块在所述第二节点为所述第二时钟信号端的时钟信号电位时,将所述参考信号端的参考信号提供给所述信号输出端;第二下拉模块在所述第二时钟信号端输入的第二时钟信号的控制下,将所述参考信号端的参考信号提供给所述信号输出端。

移位寄存器、其驱动方法、栅极集成驱动电路及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤指一种移位寄存器、其驱动方法、栅极集成驱动电路及显示装置。

背景技术

[0002] GOA (Gate on Array) 是一种将栅极集成驱动电路集成于TFT基板上的技术,通过栅极集成驱动电路向像素区域的各薄膜晶体管的栅极提供栅极扫描信号,逐行开启各薄膜晶体管,实现像素单元的数据信号输入。

[0003] 通常,移位寄存器作为栅极集成驱动电路的组成部分,基本结构如图1所示,包括11个薄膜晶体管,分别为第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5、第六薄膜晶体管M6、第七薄膜晶体管M7、第八薄膜晶体管M8、第九薄膜晶体管M9、第十薄膜晶体管M10、第十一薄膜晶体管M11,一个存储电容C,两个时钟信号端CLK1和CLK2、一个信号输入端INPUT,一个复位信号端RESET,一个参考信号端VSS、以及一个信号输出端G [N]。

[0004] 为了能够充分打开像素区域的各薄膜晶体管,保证对像素电极的充电率,移位寄存器的信号输出端G [N]输出的栅极扫描信号的高电平需要达到25V以上;然而,在现有的移位寄存器中均设置有存储电容C,存储电容C因自举作用,会导致移位寄存器内节点PU的电压进一步升高,使得节点PU的电压高出栅极扫描信号的一倍,达到50V以上,如此高的电压,导致与节点PU相连的薄膜晶体管的特性发生较大的变化,产生阈值电压漂移的现象;若液晶显示面板在此种情况下长时间工作,导致移位寄存器的稳定性变差,干扰驱动栅极扫描信号的输出。

[0005] 基于此,如何降低移位寄存器内关键节点的电位,提高移位寄存器输出栅极扫描信号的稳定性,是本领域技术人员亟待解决的技术问题。

发明内容

[0006] 本发明实施例提供一种移位寄存器、其驱动方法、栅极集成驱动电路及显示装置,用以解决如何降低移位寄存器内关键节点的电位,提高移位寄存器输出栅极扫描信号的稳定性。

[0007] 本发明实施例提供了一种移位寄存器,包括:

[0008] 连接于信号输入端、参考信号端与第一节点之间的输入控制模块,用于在所述信号输入端输入的有效脉冲信号的控制下,将所述第一节点的电位调整为第一电位;所述第一电位大于或等于维持所述输出控制模块正常工作时的电位,且小于所述有效脉冲信号的电位;

[0009] 连接于所述第一节点、第一时钟信号端与信号输出端之间的输出控制模块,用于在所述第一节点为第一电位时,将所述第一时钟信号端的时钟信号提供给所述信号输出端;以及,

[0010] 连接于复位信号端、所述参考信号端、所述第一节点与所述信号输出端之间的复位模块,用于在所述复位信号端输入的复位信号的控制下,将所述参考信号端的参考信号分别提供给所述第一节点和所述信号输出端。

[0011] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,所述输入控制模块,包括:第一薄膜晶体管和第二薄膜晶体管;其中,

[0012] 所述第一薄膜晶体管的栅极和源极均与所述信号输入端相连,漏极与所述第一节点相连;

[0013] 所述第二薄膜晶体管的栅极与所述信号输入端相连,源极与所述参考信号端相连,漏极与所述第一节点相连。

[0014] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,所述输出控制模块,包括:第三薄膜晶体管和电容;其中,

[0015] 所述第三薄膜晶体管的栅极与所述第一节点相连,源极与所述第一时钟信号端相连,漏极与所述信号输出端相连;

[0016] 电容连接于所述第一节点与所述信号输出端之间。

[0017] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,所述复位模块,包括:第四薄膜晶体管与第五薄膜晶体管;其中,

[0018] 所述第四薄膜晶体管的栅极与所述复位信号端相连,源极与所述参考信号端相连,漏极与所述第一节点相连;

[0019] 所述第五薄膜晶体管的栅极与所述复位信号端相连,源极与所述参考信号端相连,漏极与所述信号输出端相连。

[0020] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,还包括:连接于第二时钟信号端、所述参考信号端、所述第一节点与第二节点之间的下拉控制模块,用于在所述第一节点为所述第一电位时,将所述参考信号端的参考信号提供给所述第二节点,在所述第二节点为所述第二时钟信号端的时钟信号电位时,将所述参考信号端的参考信号提供给所述第一节点。

[0021] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,所述下拉控制模块,包括:第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、以及第十薄膜晶体管;其中,

[0022] 所述第六薄膜晶体管的栅极和源极与所述第二时钟信号端相连,漏极与第三节点相连;

[0023] 所述第七薄膜晶体管的栅极与所述第三节点相连,源极与所述第二时钟信号端相连,漏极与所述第二节点相连;

[0024] 所述第八薄膜晶体管的栅极与所述第一节点相连,源极与所述参考信号端相连,漏极与所述第三节点相连;

[0025] 所述第九薄膜晶体管的栅极与所述第一节点相连,源极与所述参考信号端相连,漏极与所述第二节点相连;

[0026] 所述第十薄膜晶体管的栅极与所述第二节点相连,源极与所述参考信号端相连,漏极与所述第一节点相连。

[0027] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,还包括:连

接于所述第二节点、所述参考信号端与所述信号输出端之间的第一下拉模块,用于在所述第二节点为所述第二时钟信号端的时钟信号电位时,将所述参考信号端的参考信号提供给所述信号输出端。

[0028] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,所述第一下拉模块,包括:第十一薄膜晶体管;其中,

[0029] 所述第十一薄膜晶体管的栅极与所述第二节点相连,源极与所述参考信号端相连,漏极与所述信号输出端相连。

[0030] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,还包括:连接于所述第二时钟信号端、所述参考信号端与所述信号输出端之间的第二下拉模块,用于在所述第二时钟信号端输入的第二时钟信号的控制下,将所述参考信号端的参考信号提供给所述信号输出端。

[0031] 在一种可能的实施方式中,在本发明实施例提供的上述移位寄存器中,所述第二下拉模块,包括:第十二薄膜晶体管;其中,

[0032] 所述第十二薄膜晶体管的栅极与所述第二时钟信号端相连,源极与所述参考信号端相连,漏极与所述信号输出端相连。

[0033] 本发明实施例还提供了一种栅极集成驱动电路,包括级联的多个本发明实施例提供的上述移位寄存器;其中,

[0034] 除首级移位寄存器和末级移位寄存器之外,其余每级移位寄存器的信号输出端均向下一级移位寄存器的信号输入端输入有效脉冲信号,并向上一级移位寄存器的复位信号端输入复位信号;

[0035] 首级移位寄存器的信号输出端向第二级移位寄存器的输入端输入有效脉冲信号;

[0036] 末级移位寄存器的信号输出端向上一级移位寄存器的复位信号端输入复位信号。

[0037] 本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述栅极集成驱动电路。

[0038] 本发明实施例还提供了一种本发明实施例提供的上述移位寄存器的驱动方法,包括:

[0039] 在第一时间段,输入控制模块在信号输入端输入的有效脉冲信号的控制下,将第一节点的电位调整为第一电位,所述第一电位大于或等于维持输出控制模块正常工作时的电位,且小于所述有效脉冲信号的电位;

[0040] 在第二时间段,所述输出控制模块在所述第一节点为第一电位时,将第一时钟信号端的时钟信号提供给所述信号输出端;

[0041] 在第三时间段,复位模块在复位信号端输入的复位信号的控制下,将所述参考信号端的参考信号分别输出至所述第一节点和所述信号输出端。

[0042] 在一种可能的实施方式中,在本发明实施例提供的上述驱动方法中,还包括:

[0043] 在第一时间段和第二时间段,下拉控制模块在所述第一节点为所述第一电位时,将所述参考信号端的参考信号提供给所述第二节点;

[0044] 在第三时间段,所述下拉控制模块在所述第二节点为所述第二时钟信号端的时钟信号电位时,将所述参考信号端的参考信号提供给所述第一节点。

[0045] 在一种可能的实施方式中,在本发明实施例提供的上述驱动方法中,还包括:

[0046] 在第三时间段,第一下拉模块在所述第二节点为所述第二时钟信号端的时钟信号电位时,将所述参考信号端的参考信号提供给所述信号输出端;第二下拉模块在所述第二时钟信号端输入的第二时钟信号的控制下,将所述参考信号端的参考信号提供给所述信号输出端。

[0047] 本发明有益效果如下:

[0048] 本发明实施例提供的一种移位寄存器、其驱动方法、栅极集成驱动电路及显示装置,该移位寄存器包括连接于信号输入端、参考信号端与第一节点之间的输入控制模块,用于在信号输入端输入的有效脉冲信号的控制下,将第一节点的电位调整为第一电位;第一电位大于或等于维持输出控制模块正常工作时的电位,且小于有效脉冲信号的电位;连接于第一节点、第一时钟信号端与信号输出端之间的输出控制模块,用于在第一节点为第一电位时,将第一时钟信号端的时钟信号提供给信号输出端;以及,连接于复位信号端、参考信号端、第一节点与信号输出端之间的复位模块,用于在复位信号端输入的复位信号的控制下,将参考信号端的参考信号分别提供给第一节点和信号输出端。因此,通过对输入控制模块的改进,将第一节点的电位调整为第一电位,使第一电位大于或等于维持输出控制模块正常工作时的电位,且小于有效脉冲信号的电位,即降低第一节点在工作时间段的电位,不仅避免了在移位寄存器输出栅极扫描信号的阶段因第一节点的电位过高,而导致与第一节点相连的薄膜晶体管的特性发生变化,同时抑制了薄膜晶体管阈值电压的漂移,提高了移位寄存器输出栅极扫描信号的稳定性,进而提高了液晶显示面板的良率。

附图说明

[0049] 图1为现有技术中移位寄存器的结构示意图;

[0050] 图2为本发明实施例提供的一种移位寄存器的结构示意图之一;

[0051] 图3为本发明实施例提供的一种移位寄存器的结构示意图之二;

[0052] 图4为本发明实施例提供的一种移位寄存器的结构示意图之三;

[0053] 图5为本发明实施例提供的一种移位寄存器的结构示意图之四;

[0054] 图6为本发明实施例提供的一种移位寄存器的输入输出时序图;

[0055] 图7为本发明实施例提供的一种栅极集成驱动电路的结构示意图。

具体实施方式

[0056] 下面结合附图,对本发明实施例提供的一种移位寄存器、其驱动方法、栅极集成驱动电路及显示装置的具体实施方式进行详细地说明。

[0057] 本发明实施例提供了一种移位寄存器,如图2所示,可以包括:

[0058] 连接于信号输入端INPUT、参考信号端VSS与第一节点P1之间的输入控制模块10,用于在信号输入端INPUT输入的有效脉冲信号的控制下,将第一节点P1的电位调整为第一电位;第一电位大于或等于维持输出控制模块20正常工作时的电位,且小于有效脉冲信号的电位;

[0059] 连接于第一节点P1、第一时钟信号端CLK1与信号输出端G[N]之间的输出控制模块20,用于在第一节点P1为第一电位时,将第一时钟信号端CLK1的时钟信号提供给信号输出端G[N];以及,

[0060] 连接于复位信号端RESET、参考信号端VSS、第一节点P1与信号输出端G[N]之间的复位模块30,用于在复位信号端RESET输入的复位信号的控制下,将参考信号端VSS的参考信号分别提供给第一节点P1和信号输出端G[N]。

[0061] 本发明实施例提供的上述移位寄存器,通过对输入控制模块的改进,将第一节点的电位调整为第一电位,使第一电位大于或等于维持输出控制模块正常工作时的电位,且小于有效脉冲信号的电位,即降低第一节点在工作时间段的电位,不仅避免了在移位寄存器输出栅极扫描信号的阶段因第一节点的电位过高,而导致与第一节点相连的薄膜晶体管的特性发生变化,同时抑制了薄膜晶体管阈值电压的漂移,提高了移位寄存器输出栅极扫描信号的稳定性,进而提高了液晶显示面板的良率。

[0062] 在具体实施时,为了实现对第一节点P1的电位的调节,在本发明实施例提供的上述移位寄存器中的输入控制模块10,如图3所示,可以具体包括:第一薄膜晶体管M1和第二薄膜晶体管M2;其中,

[0063] 第一薄膜晶体管M1的栅极和源极均与信号输入端INPUT相连,漏极与第一节点P1相连;

[0064] 第二薄膜晶体管M2的栅极与信号输入端INPUT相连,源极与参考信号端VSS相连,漏极与第一节点P1相连。

[0065] 具体地,通过调节第一薄膜晶体管M1和第二薄膜晶体管M2的电阻分压比,可以将第一节点P1的电位拉低至第一电位,记作 V_p ,使得第一电位 V_p 小于信号输入端INPUT输入的有效脉冲信号的电位 V_h ;同时,因输出控制模块20的开启和关闭是由第一节点P1控制,因此,为了不影响输出控制模块20的正常工作,需要保证第一电位 V_p 大于或等于维持输出控制模块20正常工作时的电位 V_o ,即 $V_h > V_p \geq V_o$,如此,可以通过降低第一节点P1的电位,避免在信号输出端G[N]输出高电平信号时第一节点P1的电位过高,而导致与第一节点相连的薄膜晶体管的特性发生变化,提高了移位寄存器输出栅极扫描信号的稳定性。

[0066] 具体地,第一薄膜晶体管M1和第二薄膜晶体管M2为N型薄膜晶体管,信号输入端INPUT输入的有效脉冲信号需要为高电平信号。

[0067] 在具体实施时,为了能够使移位寄存器输出栅极扫描信号,在本发明实施例提供的上述移位寄存器中的输出控制模块20,如图3所示,可以具体包括:第三薄膜晶体管M3和电容C;其中,

[0068] 第三薄膜晶体管M3的栅极与第一节点P1相连,源极与第一时钟信号端CLK1相连,漏极与信号输出端G[N]相连;

[0069] 电容C连接于第一节点P1与信号输出端G[N]之间。

[0070] 具体地,第三薄膜晶体管M3在第一节点P1为第一电位 V_p 时,将第一时钟信号端CLK1的时钟信号输出至信号输出端G[N];第一节点P1为电容C充电。

[0071] 具体地,第三薄膜晶体管M3为N型薄膜晶体管,第一节点P1的电位需要为高电平。

[0072] 以上仅是举例说明输出控制模块20的具体结构,在具体实施时,输出控制模块20的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0073] 在具体实施时,为了实现对第一节点P1和信号输出端G[N]的复位,在本发明实施例提供的上述移位寄存器中的复位模块30,如图3所示,可以具体包括:第四薄膜晶体管M4

与第五薄膜晶体管M5;其中,

[0074] 第四薄膜晶体管M4的栅极与复位信号端RESET相连,源极与参考信号端VSS相连,漏极与第一节点P1相连;

[0075] 第五薄膜晶体管M5的栅极与复位信号端RESET相连,源极与参考信号端VSS相连,漏极与信号输出端G[N]相连。

[0076] 具体地,第四薄膜晶体管M4在复位信号端RESET的复位信号的控制下,将参考信号端VSS的参考信号输出至第一节点P1;第五薄膜晶体管M5在复位信号端RESET的复位信号的控制下,将参考信号端VSS的参考信号输出至信号输出端G[N]。

[0077] 具体地,第四薄膜晶体管M4与第五薄膜晶体管M5为N型薄膜晶体管,复位信号端RESET的复位信号需要为高电平信号。

[0078] 以上仅是举例说明复位模块30的具体结构,在具体实施时,复位模块30的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0079] 在具体实施时,为了能够控制第一节点P1和第二节点P2的电位,在本发明实施例提供的上述移位寄存器中,如图4所示,还可以包括:连接于第二时钟信号端CLK2、参考信号端VSS、第一节点P1与第二节点P2之间的下拉控制模块40,用于在第一节点P1为第一电位 V_p 时,将参考信号端VSS的参考信号提供给第二节点P2,在第二节点P2为第二时钟信号端CLK2的时钟信号电位时,将参考信号端VSS的参考信号提供给第一节点P1。

[0080] 具体地,在本发明实施例提供的上述移位寄存器中的下拉控制模块40,如图5所示,可以具体包括:第六薄膜晶体管M6、第七薄膜晶体管M7、第八薄膜晶体管M8、第九薄膜晶体管M9、以及第十薄膜晶体管M10;其中,

[0081] 第六薄膜晶体管M6的栅极和源极与第二时钟信号端CLK2相连,漏极与第三节点P3相连;

[0082] 第七薄膜晶体管M7的栅极与第三节点P3相连,源极与第二时钟信号端CLK2相连,漏极与第二节点P2相连;

[0083] 第八薄膜晶体管M8的栅极与第一节点P1相连,源极与参考信号端VSS相连,漏极与第三节点P3相连;

[0084] 第九薄膜晶体管M9的栅极与第一节点P1相连,源极与参考信号端VSS相连,漏极与第二节点P2相连;

[0085] 第十薄膜晶体管M10的栅极与第二节点P2相连,源极与参考信号端VSS相连,漏极与第一节点P1相连。

[0086] 具体地,第六薄膜晶体管M6在第二时钟信号端CLK2输入的时钟信号的控制下,将第二时钟信号端CLK2的时钟信号输出至第三节点P3;第七薄膜晶体管M7在第三节点P3为第二时钟信号端CLK2的时钟信号电位时,将第二时钟信号端CLK2的时钟信号输出至第二节点P2;第八薄膜晶体管M8在第一节点P1为第一电位 V_p 时,将参考信号端VSS的参考信号输出至第三节点P3;第九薄膜晶体管M9在第一节点P1为第一电位 V_p 时,将参考信号端VSS的参考信号输出至第二节点P2;第十薄膜晶体管M10在第二节点P2为第二时钟信号端CLK2的时钟信号电位时,将参考信号端VSS的参考信号输出至第一节点P1。

[0087] 具体地,第六薄膜晶体管M6、第七薄膜晶体管M7、第八薄膜晶体管M8、第九薄膜晶

体管M9、以及第十薄膜晶体管M10均为N型薄膜晶体管,第二时钟信号端CLK2的时钟信号和第一节点P1需要为高电平信号。

[0088] 以上仅是举例说明下拉控制模块40的具体结构,在具体实施时,下拉控制模块40的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0089] 在具体实施时,为了保证信号输出端G[N]输出的低电平信号的稳定,减小噪音的影响,在本发明实施例提供的上述移位寄存器中,如图4所示,还可以包括:连接于第二节点P2、参考信号端VSS与信号输出端G[N]之间的第一下拉模块50,用于在第二节点P2为第二时钟信号端CLK2的时钟信号电位时,将参考信号端VSS的参考信号提供给信号输出端G[N]。

[0090] 具体地,在本发明实施例提供的上述移位寄存器中的第一下拉模块50,如图5所示,可以具体包括:第十一薄膜晶体管M11;其中,

[0091] 第十一薄膜晶体管M11的栅极与第二节点P2相连,源极与参考信号端VSS相连,漏极与信号输出端G[N]相连。

[0092] 具体地,第十一薄膜晶体管M11在第二节点P2为第二时钟信号端CLK2的时钟信号电位时,将参考信号端VSS的参考信号提供给信号输出端G[N]。

[0093] 具体地,第十一薄膜晶体管M11为N型薄膜晶体管,第二节点P2的电位需要为高电平。

[0094] 以上仅是举例说明第一下拉模块50的具体结构,在具体实施时,第一下拉模块50的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0095] 在具体实施时,为了保证信号输出端G[N]输出的低电平信号的稳定,减小噪音的影响,在本发明实施例提供的上述移位寄存器中,如图4所示,还可以包括:连接于第二时钟信号端CLK2、参考信号端VSS与信号输出端G[N]之间的第二下拉模块60,用于在第二时钟信号端CLK2输入的第二时钟信号的控制下,将参考信号端VSS的参考信号提供给信号输出端G[N]。

[0096] 具体地,在本发明实施例提供的上述移位寄存器中的第二下拉模块60,如图5所示,可以具体包括:第十二薄膜晶体管M12;其中,

[0097] 第十二薄膜晶体管M12的栅极与第二时钟信号端CLK2相连,源极与参考信号端VSS相连,漏极与信号输出端G[N]相连。

[0098] 具体地,第十二薄膜晶体管M12在第二时钟信号端CLK2输入的时钟信号的控制下,将参考信号端VSS的参考信号提供给信号输出端G[N]。

[0099] 具体地,第十二薄膜晶体管M12为N型薄膜晶体管,第二时钟信号端CLK2输入的时钟信号需要为高电平信号。

[0100] 以上仅是举例说明第二下拉模块60的具体结构,在具体实施时,第二下拉模块60的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0101] 下面结合图5所示的移位寄存器和图6所示的输入输出时序图,对本发明实施例提供的上述移位寄存器的工作过程作以描述。

[0102] 如图6所示,为本实施例中移位寄存器的输入输出时序图,选取T1-T3三个阶段;在下面的描述中,以1表示高电平,0表示低电平信号。

[0103] 在T1阶段, $INPUT=1$, $CLK1=0$, $CLK2=1$, $RESET=0$ 。因 $INPUT=1$, 信号输入端 $INPUT$ 输入有效脉冲信号 V_h , 使得第一薄膜晶体管 $M1$ 和第二薄膜晶体管 $M2$ 打开, 根据预先设定的第一薄膜晶体管 $M1$ 和第二薄膜晶体管 $M2$ 的电阻分压比, 调整第一节点 $P1$ 的电位为第一电位 V_p , 即第一电位 V_p 大于或等于维持输出控制模块20正常工作时的电位 V_o , 且小于有效脉冲信号的电位 V_h , 记作 $V_h > V_p \geq V_o$ 。

[0104] 在T2阶段, $INPUT=0$, $CLK1=1$, $CLK2=0$, $RESET=0$ 。因第一节点 $P1$ 的电位为第一电位 V_p , 使得第三薄膜晶体管 $M3$ 打开, 将第一时钟信号端 $CLK1$ 的高电平信号 V_h 提供给信号输出端 $G[N]$, 使得信号输出端 $G[N]$ 输出高电平信号 V_h ; 同时, 因电容 C 的自举作用, 使第一节点 $P1$ 的电位被拉高, 此时第一节点 $P1$ 的电位为 $V_p + V_h$; 同时, 第三薄膜晶体管 $M3$ 、第八薄膜晶体管 $M8$ 、以及第九薄膜晶体管 $M9$ 的栅极均与第一节点 $P1$ 相连, 因此, 第一节点 $P1$ 的电平高度直接影响第三薄膜晶体管 $M3$ 、第八薄膜晶体管 $M8$ 、以及第九薄膜晶体管 $M9$ 的稳定性; 然而在对输入控制模块10改进之前, 第一节点 $P1$ 的电位最高可达 $2V_h$, 且 $2V_h > V_p + V_h$, 因此, 在输入控制模块10的控制下, 有效地降低了第一节点 $P1$ 的电位, 提高了与第一节点 $P1$ 相连的薄膜晶体管的稳定性。

[0105] 在T3阶段, $INPUT=0$, $CLK1=0$, $CLK2=1$, $RESET=1$ 。因 $RESET=1$, 第四薄膜晶体管 $M4$ 和第五薄膜晶体管 $M5$ 打开, 将参考信号端 VSS 的参考信号分别提供给第一节点 $P1$ 和信号输出端 $G[N]$, 使得第一节点 $P1$ 的电位被拉低至低电平, 同时信号输出端 $G[N]$ 输出低电平信号; 又因 $CLK2=1$, 第六薄膜晶体管 $M6$ 和第十二薄膜晶体管 $M12$ 打开, 进而使得第七薄膜晶体管 $M7$ 打开, 将第二节点 $P2$ 的电位被拉高, 同时打开第十薄膜晶体管 $M10$ 、以及第十一薄膜晶体管 $M11$, 保证第一节点 $P1$ 的电位为低电平, 信号输出端 $G[N]$ 输出低电平信号, 消除噪音干扰。

[0106] 此后, 直至下一次T1阶段的出现, 即 $INPUT=1$, $CLK1=0$, $CLK2=1$, $RESET=0$, 利用第一薄膜晶体管 $M1$ 与第二薄膜晶体管 $M2$ 的电阻分压, 调整第一节点 $P1$ 的电位为第一电位 V_p , 保护与第一节点 $P1$ 相连的第三薄膜晶体管 $M3$ 、第八薄膜晶体管 $M8$ 、以及第九薄膜晶体管 $M9$ 的稳定性, 实现输入控制模块10对第一节点 $P1$ 的电位的控制。

[0107] 以上举例说明只是以图5所示的移位寄存器来进行说明的, 本发明实施例提供的移位寄存器可以通过在任何现有技术的移位寄存器中改进输入控制模块10实现, 在此不做限定。

[0108] 基于同一发明构思, 本发明实施例还提供了一种栅极集成驱动电路, 如图7所示, 包括级联的多个本发明实施例提供的上述移位寄存器; 其中,

[0109] 除首级移位寄存器和末级移位寄存器之外, 其余每级移位寄存器的信号输出端均向下一级移位寄存器的信号输入端输入有效脉冲信号, 并向上一级移位寄存器的复位信号端输入复位信号;

[0110] 首级移位寄存器的信号输出端向第二级移位寄存器的输入端输入有效脉冲信号;

[0111] 末级移位寄存器的信号输出端向上一级移位寄存器的复位信号端输入复位信号。

[0112] 为了方便说明, 图7中仅示出了五个移位寄存器, 分别为第 $N-2$ 级移位寄存器、第 $N-1$ 级移位寄存器、第 N 级移位寄存器、第 $N+1$ 级移位寄存器、第 $N+2$ 级移位寄存器。其中, 第 N 级

移位寄存器的信号输出端G [N] 不仅向第N+1级移位寄存器的信号输入端INPUT输入有效脉冲信号,同时还向第N-1级移位寄存器的复位信号端RESET输入复位信号。

[0113] 具体地,上述栅极集成驱动电路中的每个移位寄存器的具体结构与本发明上述移位寄存器在功能和结构上均相同,重复之处不再赘述。

[0114] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述栅极集成驱动电路,其具体实施可参见本发明实施例提供的上述栅极集成驱动电路描述,相同之处不再赘述。

[0115] 在具体实施时,本发明实施例还提供了一种移位寄存器的驱动方法,结合图5所示的移位寄存器和图6所示的输入输出时序图,可以具体包括:

[0116] 在第一时间段,输入控制模块10在信号输入端INPUT输入的有效脉冲信号的控制下,将第一节点P1的电位调整为第一电位 V_p ,第一电位 V_p 大于或等于维持输出控制模块20正常工作时的电位 V_o ,且小于有效脉冲信号的电位 V_h ;

[0117] 在第二时间段,输出控制模块20在第一节点P1为第一电位 V_p 时,将第一时钟信号端CLK1的时钟信号提供给信号输出端G [N] ;

[0118] 在第三时间段,复位模块30在复位信号端RESET输入的复位信号的控制下,将参考信号端VSS的参考信号分别输出至第一节点P1和信号输出端G [N] 。

[0119] 在具体实施时,在本发明实施例提供的上述移位寄存器的驱动方法中,还可以包括:

[0120] 在第一时间段和第二时间段,下拉控制模块40在第一节点P1为第一电位 V_p 时,将参考信号端VSS的参考信号提供给第二节点P2;

[0121] 在第三时间段,下拉控制模块40在第二节点P2为第二时钟信号端CLK2的时钟信号电位时,将参考信号端VSS的参考信号提供给第一节点P1。

[0122] 在具体实施时,在本发明实施例提供的上述移位寄存器的驱动方法中,还可以包括:

[0123] 在第三时间段,第一下拉模块50在第二节点P2为第二时钟信号端CLK2的时钟信号电位时,将参考信号端VSS的参考信号提供给信号输出端G [N] ;第二下拉模块60在第二时钟信号端CLK2输入的第二时钟信号的控制下,将参考信号端VSS的参考信号提供给信号输出端G [N] 。

[0124] 本发明实施例提供了一种移位寄存器、其驱动方法、栅极集成驱动电路及显示装置,该移位寄存器包括连接于信号输入端、参考信号端与第一节点之间的输入控制模块,用于在信号输入端输入的有效脉冲信号的控制下,将第一节点的电位调整为第一电位;第一电位大于或等于维持输出控制模块正常工作时的电位,且小于有效脉冲信号的电位;连接于第一节点、第一时钟信号端与信号输出端之间的输出控制模块,用于在第一节点为第一电位时,将第一时钟信号端的时钟信号提供给信号输出端;以及,连接于复位信号端、参考信号端、第一节点与信号输出端之间的复位模块,用于在复位信号端输入的复位信号的控制下,将参考信号端的参考信号分别提供给第一节点和信号输出端。因此,通过对输入控制模块的改进,将第一节点的电位调整为第一电位,使第一电位大于或等于维持输出控制模块正常工作时的电位,且小于有效脉冲信号的电位,即降低第一节点在工作时间段的电位,不仅避免了在移位寄存器输出栅极扫描信号的阶段因第一节点的电位过高,而导致与第一

节点相连的薄膜晶体管的特性发生变化,同时抑制了薄膜晶体管阈值电压的漂移,提高了移位寄存器输出栅极扫描信号的稳定性,进而提高了液晶显示面板的良率。

[0125] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

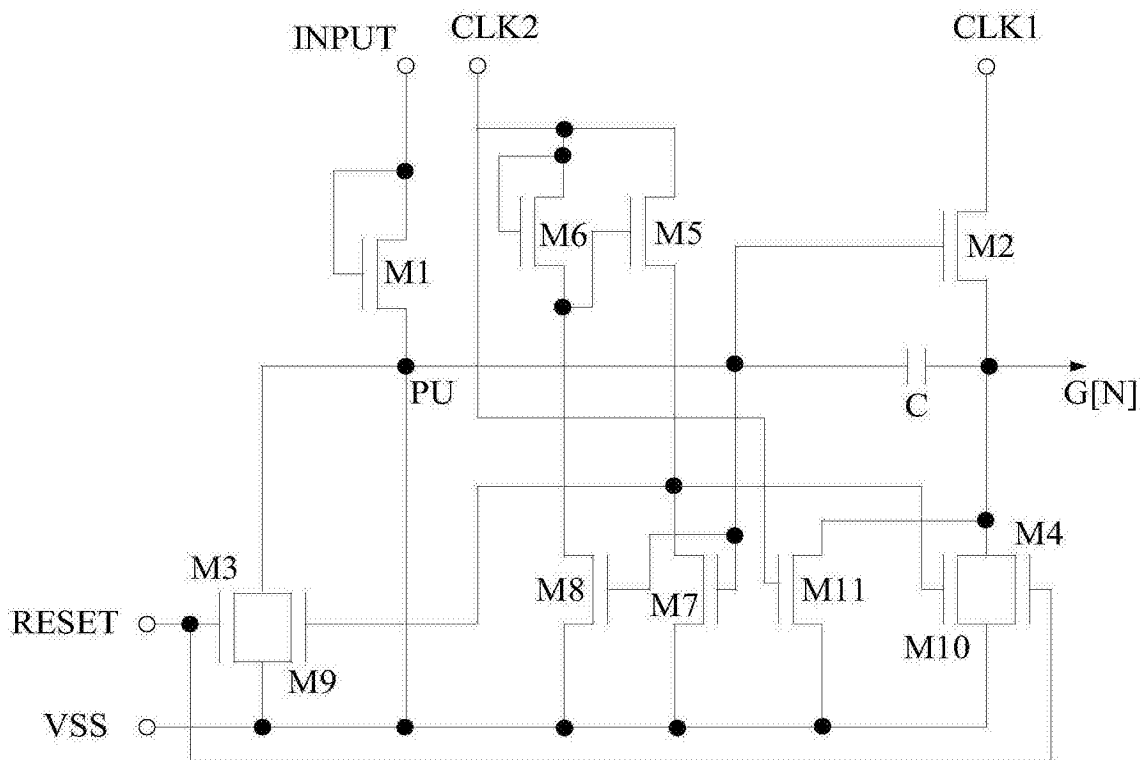


图1

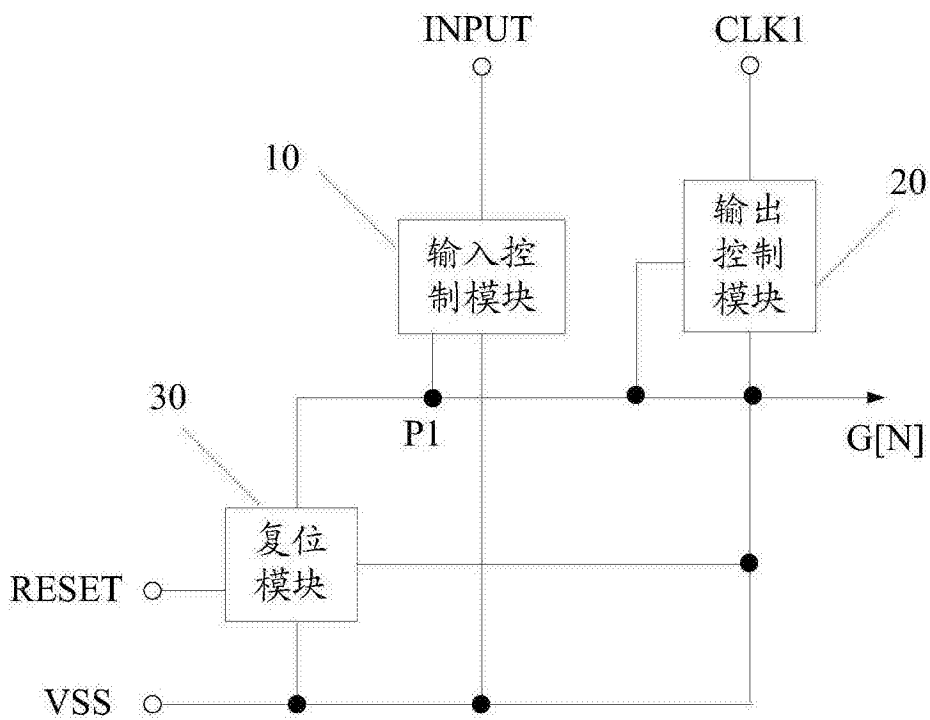


图2

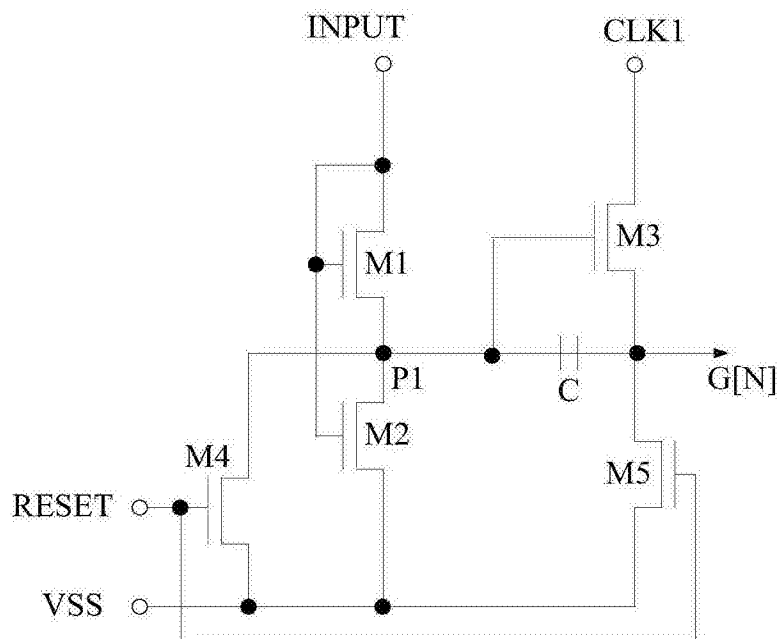


图3

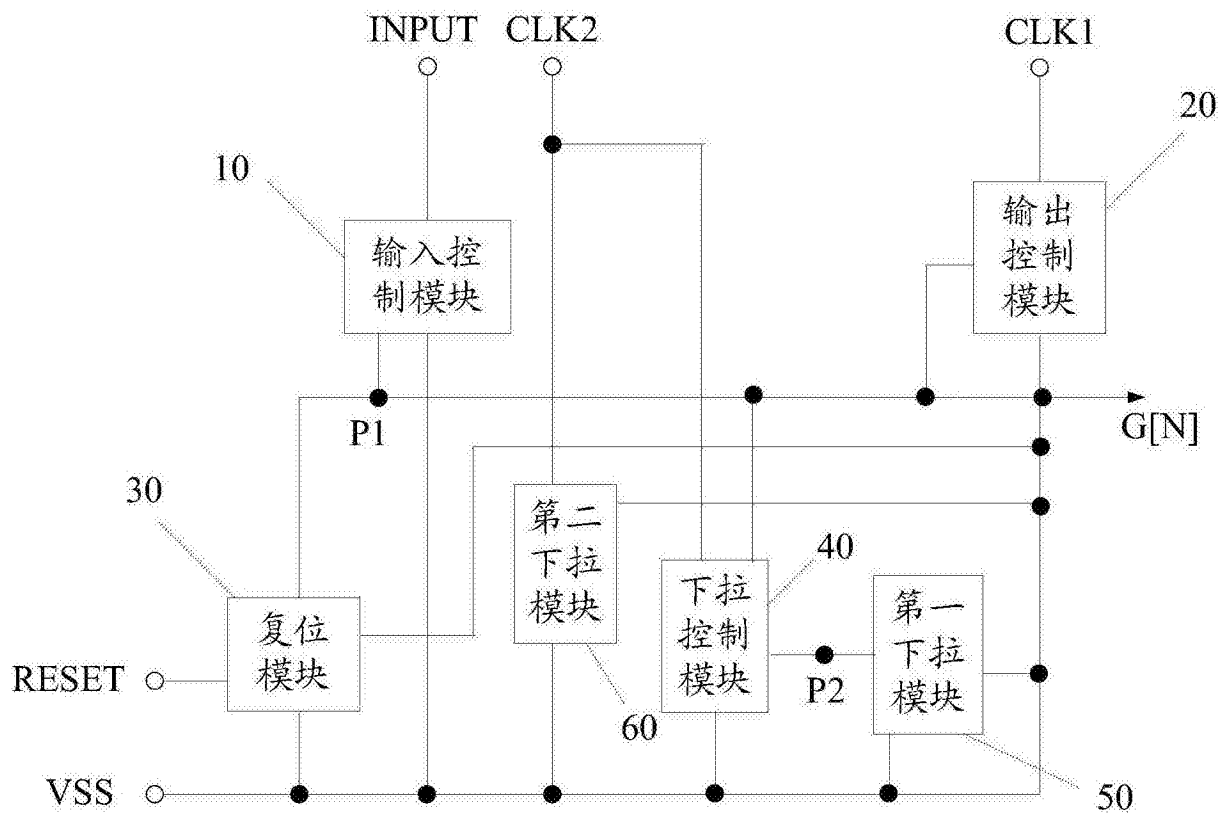


图4

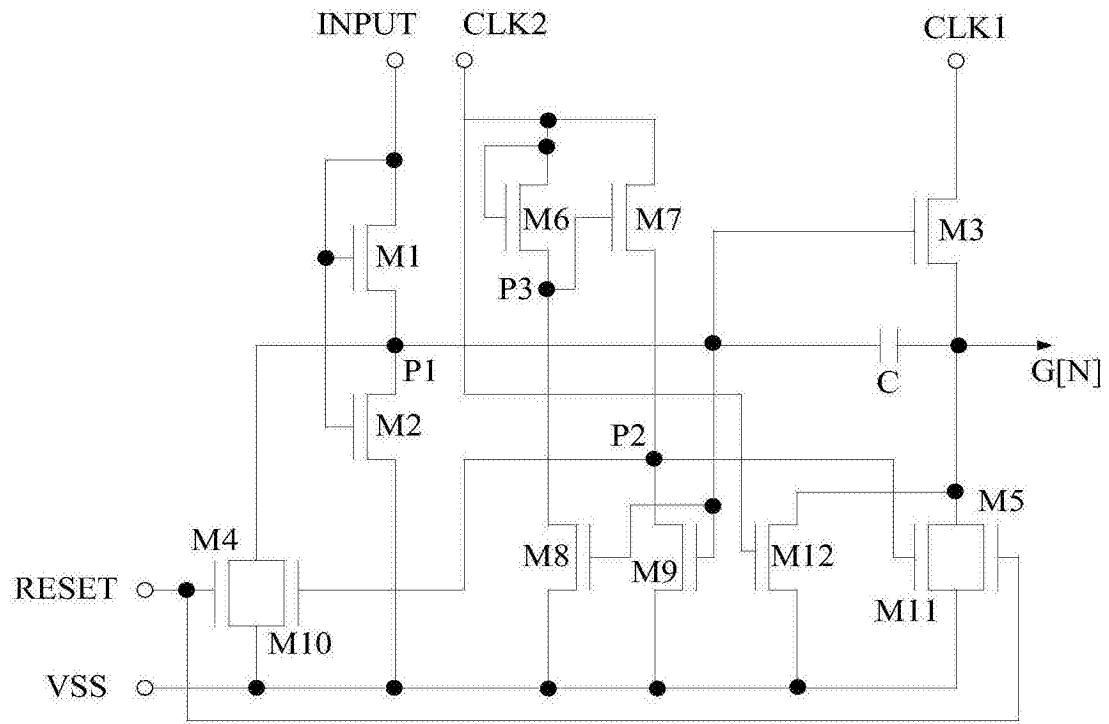


图5

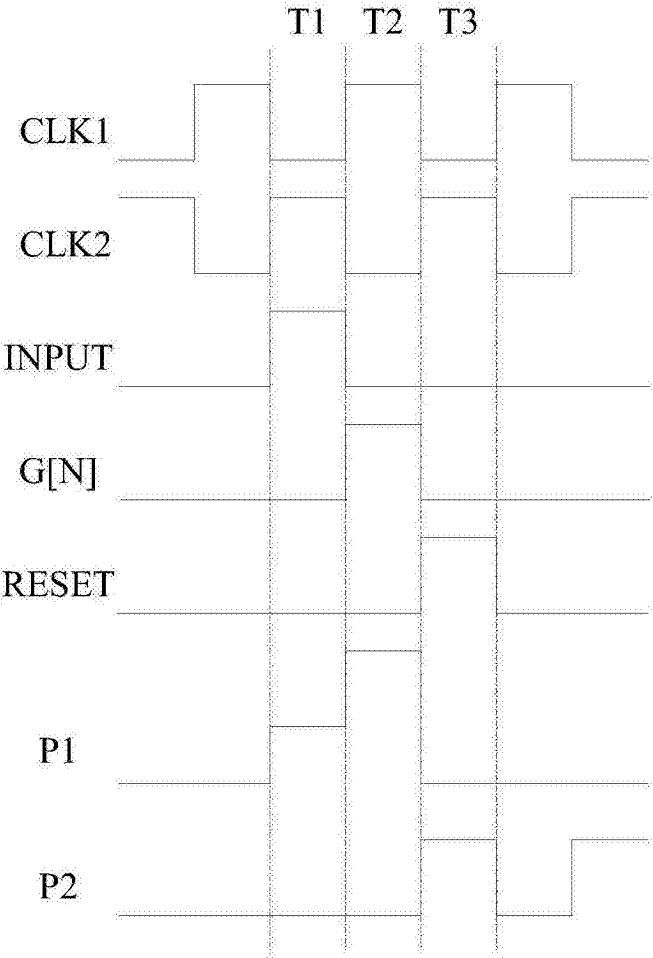


图6

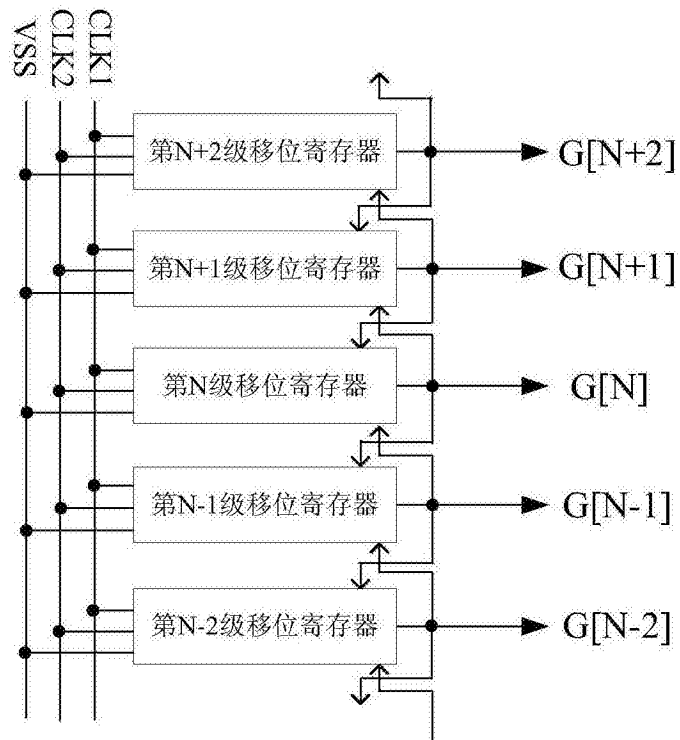


图7

专利名称(译)	移位寄存器、其驱动方法、栅极集成驱动电路及显示装置		
公开(公告)号	CN106531117A	公开(公告)日	2017-03-22
申请号	CN201710008449.6	申请日	2017-01-05
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
[标]发明人	陈沫 刘金良 傅武霞 李环宇 孙松梅		
发明人	陈沫 刘金良 傅武霞 李环宇 孙松梅		
IPC分类号	G09G3/36 G11C19/28		
CPC分类号	G09G3/36 G11C19/28 G06F1/10 G06F1/26 G09G3/20 G09G3/3266 G09G3/3674 G09G2310/0283 G09G2310/0286 G09G3/3677 G11C19/287		
其他公开文献	CN106531117B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种移位寄存器、其驱动方法、栅极集成驱动电路及显示装置，通过对输入控制模块的改进，将第一节点的电位调整为第一电位，使第一电位大于或等于维持输出控制模块正常工作时的电位，且小于有效脉冲信号的电位，即降低第一节点在工作时间段的电位，不仅避免了在移位寄存器输出栅极扫描信号的阶段因第一节点的电位过高，而导致与第一节点相连的薄膜晶体管的特性发生变化，同时抑制了薄膜晶体管阈值电压的漂移，提高了移位寄存器输出栅极扫描信号的稳定性，进而提高了液晶显示面板的良率。

