



(12) 发明专利申请

(10) 申请公布号 CN 105448267 A

(43) 申请公布日 2016. 03. 30

(21) 申请号 201610008000. 5

(22) 申请日 2016. 01. 07

(71) 申请人 武汉华星光电技术有限公司

地址 430079 湖北省武汉市东湖开发区高新
大道 666 号生物城 C5 栋

(72) 发明人 赵莽 李亚锋

(74) 专利代理机构 深圳翼盛智成知识产权事务
所(普通合伙) 44300

代理人 黄威

(51) Int. Cl.

G09G 3/36(2006. 01)

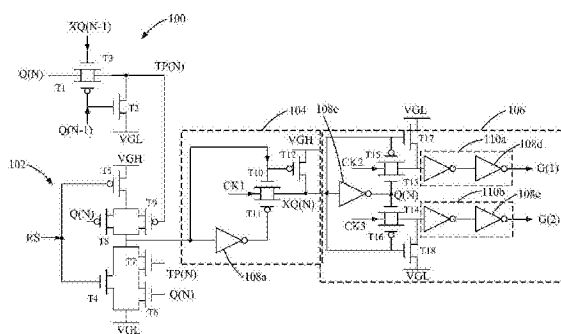
权利要求书4页 说明书6页 附图6页

(54) 发明名称

阵列基板上栅极驱动电路及使用所述电路的
液晶显示器

(57) 摘要

本发明涉及一种阵列基板上栅极驱动电路及使用所述电路的液晶显示器,所述阵列基板上栅极驱动电路设有若干依序连接的栅极驱动单元,每一级栅极驱动单元包括输入模块、复位模块、锁存模块以及信号处理模块。信号处理模块用以接收所述本级反相级传信号 $XQ(N)$ 、所述低电压信号、第二时钟信号以及第三时钟信号,所述信号处理模块以所述本级级传信号 $Q(N)$ 控制两个晶体管的开启状态,使所述两个晶体管分别通过所述第二时钟信号以及所述第三时钟信号以产生第 N 级栅极信号 $G(N)$ 以及第 $N+1$ 级栅极信号 $G(N+1)$ 。本发明使用较少的时钟 (CK) 信号线和晶体管,有利于窄边框的液晶显示器设计。



1. 一种阵列基板上栅极驱动电路,适用于液晶面板,其特征在于,所述阵列基板上栅极驱动电路设有若干依序连接的栅极驱动单元,每一级栅极驱动单元包括:

一输入模块,用以接收前级级传信号 $Q(N-1)$ 、前级反相级传信号 $XQ(N-1)$ 以及低电压信号,使所述输入模块产生本级中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$,其中 N 为正整数;

一复位模块,电性连接所述输入模块,用以接收一复位信号、高电压信号以及低电压信号,使所述中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$ 在初始状时清零复位,并且所述复位模块依据所述高电压信号以及所述中继信号 $TP(N)$ 产生一控制信号;

一锁存模块,电性连接所述复位模块,用以接收所述控制信号、第一时钟信号以及所述高电压信号,并且所述锁存模块依据所述控制信号以及第一时钟信号产生本级反相级传信号 $XQ(N)$;以及

一信号处理模块,电性连接所述锁存模块,用以接收所述本级反相级传信号 $XQ(N)$ 、所述低电压信号、第二时钟信号以及第三时钟信号,所述信号处理模块以所述本级级传信号 $Q(N)$ 控制两个晶体管的开启状态,使所述两个晶体管分别通过所述第二时钟信号以及所述第三时钟信号以产生第 N 级栅极信号 $G(N)$ 以及第 $N+1$ 级栅极信号 $G(N+1)$ 。

2. 根据权利要求1所述的阵列基板上栅极驱动电路,其特征在于,所述输入模块包括:

一第一晶体管,包括第一源极、第一栅级以及第一漏极;

一第二晶体管,包括第二源极、第二栅级以及第二漏极;以及

一第三晶体管,包括第三源极、第三栅级以及第三漏极;

其中,所述第一源极耦接所述第三源极以接收所述本级级传信号 $Q(N)$,所述第一漏极、所述第二源极以及所述第三漏极耦接在一起以接收所述本级中继信号 $TP(N)$,所述第一栅级耦接所述第二栅级以接收所述前级级传信号 $Q(N-1)$,所述第三栅级接收所述前级反相级传信号 $XQ(N-1)$,所述第二漏极接收所述低电压信号。

3. 根据权利要求1所述的阵列基板上栅极驱动电路,其特征在于,所述复位模块包括:

一第四晶体管,包括第四源极、第四栅级以及第四漏极;

一第五晶体管,包括第五源极、第五栅级以及第五漏极;

一第六晶体管,包括第六源极、第六栅级以及第六漏极;

一第七晶体管,包括第七源极、第七栅级以及第七漏极;

一第八晶体管,包括第八源极、第八栅级以及第八漏极;以及

一第九晶体管,包括第九源极、第九栅级以及第九漏极;

其中,所述第四栅级耦接所述第五栅级以接收所述复位信号,所述第六栅级以所述第八栅级接收所述本级级传信号 $Q(N)$,所述第七栅级以所述第九栅级接收所述本级中继信号 $TP(N)$,所述第五源极接收所述高电压信号,所述第四漏极耦接所述第六漏极以接收所述低电压信号,所述第四源极、所述第七源极、所述第八漏极以及所述第九漏极耦接在一起以输出所述控制信号,所述第五漏极、所述第八源极以及所述第九源极耦接在一起。

4. 根据权利要求1所述的阵列基板上栅极驱动电路,其特征在于,所述锁存模块包括:

一第一反相器,包括第一输入端以及第一输出端,用以接收所述控制信号以形成反相控制信号;

一第十晶体管,包括第十源极、第十栅级以及第十漏极;

一第十一晶体管,包括第十一源极、第十一栅级以及第十一漏极;以及

一第十二晶体管,包括第十二源极、第十二栅级以及第十二漏极;

其中,所述第一输入端耦接所述第十栅级以及第十二栅级以接收所述控制信号,所述第一输出端用以输出所述反相控制信号至所述第十一栅极,所述第十二晶体管接收所述第一时钟信号,所述第十漏极、所述第十一漏极以及所述第十二漏极耦接在一起以产生本级反相级传信号XQ(N),所述第十二源极接收所述高电压信号。

5.根据权利要求4所述的阵列基板上栅极驱动电路,其特征在于,至少三级依序连接的栅极驱动单元分别定义为前级栅极驱动单元、本级栅极驱动单元以及后级栅极驱动单元,所述前级栅极驱动单元形成所述前级级传信号Q(N-1)以及前级反相级传信号XQ(N-1),所述后级栅极驱动单元的锁存模块还设有一第二反相器,包括第二输入端以及第二输出端,所述第二输入端用以接收所述第一时钟信号以产生反相第一时钟信号,并且所述第二输出端输出反相第一时钟信号至所述第十源极以及所述第十一源极。

6.根据权利要求1所述的阵列基板上栅极驱动电路,其特征在于,所述信号处理模块包括:

一第三反相器,包括第三输入端以及第三输出端,所述第三输入端用以接收所述本级反相级传信号XQ(N)以产生所述本级级传信号Q(N);

一第十三晶体管,包括第十三源极、第十三栅级以及第十三漏极;

一第十四晶体管,包括第十四源极、第十四栅级以及第十四漏极;

一第十五晶体管,包括第十五源极、第十五栅级以及第十五漏极;

一第十六晶体管,包括第十六源极、第十六栅级以及第十六漏极;

一第十七晶体管,包括第十七源极、第十七栅级以及第十七漏极;

一第十八晶体管,包括第十八源极、第十八栅级以及第十八漏极;

一第一组反相单元,包括若干依序串接的第四反相器,耦接所述第十三晶体管、第十五晶体管以及第十七晶体管;以及

一第二组反相单元,包括若干依序串接的第五反相器,耦接所述第十四晶体管、第十六晶体管以及第十八晶体管;

其中,所述第三输入端耦接所述第十五栅级、所述第十六栅级、所述第十七栅级以及所述第十八栅级,所述第三输出端输出所述本级级传信号Q(N)至所述第十三栅级以及所述第十四栅级,所述第十三源极耦接所述第十五源极以接收所述第二时钟信号以产生第N级栅极信号G(N),所述第十四源极耦接所述第十六源极以接收所述第三时钟信号以产生第N+1级栅极信号G(N+1);

其中,所述第十三漏极、所述第十五漏极、所述第十七源极以及所述第一组反相单元的输入端耦接在一起,使所述第一组反相单元输出所述第N级栅极信号G(N),所述第十四漏极、所述第十六漏极、所述第十八源极以及所述第二组反相单元的输入端耦接在一起,使所述第二组反相单元输出所述第N+1级栅极信号G(N+1),所述第十七漏极以及所述第十八漏极接收所述低电压信号。

7.根据权利要求1所述的阵列基板上栅极驱动电路,其特征在于,所述信号处理模块包括:

一第三反相器,包括第三输入端以及第三输出端,所述第三输入端用以接收所述本级反相级传信号XQ(N)以产生所述本级级传信号Q(N);

一第一逻辑单元,耦接所述第三反相器,包括第一与非门以及连接所述第一与非门的第三组反相单元,所述第一与非门的两个输入端分别接收所述本级级传信号 $Q(N)$ 以及所述第二时钟信号,以使所述第三组反相单元产生所述第 N 级栅极信号 $G(N)$;以及

一第二逻辑单元,耦接所述第三反相器,包括第二与非门以及连接所述第二与非门的第四组反相单元,所述第二与非门的两个输入端分别接收所述本级级传信号 $Q(N)$ 以及所述第三时钟信号,以使所述第四组反相单元产生所述第 $N+1$ 级栅极信号 $G(N+1)$ 。

8. 根据权利要求1所述的阵列基板上栅极驱动电路,其特征在于,当 N 等于1时:

在时间区段 t_1 ,当所述前级级传信号 $Q(N-1)$ 产生时,所述本级栅极驱动单元的所述中继信号 $TP(N)$ 变成低电平,所述控制信号为高电平,所述锁存模块打开,所述本级反相级传信号 $XQ(N)$ 为高电平;

当时间区段 t_1 的前级级传信号 $Q(N-1)$ 作用完毕之后进入时间区段 t_2 ,所述第一时钟信号 $CK1$ 变成低电平,所述本级反相级传信号 $XQ(N)$ 变成低电平,所述本级级传信号 $Q(1)$ 变成高电平,此时所述本级栅极驱动单元的信号处理模块打开,所述第二时钟信号 $CK2$ 和第三时钟信号 $CK3$ 的作用产生第一级栅极信号 $G(1)$ 以及第二级栅极信号 $G(2)$;

当所述时间区段 t_2 的所述本级级传信号 $Q(1)$ 为高电平时,后级栅极驱动单元的中继信号 $TP(N+1)$ 变成低电平,所述控制信号为高电平,所述后级栅极驱动单元的锁存模块打开,所述第一时钟信号 $CK1$ 经过反相器输出所述本级反相级传信号 $XQ(N)$,此时 $XQ(N)$ 为低电平;以及

当所述时间区段 t_2 的本级级传信号 $Q(N)$ 作用完毕之后进入时间区段 t_3 ,所述第一时钟信号 $CK1$ 变成高电平,所述后级反相级传信号 $XQ(N+1)$ 变成低电平,所述后级级传信号 $Q(N+1)$ 变成高电平,此时所述后级栅极驱动单元的锁存模块打开,所述第二时钟信号 $CK2$ 和第三时钟信号 $CK3$ 的作用产生第三级栅极信号 $G(3)$ 以及第四级栅极信号 $G(4)$ 。

9. 一种阵列基板上栅极驱动电路,适用于液晶面板,其特征在于,包括:

一输入模块,用以接收前级级传信号 $Q(N-1)$ 、前级反相级传信号 $XQ(N-1)$ 以及低电压信号,使所述输入模块产生本级中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$,其中 N 为正整数,其中所述前级级传信号 $Q(N-1)$ 为所述阵列基板上栅极驱动电路的启动信号;

一复位模块,电性连接所述输入模块,用以接收一复位信号、高电压信号以及低电压信号,使所述中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$ 在初始状时清零复位,并且所述复位模块依据所述高电压信号以及所述中继信号 $TP(N)$ 产生一控制信号;

一锁存模块,电性连接所述复位模块,用以接收所述控制信号、第一时钟信号以及所述高电压信号,并且所述锁存模块依据所述控制信号以及第一时钟信号产生本级反相级传信号 $XQ(N)$;以及

一信号处理模块,电性连接所述锁存模块,用以接收所述本级反相级传信号 $XQ(N)$ 、第二时钟信号以及第三时钟信号,所述信号处理模块以所述本级级传信号 $Q(N)$ 控制若干组晶体管的开启状态,使第一组晶体管通过所述第二时钟信号产生第一级栅极信号 $G(1)$,以及使其余各组晶体管通过所述第三时钟信号分别产生第二级栅极信号 $G(2)$ 至第 N 级栅极信号 $G(N)$ 。

10. 根据权利要求9所述的阵列基板上栅极驱动电路,其特征在于,所述信号处理模块包括:

一第三反相器,包括第三输入端以及第三输出端,所述第三输入端用以接收所述本级反相级传信号 $XQ(N)$ 以产生所述本级级传信号 $Q(N)$;

若干对晶体管,每一对晶体管包括第一型晶体管以及第二型晶体管,每一第一型晶体管以及每一第二型晶体管分别包括源极、栅级以及漏极;以及

若干组反相单元,分别耦接所述若干对晶体管,每一组反相单元包括若干依序串接的第四反相器;

其中,所述第二输入端传送所述本级反相级传信号 $XQ(N)$ 至每一第二型晶体管的栅级,所述第二输出端输出所述本级级传信号 $Q(N)$ 至每一第一型晶体管的栅级,每对晶体管的第一型晶体管以及第二型晶体管的两个源极耦接在一起,并且每对晶体管的第一型晶体管以及第二型晶体管的两个漏极与每一组反相单元耦接在一起,其中第一对晶体管通过所述第二时钟信号 $CK2$ 使第一组反相单元产生第一级栅极信号 $G(1)$,其余各对晶体管通过所述第三时钟信号使其余各组反相单元依序产生第二级栅极信号 $G(2)$ 至第 N 级栅极信号 $G(N)$ 。

阵列基板上栅极驱动电路及使用所述电路的液晶显示器

【技术领域】

[0001] 本发明涉及一种液晶显示器技术领域,且特别是涉及一种阵列基板上栅极驱动电路及使用所述电路的液晶显示器。

【背景技术】

[0002] 由于液晶显示器(liquid crystal display,LCD)具有低辐射、体积小及低耗能等优点,因此逐渐取代传统的阴极射线管(cathode ray tube,CRT)显示器,广泛地应用在笔记型计算机、个人数字助理(personal digital assistant,PDA)、平面电视,或行动电话等信息产品上。

[0003] 阵列基板上栅极驱动电路(Gate Driver On Array,简称GOA),是指利用现有的薄膜晶体管液晶显示器的阵列基板(Array)制程将栅级(Gate)行扫描驱动信号电路制作在阵列基板(Array)上,实现对栅级逐行扫描的驱动方式的显示技术。现有的GOA电路设计,使用较多的时钟(CK)信号线和晶体管,不利于窄边框的液晶显示器设计。而且在传统的窄边框GOA电路设计时,只能缩减单级GOA电路宽度的方式产生多级栅极驱动信号。但是,由于目前显示面板制程的限制,GOA电路的缩减相当困难。因此需要发展一种新式的栅极驱动架构,以解决上述的问题。

【发明内容】

[0004] 有鉴于此,本发明的目的在于提供一种阵列基板上栅极驱动电路及使用所述电路的液晶显示器,通过输入模块、锁存模块以及信号处理模块,使用较少的时钟(CK)信号线和晶体管,有利于窄边框的液晶显示器设计。

[0005] 为达到上述发明目的,本发明第一实施例中提供一种阵列基板上栅极驱动电路,适用于液晶面板,其特征在于,所述阵列基板上栅极驱动电路设有若干依序连接的栅极驱动单元,每一级栅极驱动单元包括:一输入模块,用以接收前级级传信号 $Q(N-1)$ 、前级反相级传信号 $XQ(N-1)$ 以及低电压信号,使所述输入模块产生本级中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$,其中 N 为正整数;一复位模块,电性连接所述输入模块,用以接收一复位信号、高电压信号以及低电压信号,使所述中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$ 在初始状时清零复位,并且所述复位模块依据所述高电压信号以及所述中继信号 $TP(N)$ 产生一控制信号;一锁存模块,电性连接所述复位模块,用以接收所述控制信号、第一时钟信号以及所述高电压信号,并且所述锁存模块依据所述控制信号以及第一时钟信号产生本级反相级传信号 $XQ(N)$;以及一信号处理模块,电性连接所述锁存模块,用以接收所述本级反相级传信号 $XQ(N)$ 、所述低电压信号、第二时钟信号以及第三时钟信号,所述信号处理模块以所述本级级传信号 $Q(N)$ 控制两个晶体管的开启状态,使所述两个晶体管分别通过所述第二时钟信号以及所述第三时钟信号以产生第 N 级栅极信号 $G(N)$ 以及第 $N+1$ 级栅极信号 $G(N+1)$ 。

[0006] 在一实施例中,所述的阵列基板上栅极驱动电路的至少三级依序连接的栅极驱动单元分别定义为前级栅极驱动单元、本级栅极驱动单元以及后级栅极驱动单元,所述前级

栅极驱动单元形成所述前级级传信号 $Q(N-1)$ 以及前级反相级传信号 $XQ(N-1)$ ，所述后级栅极驱动单元的锁存模块还设有一第二反相器，包括第二输入端以及第二输出端，所述第二输入端用以接收所述第一时钟信号以产生反相第一时钟信号，并且所述第二输出端输出反相第一时钟信号至所述第十源极以及所述第十一源极。

[0007] 本发明第二实施例中提供一种阵列基板上栅极驱动电路，所述阵列基板上栅极驱动电路的信号处理模块包括：一第三反相器，包括第三输入端以及第三输出端，所述第三输入端用以接收所述本级反相级传信号 $XQ(N)$ 以产生所述本级级传信号 $Q(N)$ ；一第一逻辑单元，耦接所述第三反相器，包括第一与非门以及连接所述第一与非门的第三组反相单元，所述第一与非门的两个输入端分别接收所述本级级传信号 $Q(N)$ 以及所述第二时钟信号，以使所述第三组反相单元产生所述第 N 级栅极信号 $G(N)$ ；以及一第二逻辑单元，耦接所述第三反相器，包括第二与非门以及连接所述第二与非门的第四组反相单元，所述第二与非门的两个输入端分别接收所述本级级传信号 $Q(N)$ 以及所述第三时钟信号，以使所述第四组反相单元产生所述第 $N+1$ 级栅极信号 $G(N+1)$ 。

[0008] 本发明第三实施例中提供一种阵列基板上栅极驱动电路，包括：一输入模块，用以接收前级级传信号 $Q(N-1)$ 、前级反相级传信号 $XQ(N-1)$ 以及低电压信号，使所述输入模块产生本级中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$ ，其中 N 为正整数，其中所述前级级传信号 $Q(N-1)$ 为所述阵列基板上栅极驱动电路的启动信号；一复位模块，电性连接所述输入模块，用以接收一复位信号、高电压信号以及低电压信号，使所述中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$ 在初始状时清零复位，并且所述复位模块依据所述高电压信号以及所述中继信号 $TP(N)$ 产生一控制信号；一锁存模块，电性连接所述复位模块，用以接收所述控制信号、第一时钟信号以及所述高电压信号，并且所述锁存模块依据所述控制信号以及第一时钟信号产生本级反相级传信号 $XQ(N)$ ；以及一信号处理模块，电性连接所述锁存模块，用以接收所述本级反相级传信号 $XQ(N)$ 、第二时钟信号以及第三时钟信号，所述信号处理模块以所述本级级传信号 $Q(N)$ 控制若干组晶体管的开启状态，使第一组晶体管通过所述第二时钟信号产生第一级栅极信号 $G(1)$ ，以及使其余各组晶体管通过所述第三时钟信号分别产生第二级栅极信号 $G(2)$ 至第 N 级栅极信号 $G(N)$ 。

【附图说明】

[0009] 图1A-1B: 为根据本发明第一实施例中阵列基板上栅极驱动电路的示意图。

[0010] 图2: 为根据本发明实施例中阵列基板上栅极驱动电路相对应的波形信号时序图。

[0011] 图3A-3B: 为根据本发明第二实施例中阵列基板上栅极驱动电路的示意图。

[0012] 图4: 为根据本发明第三实施例中阵列基板上栅极驱动电路的示意图。

【具体实施方式】

[0013] 本发明说明书提供不同的实施例来说明本发明不同实施方式的技术特征。实施例中的各组件的配置是为了清楚说明本发明揭示的内容，并非用以限制本发明。在不同的图式中，相同的组件符号表示相同或相似的组件。

[0014] 参考图1A-1B，图1A-1B为根据本发明第一实施例中阵列基板上栅极驱动电路的示意图。所述阵列基板上栅极驱动电路，适用于液晶面板的阵列基板上，所述阵列基板上栅极

驱动电路设有若干依序连接的栅极驱动单元,每一级栅极驱动单元包括输入模块100、复位模块102、锁存模块104以及信号处理模块106,输入模块100电性连接复位模块102,复位模块102电性连接锁存模块104,锁存模块104电性连接信号处理模块106。

[0015] 在图1A中,输入模块100用以接收前级级传信号 $Q(N-1)$ 、前级反相级传信号 $XQ(N-1)$ 以及低电压信号VGL,使所述输入模块100产生本级中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$,其中 N 为正整数。复位模块102用以接收一复位信号SRE、高电压信号VGH(例如是正电压信号)以及低电压信号(例如是负电压信号)VGL,使所述中继信号 $TP(N)$ 以及本级级传信号 $Q(N)$ 在初始状时清零复位(reset),如图2的RS信号,并且所述复位模块102依据所述高电压信号VGH以及所述中继信号 $TP(N)$ 产生控制信号SC。

[0016] 如图1A所示,锁存模块104用以接收所述控制信号SC、第一时钟信号CK1以及所述高电压信号VGH,并且所述锁存模块104依据所述控制信号SC以及第一时钟信号CK1产生本级反相级传信号 $XQ(N)$ 。信号处理模块106用以接收所述本级反相级传信号 $XQ(N)$ 、所述低电压信号VGL、第二时钟信号CK2以及第三时钟信号CK3,所述信号处理模块以所述本级级传信号 $Q(N)$ 控制两个晶体管的开启状态,使所述两个晶体管分别通过所述第二时钟信号CK2以及所述第三时钟信号CK3以产生第 N 级栅极信号 $G(N)$ 以及第 $N+1$ 级栅极信号 $G(N+1)$ 。

[0017] 在图1A中,输入模块100包括第一晶体管T1、第二晶体管T2以及第三晶体管T3。第一晶体管T1包括第一源极、第一栅级以及第一漏极;第二晶体管T2包括第二源极、第二栅级以及第二漏极;以及第三晶体管T3包括第三源极、第三栅级以及第三漏极。其中,所述第一源极耦接所述第三源极以接收所述本级级传信号 $Q(N)$,所述第一漏极、所述第二源极以及所述第三漏极耦接在一起以接收所述本级中继信号 $TP(N)$,所述第一栅级耦接所述第二栅级以接收所述前级级传信号 $Q(N-1)$,所述第三栅级接收所述前级反相级传信号 $XQ(N-1)$,所述第二漏极接收所述低电压信号VGL。

[0018] 如图1A所示,复位模块102包括第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8以及第九晶体管T9。第四晶体管T4包括第四源极、第四栅级以及第四漏极;第五晶体管T5包括第五源极、第五栅级以及第五漏极;第六晶体管T6包括第六源极、第六栅级以及第六漏极;第七晶体管T7包括第七源极、第七栅级以及第七漏极;第八晶体管T8包括第八源极、第八栅级以及第八漏极;以及第九晶体管T9,包括第九源极、第九栅级以及第九漏极。其中,所述第四栅级耦接所述第五栅级以接收所述复位信号,所述第六栅级以所述第八栅级接收所述本级级传信号 $Q(N)$,所述第七栅级以所述第九栅级接收所述本级中继信号 $TP(N)$,所述第五源极接收所述高电压信号,所述第四漏极耦接所述第六漏极以接收所述低电压信号,所述第四源极、所述第七源极、所述第八漏极以及所述第九漏极耦接在一起以输出所述控制信号,所述第五漏极、所述第八源极以及所述第九源极耦接在一起。

[0019] 在图1A中,锁存模块104包括第一反相器108a、第十晶体管T10、第十一晶体管T11以及第十二晶体管T12。第一反相器108a包括第一输入端以及第一输出端,用以接收所述控制信号以形成反相控制信号。第十晶体管T10包括第十源极、第十栅级以及第十漏极;第十一晶体管T11包括第十一源极、第十一栅级以及第十一漏极;以及第十二晶体管T12包括第十二源极、第十二栅级以及第十二漏极;其中,所述第一输入端In耦接所述第十栅级以及第十二栅级以接收所述控制信号SC,所述第一输出端用以输出所述反相控制信号至所述第十一栅级,所述第十二晶体管T12接收所述第一时钟信号CK1,所述第十漏极、所述第十一漏极

以及所述第十二漏极耦接在一起以产生本级反相级传信号XQ(N),所述第十二源极接收所述高电压信号VGH。

[0020] 如图1A以及图1B所示,阵列基板上栅极驱动电路中任意三级依序连接的栅极驱动单元分别定义为前级栅极驱动单元(未图标)、本级栅极驱动单元(如图1A所示)以及后级栅极驱动单元(如图1B所示),此处绘示出本级栅极驱动单元以及后级栅极驱动单元,所述前级栅极驱动单元形成所述前级级传信号Q(N-1)以及前级反相级传信号XQ(N-1)并且输入至本级栅极驱动单元(如图1A所示),所述后级栅极驱动单元的锁存模块还包括一第二反相器108b,耦接所述第十源极与所述第十一源极,所述第二反相器108b用以接收所述第一时钟信号CK1,以产生反相第一时钟信号并且输出至所述第十源极以及所述第十一源极。应注意的是,本级栅极驱动单元(如图1A所示)以及后级栅极驱动单元(如图1B所示)的差异在第二反相器108b,其余组件皆相同。

[0021] 如图1A所示,所述信号处理模块包括第三反相器108c、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15、第十六晶体管T16、第十七晶体管T17、第十八晶体管T18、第一组反相单元110a以及第二组反相单元110b。第三反相器108c包括第三输入端以及第三输出端,所述第三输入端用以接收所述本级反相级传信号XQ(N)以产生所述本级级传信号Q(N);第十三晶体管T13包括第十三源极、第十三栅级以及第十三漏极;第十四晶体管T14包括第十四源极、第十四栅级以及第十四漏极;第十五晶体管T15包括第十五源极、第十五栅级以及第十五漏极;第十六晶体管T16包括第十六源极、第十六栅级以及第十六漏极;第十七晶体管T17包括第十七源极、第十七栅级以及第十七漏极;第十八晶体管T18包括第十八源极、第十八栅级以及第十八漏极;第一组反相单元110a包括若干依序串接的第四反相器108d,耦接所述第十三晶体管、第十五晶体管以及第十七晶体管;以及第二组反相单元110b包括若干依序串接的第五反相器108e,耦接所述第十四晶体管、第十六晶体管以及第十八晶体管。

[0022] 其中,所述第三输入端耦接所述第十五栅级、所述第十六栅级、所述第十七栅级以及所述第十八栅级,所述第三输出端输出所述本级级传信号Q(N)至所述第十三栅级以及所述第十四栅级,所述第十三源极耦接所述第十五源极以接收所述第二时钟信号CK2以产生第N级栅极信号G(N),所述第十四源极耦接所述第十六源极以接收所述第三时钟信号CK3以产生第N+1级栅极信号G(N+1)。其中,所述第十三漏极、所述第十五漏极、所述第十七源极以及所述第一组反相单元110a的输入端耦接在一起,使所述第一组反相单元110a输出所述第N级栅极信号G(N),所述第十四漏极、所述第十六漏极、所述第十八源极以及所述第二组反相单元110b的输入端耦接在一起,使所述第二组反相单元110b输出所述第N+1级栅极信号G(N+1),所述第十七漏极以及所述第十八漏极接收所述低电压信号VGL。

[0023] 继续参考图1A-1B并且参考图2,图2为根据本发明实施例中阵列基板上栅极驱动电路相对应的波形信号时序图。如图2所示,以N等于1为例,在时间区段t1,当前级级传信号Q(0)(例如是启动信号(STV))产生时,本级栅极驱动单元的中继信号TP(1)(等同Q(1)波形)变成低电平L,控制信号SC为高电平(未图示),锁存模块104的晶体管T10、T11打开,本级反相级传信号XQ(1)为高电平H。此处,STV例如是一帧画面的启始信号例如是一帧画面的启始信号。

[0024] 当时间区段t1的前级级传信号Q(0)作用完毕之后进入时间区段t2,第一时钟信号

CK1变成低电平,本级反相级传信号XQ(1)变成低电平,本级级传信号Q(1)变成高电平,此时本级栅极驱动单元的信号处理模块106的晶体管T13~T16打开,第二时钟信号CK2和第三时钟信号CK3的作用产生第一级栅极信号G(1)以及第二级栅极信号G(2)两级栅极驱动信号。

[0025] 当所述时间区段t2的本级级传信号Q(1)的高电平脉冲产生时,后级栅极驱动单元(如图1B所示)的中继信号TP(2)(等同Q(2)波形)变成低电平,控制信号SC为高电平(未图示),后级栅极驱动单元的锁存模块104的晶体管T10、T11打开,第一时钟信号CK1经过第二反相器108b输出本级反相级传信号XQ(1),此时XQ(1)为低电平。

[0026] 当所述时间区段t2的本级级传信号Q(1)作用完毕之后进入时间区段t3,第一时钟信号CK1变成高电平,后级反相级传信号XQ(2)变成低电平,后级级传信号Q(2)变成高电平,此时后级栅极驱动单元的锁存模块104的晶体管T13~T16打开,第二时钟信号CK2和第三时钟信号CK3的作用产生第三级栅极信号G(3)以及第四级栅极信号G(4)两级栅极驱动信号。

[0027] 参考图3A-3B,其为根据本发明第二实施例中阵列基板上栅极驱动电路的示意图,其分别类似图1A-1B的第一实施例中阵列基板上栅极驱动电路,其差异在于信号处理模块106a,所述信号处理模块106a包括第三反相器108c、第一逻辑单元112a以及第二逻辑单元112b,第三反相器108c分别耦接第一逻辑单元112a以及第二逻辑单元112b。第三反相器108c包括第三输入端以及第三输出端,所述第三输入端用以接收所述本级反相级传信号XQ(N)以产生所述本级级传信号Q(N);第一逻辑单元112a包括第一与非门(NAND)114a以及连接所述第一与非门114a的若干串连第三组反相单元110c,所述第一与非门114a的两个输入端分别接收所述本级级传信号Q(N)以及所述第二时钟信号CK2,以使所述第三组反相单元110c产生所述第N级栅极信号G(N);以及第二逻辑单元112b包括第二与非门114b以及连接所述第二与非门114b的第四组反相单元110d,所述第二与非门114b的两个输入端分别接收所述本级级传信号Q(N)以及所述第三时钟信号CK3,以使所述第四组反相单元110d产生所述第N+1级栅极信号G(N+1)。第三组反相单元110c以及第四组反相单元110d分别包括若干第四反相器108d。

[0028] 参考图4,其为根据本发明第三实施例中阵列基板上栅极驱动电路的示意图,其类似图1A的第一实施例中阵列基板上栅极驱动电路,其差异在于图4的阵列基板上栅极驱动电路只设置一级栅极驱动单元,并且信号处理模块106b不同于图1A的信号处理模块106。所述阵列基板上栅极驱动电路适用于液晶面板,包括:输入模块100、复位模块102、锁存模块104以及信号处理模块106b,输入模块100电性连接复位模块102,复位模块102电性连接锁存模块104,锁存模块104电性连接信号处理模块106b。输入模块100用以接收前级级传信号Q(N-1)、前级反相级传信号XQ(N-1)以及低电压信号VGL,使所述输入模块产生本级中继信号TP(N)以及本级级传信号Q(N),其中N为正整数,其中所述前级级传信号Q(N-1)为所述阵列基板上栅极驱动电路的启动信号(STV),STV例如是一帧画面的启始信号。

[0029] 复位模块102用以接收一复位信号、高电压信号VGH以及低电压信号VGL,使所述中继信号TP(N)以及本级级传信号Q(N)在初始状时清零复位,并且所述复位模块102依据所述高电压信号VGH以及所述中继信号TP(N)产生控制信号SC;锁存模块104用以接收所述控制信号SC、第一时钟信号CK1以及所述高电压信号VGH,并且所述锁存模块104依据所述控制信号以及第一时钟信号CK1产生本级反相级传信号XQ(N);以及信号处理模块106b用以接收所述本级反相级传信号XQ(N)、第二时钟信号CK2以及第三时钟信号CK3,所述信号处理模块

106b通过所述本级级传信号Q(N)控制若干组晶体管(例如是图1A的第十三晶体管T13以及第十五晶体管T15)TS的开启状态,使第一对晶体管TS1通过所述第二时钟信号CK2产生第一级栅极信号G(1),以及使其余各对晶体管TSN通过所述第三时钟信号CK3分别产生第二级栅极信号G(2)至第N级栅极信号G(N)。

[0030] 在图4的实施例中,所述信号处理模块106b包括第三反相器108c、若干对晶体管TS以及若干组反相单元110e。第三反相器108c包括第三输入端以及第三输出端,所述第三输入端用以接收所述本级反相级传信号XQ(N)以产生所述本级级传信号Q(N);每一对晶体管TS包括第一型晶体管以及第二型晶体管,每一第一型晶体管以及每一第二型晶体管分别包括源极、栅级以及漏极;若干组反相单元110e分别耦接所述若干对晶体管,每一组反相单元110e包括若干依序串接的第四反相器108d。其中,所述第二输入端传送所述本级反相级传信号XQ(N)至每一第二型晶体管的栅级,所述第二输出端输出所述本级级传信号Q(N)至每一第一型晶体管的栅级,每对晶体管的第一型晶体管以及第二型晶体管的两个源极耦接在一起,并且每对晶体管的第一型晶体管以及第二型晶体管的两个漏极与每一组反相单元耦接在一起,其中第一对晶体管通过所述第二时钟信号CK2使第一组反相单元110e产生第一级栅极信号G(1),其余各对晶体管通过所述第三时钟信号CK3使其余各组反相单元110e依序产生第二级栅极信号G(2)至第N级栅极信号G(N)。本发明的反相器用于增加栅极驱动信号的驱动能力,以减少电阻/电容的延迟效应。

[0031] 本发明的第二实施例提供一种液晶显示器,包括上述任意一个实施例的栅极驱动电路。

[0032] 综上所述,本发明的阵列基板上栅极驱动电路及使用所述电路的液晶显示器,通过输入模块、锁存模块以及信号处理模块,使用较少的时钟(CK)信号线和晶体管,有利于窄边框的液晶显示器设计,解决目前显示面板制程的限制问题。

[0033] 虽然本发明已用较佳实施例揭露如上,然其并非用以限定本发明,本发明所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作各种的更动与润饰,因此本发明的保护范围当视后附的权利要求范围所界定者为准。

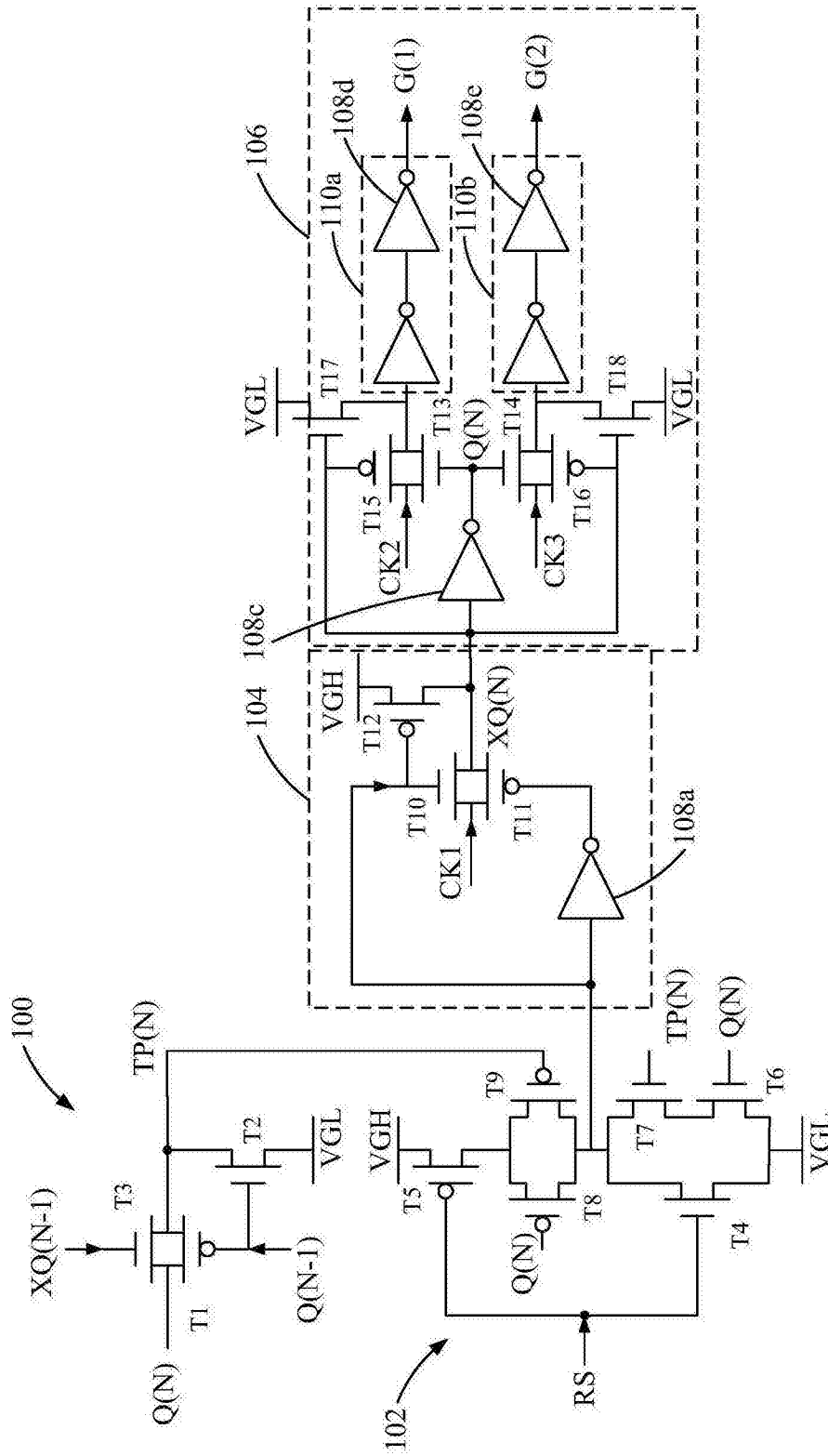


图1A

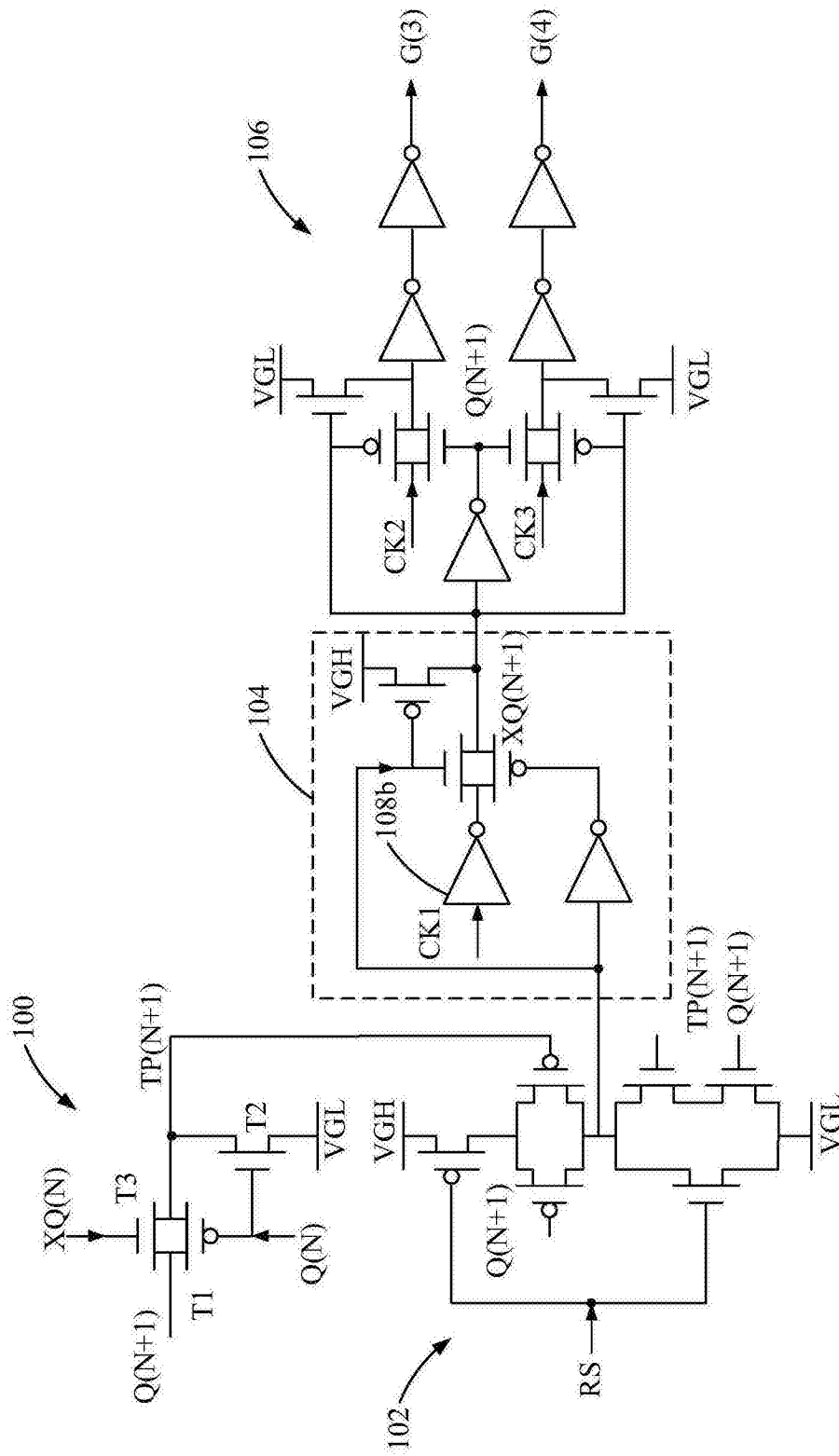


图1B

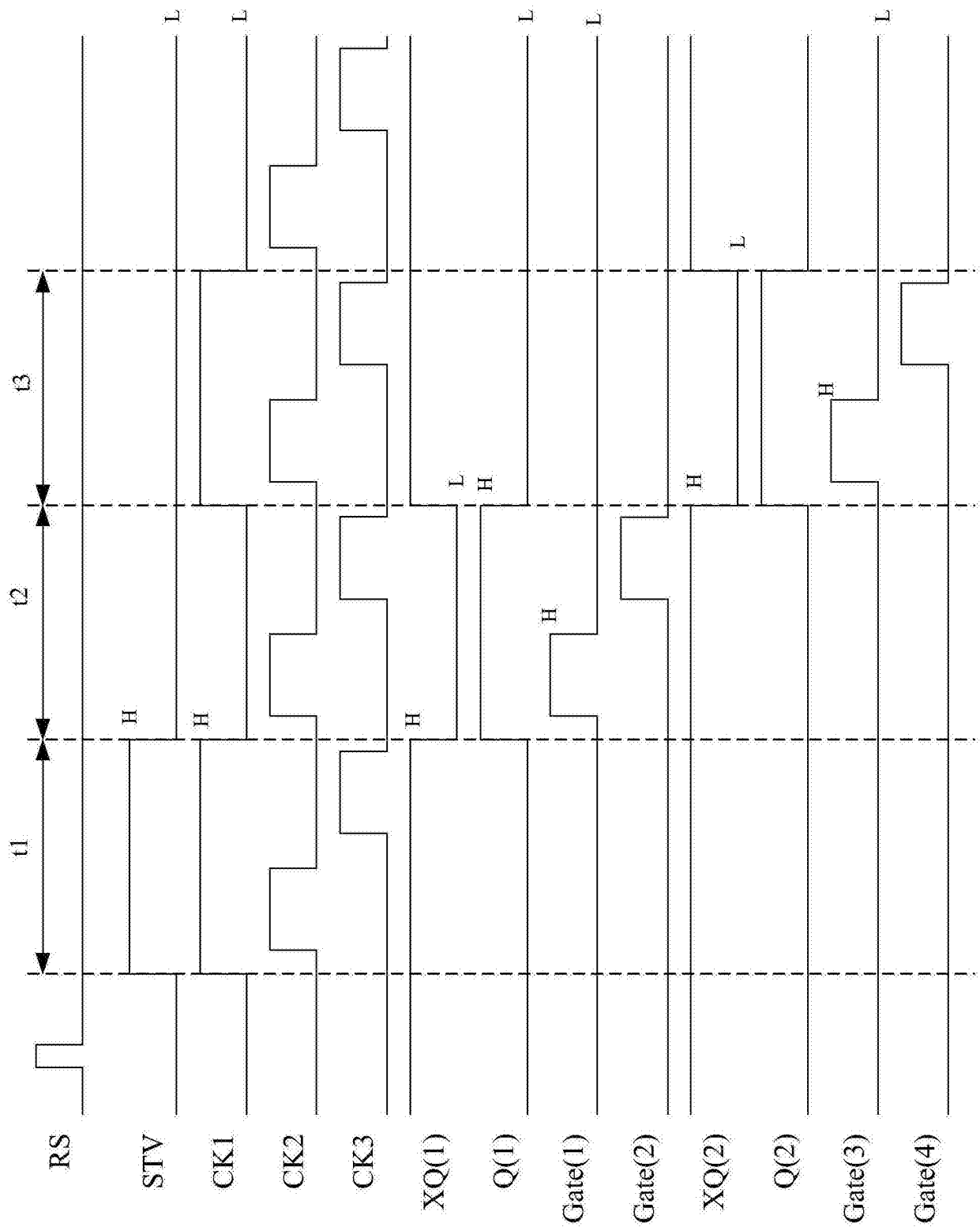


图2

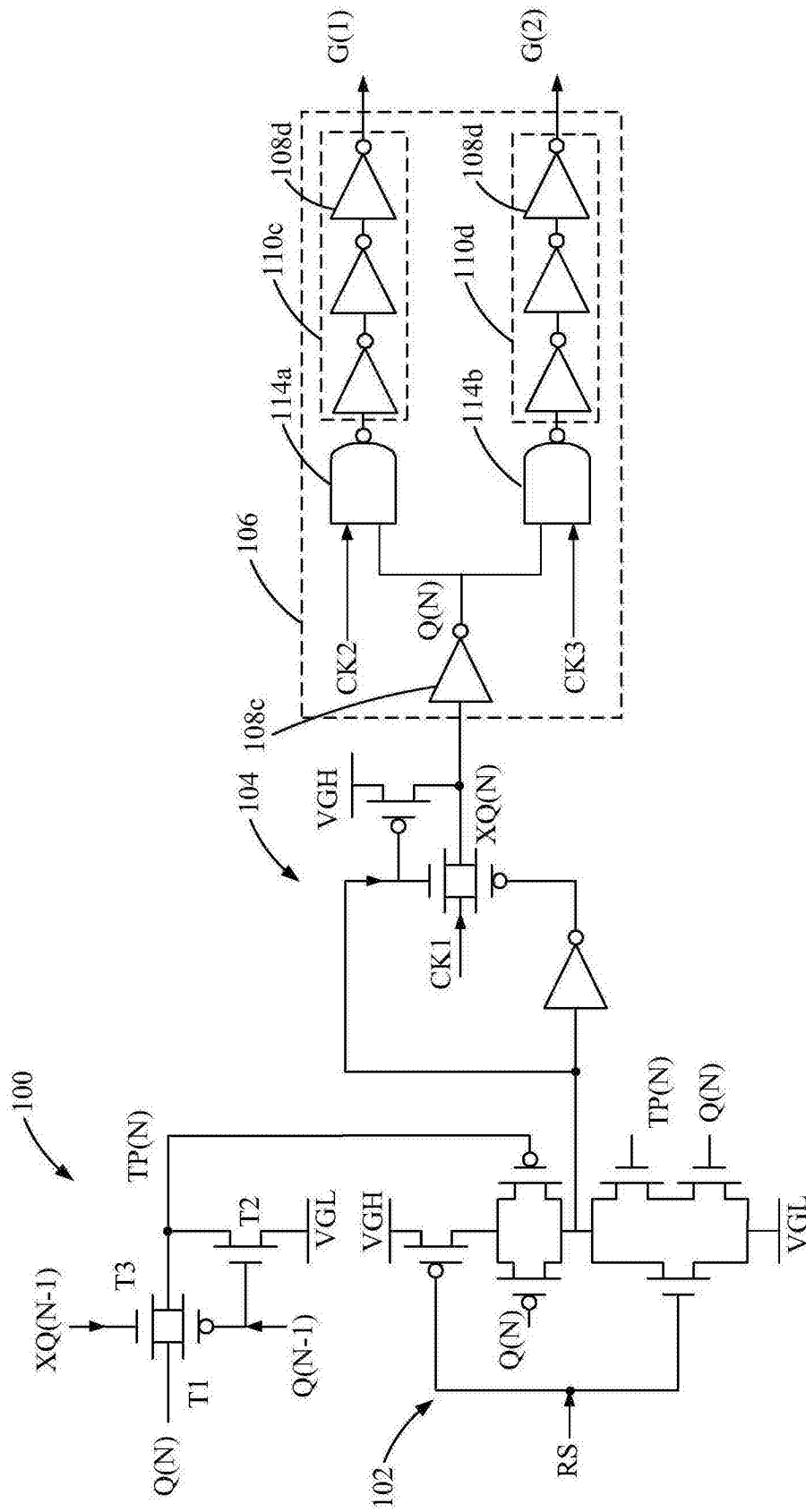


图3A

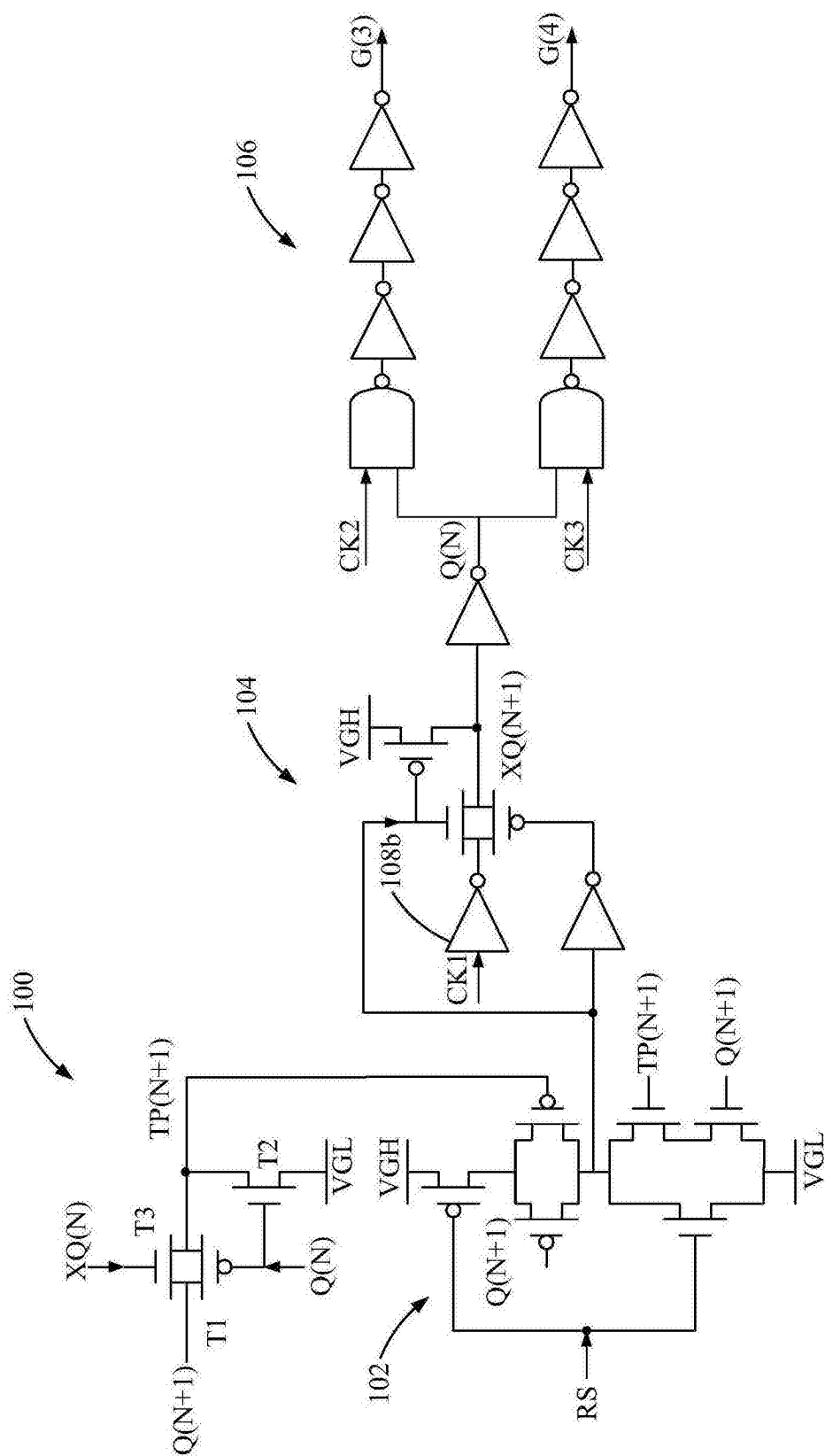


图3B

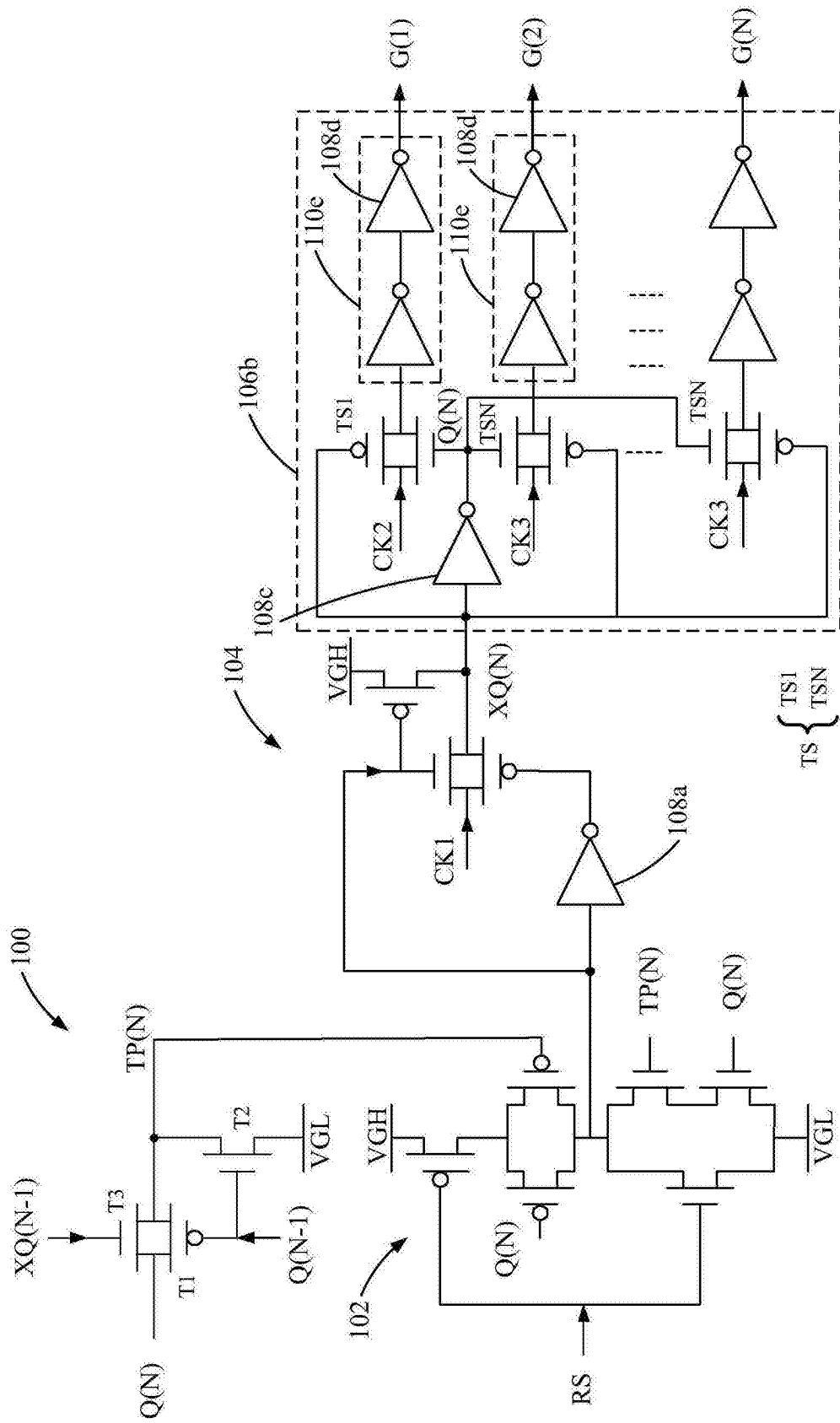


图4

本发明涉及一种阵列基板上栅极驱动电路及使用所述电路的液晶显示器，所述阵列基板上栅极驱动电路设有若干依序连接的栅极驱动单元，每一级栅极驱动单元包括输入模块、复位模块、锁存模块以及信号处理模块。信号处理模块用以接收所述本级反相级传信号 $XQ(N)$ 、所述低电压信号、第二时钟信号以及第三时钟信号，所述信号处理模块以所述本级级传信号 $Q(N)$ 控制两个晶体管的开启状态，使所述两个晶体管分别通过所述第二时钟信号以及所述第三时钟信号以产生第 N 级栅极信号 $G(N)$ 以及第 $N+1$ 级栅极信号 $G(N+1)$ 。本发明使用较少的时钟(CK)信号线和晶体管，有利于窄边框的液晶显示器设计。

