



(12)发明专利

(10)授权公告号 CN 104035217 B

(45)授权公告日 2016.08.24

(21)申请号 201410216387.4

审查员 崔丽君

(22)申请日 2014.05.21

(73)专利权人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明
大道9-2号

(72)发明人 付延峰

(74)专利代理机构 北京聿宏知识产权代理有限
公司 11372

代理人 吴大建 刘华联

(51)Int.Cl.

G02F 1/13(2006.01)

(56)对比文件

US 2011096449 A1,2011.04.28,

CN 101604103 A,2009.12.16,

CN 103713434 A,2014.04.09,

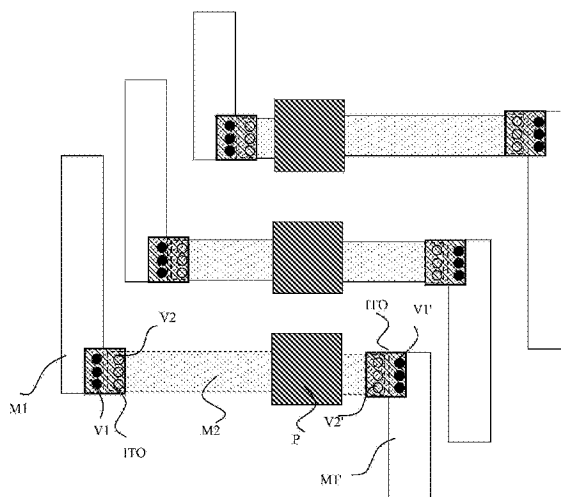
权利要求书1页 说明书3页 附图2页

(54)发明名称

显示器阵列基板的外围测试线路以及液晶
显示面板

(57)摘要

本发明公开了一种显示器阵列基板的外围测试线路以及液晶显示面板。该显示器阵列基板的外围测试线路包括：多组测试信号线，每组测试信号线由隔开间隔设置的第一测试信号线和第二测试信号线组成；多条测试垫引线，每条测试垫引线设置在相应组的第一测试信号线和第二测试信号线的间隔处，且每条测试垫引线与第一测试信号线和第二测试信号线连接、不与其他组的第一测试信号线和第二测试信号线重叠；多个测试垫，每个测试垫设置在相应的测试垫引线上。本发明的外围测试电路改善了现有外围测试电路中测试垫引线与测试信号线具有重叠跨接、容易造成静电释放而导致测试垫引线与测试信号线短接的问题，能够降低静电释放的击伤风险。



1. 一种显示器阵列基板的外围测试线路,其特征在于,包括:

多组测试信号线,每组测试信号线由隔开间隔设置的第一测试信号线和第二测试信号线组成;

多条测试垫引线,每条测试垫引线设置在相应组的第一测试信号线和第二测试信号线的间隔处,且每条测试垫引线与第一测试信号线和第二测试信号线连接、不与其他组的第一测试信号线和第二测试信号线重叠,多条测试垫引线以相互平行错位的方式排列;

多个测试垫,每个测试垫设置在相应的测试垫引线上,

每条测试垫引线通过第一钝化层过孔和第二钝化层过孔与相应组的第一测试信号线非重叠连接,且每条测试垫引线通过第三钝化层过孔和第四钝化层过孔与相应组的第二测试信号线非重叠连接,其中,

第一钝化层过孔为ITO层与该第一测试信号线连接的钝化层过孔,第二钝化层过孔为所述ITO层与该测试垫引线连接的钝化层过孔,第三钝化层过孔为另一ITO层与该第二测试信号线连接的钝化层过孔,第四钝化层过孔为所述另一ITO层与该测试垫引线连接的钝化层过孔。

2. 根据权利要求1所述的外围测试线路,其特征在于,

每组的第一测试信号线和第二测试信号线分别与相应的测试垫引线垂直连接。

3. 一种显示器阵列基板,其特征在于,包括:

显示区;

位于所述显示区周围的外围测试线路,该外围测试线路包括:

多组测试信号线,每组测试信号线由隔开间隔设置的第一测试信号线和第二测试信号线组成;

多条测试垫引线,每条测试垫引线设置在相应组的第一测试信号线和第二测试信号线的间隔处,且每条测试垫引线与第一测试信号线和第二测试信号线连接、不与其他组的第一测试信号线和第二测试信号线重叠,多条测试垫引线以相互平行错位的方式排列;

多个测试垫,每个测试垫设置在相应的测试垫引线上,

每条测试垫引线通过第一钝化层过孔和第二钝化层过孔与相应组的第一测试信号线非重叠连接,且每条测试垫引线通过第三钝化层过孔和第四钝化层过孔与相应组的第二测试信号线非重叠连接,其中,

第一钝化层过孔为ITO层与该第一测试信号线连接的钝化层过孔,第二钝化层过孔为所述ITO层与该测试垫引线连接的钝化层过孔,第三钝化层过孔为另一ITO层与该第二测试信号线连接的钝化层过孔,第四钝化层过孔为所述另一ITO层与该测试垫引线连接的钝化层过孔。

4. 根据权利要求3所述的显示器阵列基板,其特征在于,

每组的第一测试信号线和第二测试信号线分别与相应的测试垫引线垂直连接。

5. 一种液晶显示面板,其特征在于,包括如权利要求3或4所述的显示器阵列基板。

显示器阵列基板的外围测试线路以及液晶显示面板

技术领域

[0001] 本发明涉及液晶显示器领域,尤其涉及一种显示器阵列基板的外围测试线路以及液晶显示面板。

背景技术

[0002] 一般,在制作液晶显示器的前段过程中,使用外延的方法在基板上形成数百万颗的薄膜晶体管以作为控制单元,然而,若有部分的薄膜晶体管在制作时质量达不到预期效果,导致无法表现出其开关控制特性,则会产生如亮点或暗点的缺陷,大幅地降低液晶显示器的质量。因此,必须对薄膜晶体管进行有效地测试,以维持液晶显示器的质量。

[0003] 在现有的对液晶显示器的薄膜晶体管进行测试的方案中,TFT阵列基板外围区域的测试信号线与测试垫的连接结构具体可参考图1。如图1所示,基板外围区域的测试信号线M1通过ITO与测试信号线M1连接的钝化层过孔V1、以及ITO与测试垫引线M2连接的钝化层过孔V2与测试垫引线M2连接,进而连接到相应的测试垫P上。从图中可以看出,在不同的测试信号线M1通过测试垫引线M2连接到相应的测试垫P的过程中,测试垫引线M2必然会横跨其他的测试信号线M1,在测试信号线M1与测试垫引线M2交界跨接的过程中容易造成静电施放而使测试信号线M1和测试垫引线M2短接,导致测试信号线短路而无法检测,因而降低产品的合格率。

[0004] 因此,需要一种解决方案来改善现有技术中测试信号线和测试垫引线容易短接的问题,降低静电施放的击伤风险,提升产品测试准确率,进而提高产品合格率。

发明内容

[0005] 本发明所要解决的技术问题之一是需要提供一种显示器阵列基板的外围测试线路,该外围测试线路能够解决测试信号线和测试垫引线容易短接的问题,降低静电施放的击伤风险。另外,还提供了一种显示器阵列基板和液晶显示面板。

[0006] 为了解决上述技术问题,本发明提供了一种显示器阵列基板的外围测试线路,包括:多组测试信号线,每组测试信号线由隔开间隔设置的第一测试信号线和第二测试信号线组成;多条测试垫引线,每条测试垫引线设置在相应组的第一测试信号线和第二测试信号线的间隔处,且每条测试垫引线与第一测试信号线和第二测试信号线连接、不与其他组的第一测试信号线和第二测试信号线重叠;多个测试垫,每个测试垫设置在相应的测试垫引线上。

[0007] 在一个实施例中,每条测试垫引线通过第一钝化层过孔和第二钝化层过孔与相应组的第一测试信号线非重叠连接,且每条测试垫引线通过第三钝化层过孔和第四钝化层过孔与相应组的第二测试信号线非重叠连接,其中,第一钝化层过孔为ITO层与该第一测试信号线连接的钝化层过孔,第二钝化层过孔为所述ITO层与该测试垫引线连接的钝化层过孔,第三钝化层过孔为另一ITO层与该第二测试信号线连接的钝化层过孔,第四钝化层过孔为所述另一ITO层与该测试垫引线连接的钝化层过孔。

[0008] 在一个实施例中,多条测试垫引线以相互平行错位的方式排列。

[0009] 在一个实施例中,每组的第一测试信号线和第二测试信号线分别与相应的测试垫引线垂直连接。

[0010] 根据本发明的另一方面,还提供了一种显示器阵列基板,包括:显示区;位于所述显示区周围的外围测试线路,该外围测试线路包括:多组测试信号线,每组测试信号线由隔开间隔设置的第一测试信号线和第二测试信号线组成;多条测试垫引线,每条测试垫引线设置在相应组的第一测试信号线和第二测试信号线的间隔处,且每条测试垫引线与第一测试信号线和第二测试信号线连接、不与其他组的第一测试信号线和第二测试信号线重叠;多个测试垫,每个测试垫设置在相应的测试垫引线上。

[0011] 在一个实施例中,每条测试垫引线通过第一钝化层过孔和第二钝化层过孔与相应组的第一测试信号线非重叠连接,且每条测试垫引线通过第三钝化层过孔和第四钝化层过孔与相应组的第二测试信号线非重叠连接,其中,第一钝化层过孔为ITO层与该第一测试信号线连接的钝化层过孔,第二钝化层过孔为所述ITO层与该测试垫引线连接的钝化层过孔,第三钝化层过孔为另一ITO层与该第二测试信号线连接的钝化层过孔,第四钝化层过孔为所述另一ITO层与该测试垫引线连接的钝化层过孔。

[0012] 在一个实施例中,多条测试垫引线以相互平行错位的方式排列。

[0013] 在一个实施例中,每组的第一测试信号线和第二测试信号线分别与相应的测试垫引线垂直连接。

[0014] 根据本发明的另一方面,还提供了一种液晶显示面板,包括上述的显示器阵列基板。

[0015] 与现有技术相比,本发明的一个或多个实施例可以具有如下优点:

[0016] 本发明的外围测试线路,通过改变测试信号线与测试垫的连接方式,避免测试垫引线与测试信号线跨界现象的出现,且在测试垫引线与测试信号线连接处,通过过孔使测试垫引线不跨界到测试信号线。降低静电释放的击伤风险,提升产品测试准确率,提高产品良率

[0017] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

[0018] 附图用来提供对本发明的进一步理解,并且构成说明书的一部分,与本发明的实施例共同用于解释本发明,并不构成对本发明的限制。在附图中:

[0019] 图1是现有技术中TFT阵列基板外围区域的测试信号线与测试垫的连接结构示意图;

[0020] 图2是根据本发明实施例的显示器阵列基板的外围测试线路示意图。

具体实施方式

[0021] 为使本发明的目的、技术方案和优点更加清楚,以下结合附图对本发明作进一步地详细说明。

[0022] 图2是根据本发明实施例的显示器阵列基板的外围测试线路示意图。

[0023] 如图2所示,该外围测试线路包括:多组测试信号线,每组测试信号线由隔开间隔设置的第一测试信号线M1和第二测试信号线M1'组成;多条测试垫引线M2,每条测试垫引线M2设置在相应组的第一测试信号线M1和第二测试信号线M1'的间隔处,且每条测试垫引线M2与第一测试信号线M1和第二测试信号线M1'连接、且不与其他组的第一测试信号线M1和第二测试信号线M1'重叠;多个测试垫P,每个测试垫P设置在每条测试垫引线M2上。测试垫P可将信号发生器产生的测试信号通过测试信号线M1和M1'传输到相应的数据线或扫描线,以测试数据线或扫描线是否断路。

[0024] 在一个实施例中,每条测试垫引线M2的一端通过第一钝化层过孔V1和第二钝化层过孔V2与相应组的第一测试信号线M1非重叠连接,且每条测试垫引线M2的另一端通过第三钝化层过孔V1'和第四钝化层过孔V2'与相应组的第二测试信号线M1'非重叠连接,其中,第一钝化层过孔V1为ITO层与该第一测试信号线M1连接的钝化层过孔,第二钝化层过孔V2为ITO层与该测试垫引线M2的一端连接的钝化层过孔,第三钝化层过孔V1'为另一ITO层与该第二测试信号线M1'连接的钝化层过孔,第四钝化层过孔V2'为该另一ITO层与该测试垫引线M2的另一端连接的钝化层过孔。优选地,多条测试垫引线M2以相互平行错位的方式排列,而且每组的第一测试信号线M1和第二测试信号线M1'分别与相应的测试垫引线M2垂直连接,具体如图2所示。

[0025] 本发明实施例的外围测试电路改善了现有外围测试电路中测试垫引线与测试信号线具有重叠跨接、容易造成静电释放而导致测试垫引线与测试信号线短接的问题。能够降低静电释放的击伤风险,提升产品测试准确率,提高产品的合格率。

[0026] 本发明还提供了一种显示器阵列基板,该显示器阵列基板包括显示区和位于该显示区周围的外围测试线路,其中,该外围测试线路为上述结构的外围测试线路。另外,本发明还提供了一种液晶显示面板,该液晶显示面板包括上述的显示器阵列基板。

[0027] 以上所述,仅为本发明的具体实施案例,本发明的保护范围并不局限于此,任何熟悉本技术的技术人员在本发明所述的技术规范内,对本发明的修改或替换,都应在本发明的保护范围之内。

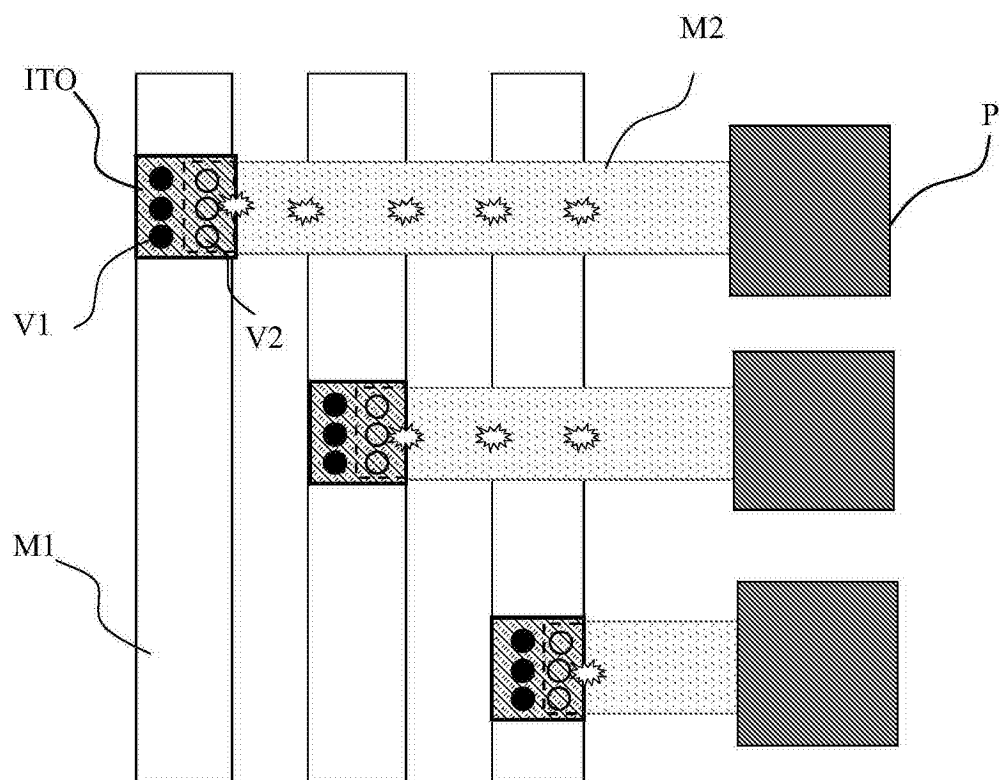


图 1

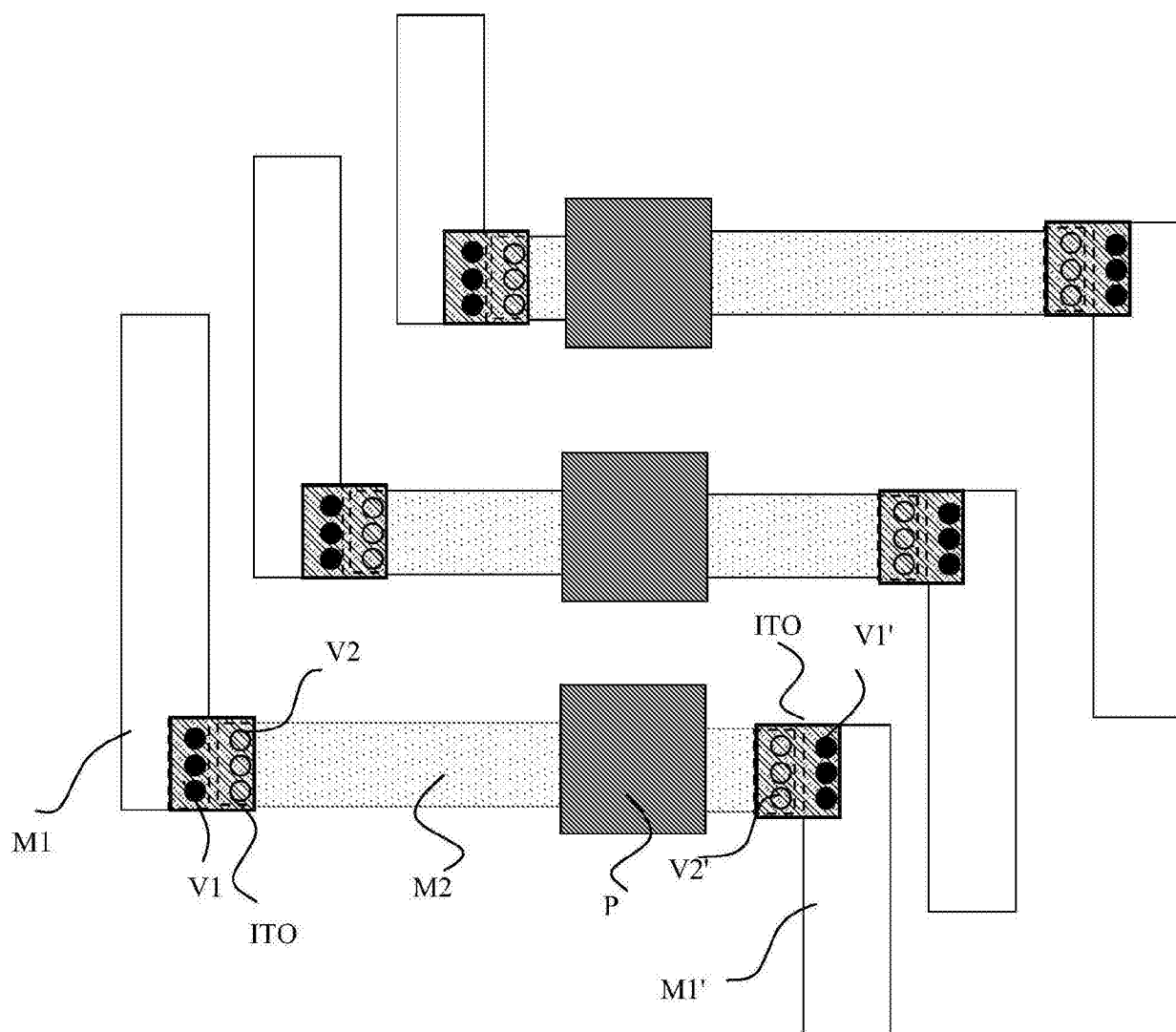


图2

专利名称(译)	显示器阵列基板的外围测试线路以及液晶显示面板		
公开(公告)号	CN104035217B	公开(公告)日	2016-08-24
申请号	CN201410216387.4	申请日	2014-05-21
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	付延峰		
发明人	付延峰		
IPC分类号	G02F1/13		
CPC分类号	G02F1/1309 G01R19/16519 G01R31/2621 G01R31/2635 G02F1/1362 G02F2001/136254		
代理人(译)	刘华联		
审查员(译)	崔丽君		
其他公开文献	CN104035217A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种显示器阵列基板的外围测试线路以及液晶显示面板。该显示器阵列基板的外围测试线路包括：多组测试信号线，每组测试信号线由隔开间隔设置的第一测试信号线和第二测试信号线组成；多条测试垫引线，每条测试垫引线设置在相应组的第一测试信号线和第二测试信号线的间隔处，且每条测试垫引线与第一测试信号线和第二测试信号线连接、不与其他组的第一测试信号线和第二测试信号线重叠；多个测试垫，每个测试垫设置在相应的测试垫引线上。本发明的外围测试电路改善了现有外围测试电路中测试垫引线与测试信号线具有重叠跨接、容易造成静电释放而导致测试垫引线与测试信号线短接的问题，能够降低静电释放的击伤风险。

