



(12)发明专利申请

(10)申请公布号 CN 110738974 A

(43)申请公布日 2020.01.31

(21)申请号 201911031132.X

(22)申请日 2019.10.28

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 合肥鑫晟光电科技有限公司

(72)发明人 刘玉东 李海龙 邓传峰 刘强

陈志远 张晓哲 熊雄 王宁

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 姚楠

(51)Int.Cl.

G09G 3/36(2006.01)

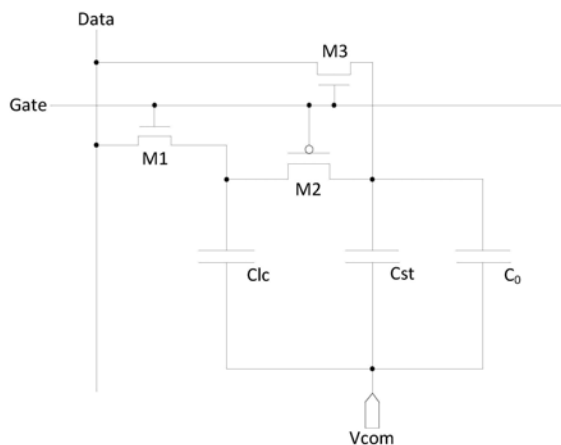
权利要求书1页 说明书6页 附图5页

(54)发明名称

液晶像素电路、其驱动方法、显示面板及显示装置

(57)摘要

本发明公开了一种液晶像素电路、其驱动方法、显示面板及显示装置,通过两个控制模块单独给液晶等效电容、存储电容和补偿电容进行充电,可以保证液晶等效电容、存储电容和补偿电容的充电率,而不会因为充电时间等限制,出现液晶等效电容、存储电容和补偿电容充电不足的情况,另一方面,通过增加与存储电容并联设置的补偿电容,并联后的电容值大于存储电容的电容值,这样相当于增加了液晶等效电容两端的存储电容的电容值,可以更好的锁存液晶等效电容两端的电压,即使第一控制模块由于像素设计等原因造成漏电时,也不会影响液晶等效电容两端的电压,从而可以保证液晶等效电容在长时间内保持稳定,从而不会造成纵向串扰以及残像等问题。



1. 一种液晶像素电路, 其特征在于, 包括: 第一控制模块、液晶等效电容、第二控制模块、存储电容以及与所述存储电容并联设置的补偿电容; 其中,

所述第一控制模块, 用于在充电阶段单独对所述液晶等效电容进行充电;

所述第二控制模块, 用于在充电阶段仅对所述存储电容和所述补偿电容进行充电, 以及用于在锁存阶段使所述存储电容、所述补偿电容和所述液晶等效电容并联连接。

2. 如权利要求1所述的液晶像素电路, 其特征在于, 所述第一控制模块包括: 第一开关晶体管;

所述第一开关晶体管的栅极与第一控制信号线相连, 所述第一开关晶体管的第一极与数据信号线相连, 所述第一开关晶体管的第二极与所述液晶等效电容的第一端相连;

所述液晶等效电容的第二端与公共电压线相连。

3. 如权利要求2所述的液晶像素电路, 其特征在于, 所述第二控制模块包括: 第二开关晶体管 and 第三开关晶体管; 其中,

所述第二开关晶体管的栅极与第二控制信号线相连, 所述第二开关晶体管的第一极连接于所述第一开关晶体管的第二极和所述液晶等效电容的第一端之间, 所述第二开关晶体管的第二极与所述存储电容的第一端以及所述补偿电容的第一端相连;

所述第三开关晶体管的栅极与所述第一控制信号线相连, 所述第三开关晶体管的第一极与所述数据信号线相连, 所述第三开关晶体管的第二极与所述存储电容的第一端以及所述补偿电容的第一端相连;

所述存储电容的第二端以及所述补偿电容的第二端均与所述公共电压线相连。

4. 如权利要求3所述的液晶像素电路, 其特征在于, 当所述第二开关晶体管和所述第三开关晶体管的类型不同时, 所述第一控制信号线和所述第二控制信号线为同一控制信号线。

5. 如权利要求4所述的液晶像素电路, 其特征在于, 所述第一开关晶体管和所述第三开关晶体管均为N型晶体管, 所述第二开关晶体管为P型晶体管。

6. 如权利要求4所述的液晶像素电路, 其特征在于, 所述第一开关晶体管和所述第三开关晶体管均为P型晶体管, 所述第二开关晶体管为N型晶体管。

7. 如权利要求6所述的液晶像素电路, 其特征在于, 所述补偿电容包括与所述存储电容并联设置的至少一个补偿子电容。

8. 一种显示面板, 其特征在于, 包括多个像素单元, 每一所述像素单元包括如权利要求1-7任一项所述的液晶像素电路。

9. 一种显示装置, 其特征在于, 包括如权利要求8所述的显示面板。

10. 一种如权利要求1-7任一项所述的液晶像素电路的驱动方法, 其特征在于, 包括:

充电阶段: 通过所述第一控制模块单独对所述液晶等效电容进行充电, 通过所述第二控制模块仅对所述存储电容和所述补偿电容进行充电;

锁存阶段: 通过所述第二控制模块使所述存储电容、所述补偿电容和所述液晶等效电容并联连接。

液晶像素电路、其驱动方法、显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种液晶像素电路、其驱动方法、显示面板及显示装置。

背景技术

[0002] 薄膜晶体管-液晶显示器(Thin Film Transistor Liquid Crystal Display, TFT-LCD)具有机身薄、省电、无辐射等众多优点,已经得到了广泛的应用,现有的液晶显示器,液晶层两侧的像素电极和公共电极构成了液晶等效电容,图1为现有液晶像素电路的结构示意图,该液晶像素电路包括开关晶体管T,由像素电极1和公共电极2构成的液晶等效电容C_{lc},以及存储电容C_{st},开关晶体管T的栅极与栅线Gate相连,开关晶体管T的源极与数据线Data相连,开关晶体管T的漏极与像素电极1相连,公共电极2与公共电极线V_{com}相连,存储电容C_{st}分别与像素电极1和公共电极2相连。在进行显示时,采用逐行扫描的方式,例如对当前行栅线Gate上输入栅极扫描信号,导通开关晶体管T,数据线Data输出数据电压为当前行液晶等效电容C_{lc}充电,充电完成后,当前行栅线Gate上输入截止信号,关断当前行的开关晶体管T,下一行栅线Gate输入栅极扫描信号,依次类推。但是随着尺寸、分辨率越来越大,传统的像素设计结构面临着越来越多的问题,其中栅线Gate在输入截止信号以关闭开关晶体管T时,开关晶体管T会存在漏电流(I_{off}),造成纵向串扰(Vertical-Crosstalk)、残像等多种问题,目前除了大尺寸TV外,对于车载产品,需要适应高低温等不同严格条件下残像测试,漏电流的影响对显示器件越发重要。

发明内容

[0003] 有鉴于此,本发明实施例提供了一种液晶像素电路、其驱动方法、显示面板及显示装置,用以解决由于像素开关晶体管在关态时存在漏电流导致显示画面出现纵向串扰及残像的问题。

[0004] 因此,本发明实施例提供了一种液晶像素电路,包括:第一控制模块、液晶等效电容、第二控制模块、存储电容以及与所述存储电容并联设置的补偿电容;其中,

[0005] 所述第一控制模块,用于在充电阶段单独对所述液晶等效电容进行充电;

[0006] 所述第二控制模块,用于在充电阶段仅对所述存储电容和所述补偿电容进行充电,以及用于在锁存阶段使所述存储电容、所述补偿电容和所述液晶等效电容并联连接。

[0007] 可选地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,所述第一控制模块包括:第一开关晶体管;

[0008] 所述第一开关晶体管的栅极与第一控制信号线相连,所述第一开关晶体管的第一极与数据信号线相连,所述第一开关晶体管的第二极与所述液晶等效电容的第一端相连;

[0009] 所述液晶等效电容的第二端与公共电压线相连。

[0010] 可选地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,所述第二控制模块包括:第二开关晶体管和第三开关晶体管;其中,

[0011] 所述第二开关晶体管的栅极与第二控制信号线相连,所述第二开关晶体管的第一极连接于所述第一开关晶体管的第二极和所述液晶等效电容的第一端之间,所述第二开关晶体管的第二极与所述存储电容的第一端以及所述补偿电容的第一端相连;

[0012] 所述第三开关晶体管的栅极与所述第一控制信号线相连,所述第三开关晶体管的第一极与所述数据信号线相连,所述第三开关晶体管的第二极与所述存储电容的第一端以及所述补偿电容的第一端相连;

[0013] 所述存储电容的第二端以及所述补偿电容的第二端均与所述公共电压线相连。

[0014] 可选地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,当所述第二开关晶体管和所述第三开关晶体管的类型不同时,所述第一控制信号线和所述第二控制信号线为同一控制信号线。

[0015] 可选地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,所述第一开关晶体管和所述第三开关晶体管均为N型晶体管,所述第二开关晶体管为P型晶体管。

[0016] 可选地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,所述第一开关晶体管和所述第三开关晶体管均为P型晶体管,所述第二开关晶体管为N型晶体管。

[0017] 可选地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,所述补偿电容包括与所述存储电容并联设置的至少一个补偿子电容。

[0018] 相应地,本发明实施例还提供了一种显示面板,包括多个像素单元,每一所述像素单元包括本发明实施例提供的上述任一液晶像素电路。

[0019] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述显示面板。

[0020] 相应地,本发明实施例还提供了一种本发明实施例提供的上述任一种液晶像素电路的驱动方法,包括:

[0021] 充电阶段:通过所述第一控制模块单独对所述液晶等效电容进行充电,通过所述第二控制模块仅对所述存储电容和所述补偿电容进行充电;

[0022] 锁存阶段:通过所述第二控制模块使所述存储电容、所述补偿电容和所述液晶等效电容并联连接。

[0023] 本发明实施例的有益效果如下:

[0024] 本发明实施例提供的液晶像素电路、其驱动方法、显示面板及显示装置,在充电阶段,该液晶像素电路通过采用第一控制模块单独对液晶等效电容进行充电,采用第二控制模块仅对存储电容和补偿电容进行充电;在锁存阶段(充电结束阶段),通过第二控制模块使存储电容、补偿电容和液晶等效电容并联连接;一方面,本发明通过两个控制模块单独给液晶等效电容、存储电容和补偿电容进行充电,这样可以保证液晶等效电容、存储电容和补偿电容的充电率,而不会因为充电时间等限制,出现液晶等效电容、存储电容和补偿电容充电不足的情况,另一方面,通过增加与相关技术中存储电容并联设置的补偿电容,并联后的电容值大于相关技术中单独的存储电容的电容值,这样相当于增加了液晶等效电容两端的存储电容的电容值,由于存储电容是为了在液晶等效电容充电结束之后保持液晶等效电容两端的电压稳定,因此通过增大存储电容的电容值,可以更好的锁存液晶等效电容两端的电压,即使第一控制模块由于像素设计等原因造成漏电时,也不会影响液晶等效电容两端的电压,从而可以保证液晶等效电容在长时间内保持稳定,从而不会造成纵向串扰以及残

像等问题。

附图说明

- [0025] 图1为现有的液晶像素电路的结构示意图；
[0026] 图2为本发明实施例提供的液晶像素电路的结构示意图之一；
[0027] 图3为本发明实施例提供的液晶像素电路的结构示意图之二；
[0028] 图4为本发明实施例提供的液晶像素电路的结构示意图之三；
[0029] 图5为本发明实施例提供的液晶像素电路的结构示意图之四。

具体实施方式

[0030] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的液晶像素电路、其驱动方法、显示面板及显示装置的具体实施方式进行详细地说明。显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0031] 附图中各部件的形状和大小不反映真实比例,目的只是示意说明本发明内容。

[0032] 本发明实施例提供一种液晶像素电路,如图2所示,包括:第一控制模块1、液晶等效电容 C_{lc} 、第二控制模块2、存储电容 C_{st} 以及与存储电容并联设置的补偿电容 C_0 ;其中,

[0033] 第一控制模块1,用于在充电阶段单独对液晶等效电容 C_{lc} 进行充电;

[0034] 第二控制模块2,用于在充电阶段仅对存储电容 C_{st} 和补偿电容 C_0 进行充电,以及用于在锁存阶段使存储电容 C_{st} 、补偿电容 C_0 和液晶等效电容 C_{lc} 并联连接。

[0035] 本发明实施例提供的上述液晶像素电路,在充电阶段,通过采用第一控制模块1单独对液晶等效电容 C_{lc} 进行充电,采用第二控制模块2仅对存储电容 C_{st} 和补偿电容 C_0 进行充电;在锁存阶段(充电结束阶段),通过第二控制模块2使存储电容 C_{st} 、补偿电容 C_0 和液晶等效电容 C_{lc} 并联连接;一方面,本发明通过两个控制模块(1和2)单独给液晶等效电容 C_{lc} 、存储电容 C_{st} 和补偿电容 C_0 进行充电,这样可以保证液晶等效电容 C_{lc} 、存储电容 C_{st} 和补偿电容 C_0 的充电率,而不会因为充电时间等限制,出现液晶等效电容 C_{lc} 、存储电容 C_{st} 和补偿电容 C_0 充电不足的情况,另一方面,通过增加与相关技术中存储电容 C_{st} 并联设置的补偿电容 C_0 ,并联后的电容值大于相关技术中单独的存储电容 C_{st} 的电容值,这样相当于增加了液晶等效电容 C_{lc} 两端的存储电容 C_{st} 的电容值,由于存储电容 C_{st} 是为了在液晶等效电容 C_{lc} 充电结束之后保持液晶等效电容 C_{lc} 两端的电压稳定,因此通过增大存储电容 C_{st} 的电容值,可以更好的锁存液晶等效电容 C_{lc} 两端的电压,即使第一控制模块1由于像素设计等原因造成漏电时,也不会影响液晶等效电容 C_{lc} 两端的电压,可以保证液晶等效电容 C_{lc} 在长时间内保持稳定,从而不会造成纵向串扰以及残像等问题。

[0036] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0037] 进一步地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,如图3所示,第一控制模块1包括:第一开关晶体管 M_1 ;

[0038] 第一开关晶体管 M_1 的栅极与第一控制信号线 G_1 相连,第一开关晶体管 M_1 的第一极

与数据信号线Data相连,第一开关晶体管M1的第二极与液晶等效电容C1c的第一端相连;

[0039] 液晶等效电容C1c的第二端与公共电压线Vcom相连。

[0040] 具体地,在充电阶段,在第一控制信号线G1的控制下导通第一开关晶体管M1,数据信号线Data上的电压通过第一开关晶体管M1传输至液晶等效电容C1c的第一端,公共电压线Vcom上的电压传输至液晶等效电容C1c的第二端,以对液晶等效电容C1c进行充电;在锁存阶段(充电结束阶段),在第一控制信号线G1的控制下关断第一开关晶体管M1,液晶等效电容C1c两端的电压通过并联设置的存储电容Cst和补偿电容C₀锁存,以保持液晶等效电容C1c两端的电压稳定,而不会在进行显示时出现纵向串扰和残像等问题。

[0041] 进一步地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,如图3所示,第二控制模块2包括:第二开关晶体管M2和第三开关晶体管M3;其中,

[0042] 第二开关晶体管M2的栅极与第二控制信号线G2相连,第二开关晶体管M2的第一极连接于第一开关晶体管M1的第二极和液晶等效电容C1c的第一端之间,第二开关晶体管M2的第二极与存储电容Cst的第一端以及补偿电容C₀的第一端相连;

[0043] 第三开关晶体管M3的栅极与第一控制信号线相连,第三开关晶体管M3的第一极与数据信号线Data相连,第三开关晶体管M3的第二极与存储电容Cst的第一端以及补偿电容C₀的第一端相连;

[0044] 存储电容Cst的第二端以及补偿电容C₀的第二端均与公共电压线Vcom相连。

[0045] 具体地,在充电阶段,在第一控制信号线G1的控制下导通第三开关晶体管M3,数据信号线Data上的电压通过第三开关晶体管M3传输至存储电容Cst和补偿电容C₀的第一端,公共电压线Vcom上的电压传输至存储电容Cst和补偿电容C₀的第二端,以对存储电容Cst和补偿电容C₀进行充电,在第二控制信号线G2的控制下关断第二开关晶体管M2;在锁存阶段(充电结束阶段),在第一控制信号线G1的控制下关断第一开关晶体管M1和第三开关晶体管M3,在第二控制信号线G2的控制下导通第二开关晶体管M2,以使液晶等效电容C1c两端的电压通过并联设置的存储电容Cst和补偿电容C₀锁存,以保持液晶等效电容C1c两端的电压稳定,而不会在进行显示时出现纵向串扰和残像等问题。

[0046] 进一步地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,如图4所示,当第二开关晶体管M2和第三开关晶体管M3的类型不同时,第一控制信号线G1和第二控制信号线G2为同一控制信号线(栅线Gate)。这样可以节省一条控制信号线的设置,简化信号线排布。

[0047] 进一步地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,如图4所示,第一开关晶体管M1和第三开关晶体管M3可以均为N型晶体管,第二开关晶体管M2为P型晶体管。

[0048] 进一步地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,如图5所示,第一开关晶体管M1和第三开关晶体管M3可以均为P型晶体管,第二开关晶体管M2为N型晶体管。

[0049] 在具体实施时,图4和图5中第二开关晶体管M2采用与第一开关晶体管M1和第三开关晶体管M3相反的类型,可以保证在充电阶段第一开关晶体管M1和第三开关晶体管M3导通以对三个电容进行充电,在锁存阶段第二开关晶体管M2导通以锁存液晶等效电容C1c两端的电压,可以保证液晶等效电容C1c、存储电容Cst和补偿电容C₀的充电率,并且增加了

液晶等效电容 C_{lc} 两端的存储电容 C_{st} 的电容值,可以更好的锁存液晶等效电容 C_{lc} 两端的电压,从而不会造成纵向串扰以及残像等问题。

[0050] 进一步地,在具体实施时,在本发明实施例提供的上述液晶像素电路中,补偿电容包括与存储电容并联设置的至少一个补偿子电容。具体地,如图2至图5所示,本发明实施例均是以仅包括与存储电容 C_{st} 并联设置的一个补偿子电容即补偿电容 C_0 为例,当然在具体实施时,只要本发明提供的液晶像素电路所在的像素单元有空间,还可以设置与存储电容并联设置的一个以上的补偿子电容,具体根据需要进行设计。

[0051] 在具体实施时,在本发明实施例提供的上述液晶像素电路中,N型开关晶体管在高电位作用下导通,在低电位作用下截止;P型开关晶体管在低电位作用下导通,在高电位作用下截止。

[0052] 下面以图4所示的液晶像素电路对本发明实施例的驱动原理进行详细说明:

[0053] 充电阶段:在栅线Gate的控制下,导通第一开关晶体管M1和第三开关晶体管M3,断开第二开关晶体管M2,数据信号线Data上的电压通过第一开关晶体管M1给液晶等效电容 C_{lc} 进行充电,同时数据信号线Data上的电压通过第三开关晶体管M3给存储电容 C_{st} 和补偿电容 C_0 进行充电,从而实现液晶等效电容 C_{lc} 和存储电容 C_{st} 的单独充电,保证充电率。

[0054] 锁存阶段:在充电结束后,在栅线Gate的控制下,断开第一开关晶体管M1和第三开关晶体管M3,导通第二开关晶体管M2,液晶等效电容 C_{lc} 、存储电容 C_{st} 和补偿电容 C_0 实现并联连接,并联设置的存储电容 C_{st} 和补偿电容 C_0 对液晶等效电容 C_{lc} 两端的电压进行锁存,由于并联的存储电容 C_{st} 和补偿电容 C_0 电容值增大,从而可以更好的锁存液晶等效电容 C_{lc} 两端的电压,即使第一开关晶体管M1在该阶段漏电,也不会影响液晶等效电容 C_{lc} 两端的电压,从而可以保证液晶等效电容 C_{lc} 在长时间内保持稳定,从而不会造成纵向串扰以及残像等问题。

[0055] 需要说明的是,在本发明实施例提供的上述液晶像素电路中,开关晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。

[0056] 在具体实施时,这些开关晶体管的第一极和第二极根据开关晶体管类型以及信号端的信号的不同,其功能可以互换,其中第一极可以为源极,第二极为漏极,或者第一极可以为漏极,第二极为源极,在此不作具体区分。

[0057] 基于同一发明构思,本发明实施例还提供了一种本发明实施例提供的上述任一种液晶像素电路的驱动方法,包括:

[0058] 充电阶段:通过第一控制模块单独对液晶等效电容进行充电,通过第二控制模块仅对存储电容和补偿电容进行充电;

[0059] 锁存阶段:通过第二控制模块使存储电容、补偿电容和液晶等效电容并联连接。

[0060] 本发明实施例提供的液晶像素电路的驱动方法,在充电阶段,该液晶像素电路通过采用第一控制模块单独对液晶等效电容进行充电,采用第二控制模块仅对存储电容和补偿电容进行充电;在锁存阶段(充电结束阶段),采用第二控制模块使存储电容、补偿电容和液晶等效电容并联连接;一方面,本发明通过两个控制模块单独给液晶等效电容、存储电容和补偿电容进行充电,这样可以保证液晶等效电容、存储电容和补偿电容的充电率,而不会因为充电时间等限制,出现液晶等效电容、存储电容和补偿电容充电不足的情况,另一方

面,通过增加与相关技术中存储电容并联设置的补偿电容,并联后的电容值大于相关技术中单独的存储电容的电容值,这样相当于增加了液晶等效电容两端的存储电容的电容值,由于存储电容是为了在液晶等效电容充电结束之后保持液晶等效电容两端的电压稳定,因此通过增大存储电容的电容值,可以更好的锁存液晶等效电容两端的电压,即使第一控制模块由于像素设计等原因造成漏电时,也不会影响液晶等效电容两端的电压,从而可以保证液晶等效电容在长时间内保持稳定,从而不会造成纵向串扰以及残像等问题。

[0061] 在具体实施时,上述液晶像素电路的驱动方法的驱动原理可以参见上述液晶像素电路中描述的驱动原理,在此不做赘述。

[0062] 基于同一发明构思,本发明实施例还提供了一种显示面板,包括多个像素单元,每一像素单元包括本发明实施例提供的上述任一种液晶像素电路。该显示面板解决问题的原理与前述的液晶像素电路相似,因此该显示面板的实施可以参见上述液晶像素电路的实施,重复之处不再赘述。

[0063] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述显示面板。该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。该显示装置的实施可以参见上述液晶像素电路的实施例,重复之处不再赘述。

[0064] 本发明实施例提供的液晶像素电路、其驱动方法、显示面板及显示装置,在充电阶段,该液晶像素电路通过采用第一控制模块单独对液晶等效电容进行充电,采用第二控制模块仅对存储电容和补偿电容进行充电;在锁存阶段(充电结束阶段),通过第二控制模块使存储电容、补偿电容和液晶等效电容并联连接;一方面,本发明通过两个控制模块单独给液晶等效电容、存储电容和补偿电容进行充电,这样可以保证液晶等效电容、存储电容和补偿电容的充电率,而不会因为充电时间等限制,出现液晶等效电容、存储电容和补偿电容充电不足的情况,另一方面,通过增加与相关技术中存储电容并联设置的补偿电容,并联后的电容值大于相关技术中单独的存储电容的电容值,这样相当于增加了液晶等效电容两端的存储电容的电容值,由于存储电容是为了在液晶等效电容充电结束之后保持液晶等效电容两端的电压稳定,因此通过增大存储电容的电容值,可以更好的锁存液晶等效电容两端的电压,即使第一控制模块由于像素设计等原因造成漏电时,也不会影响液晶等效电容两端的电压,从而可以保证液晶等效电容在长时间内保持稳定,从而不会造成纵向串扰以及残像等问题。

[0065] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

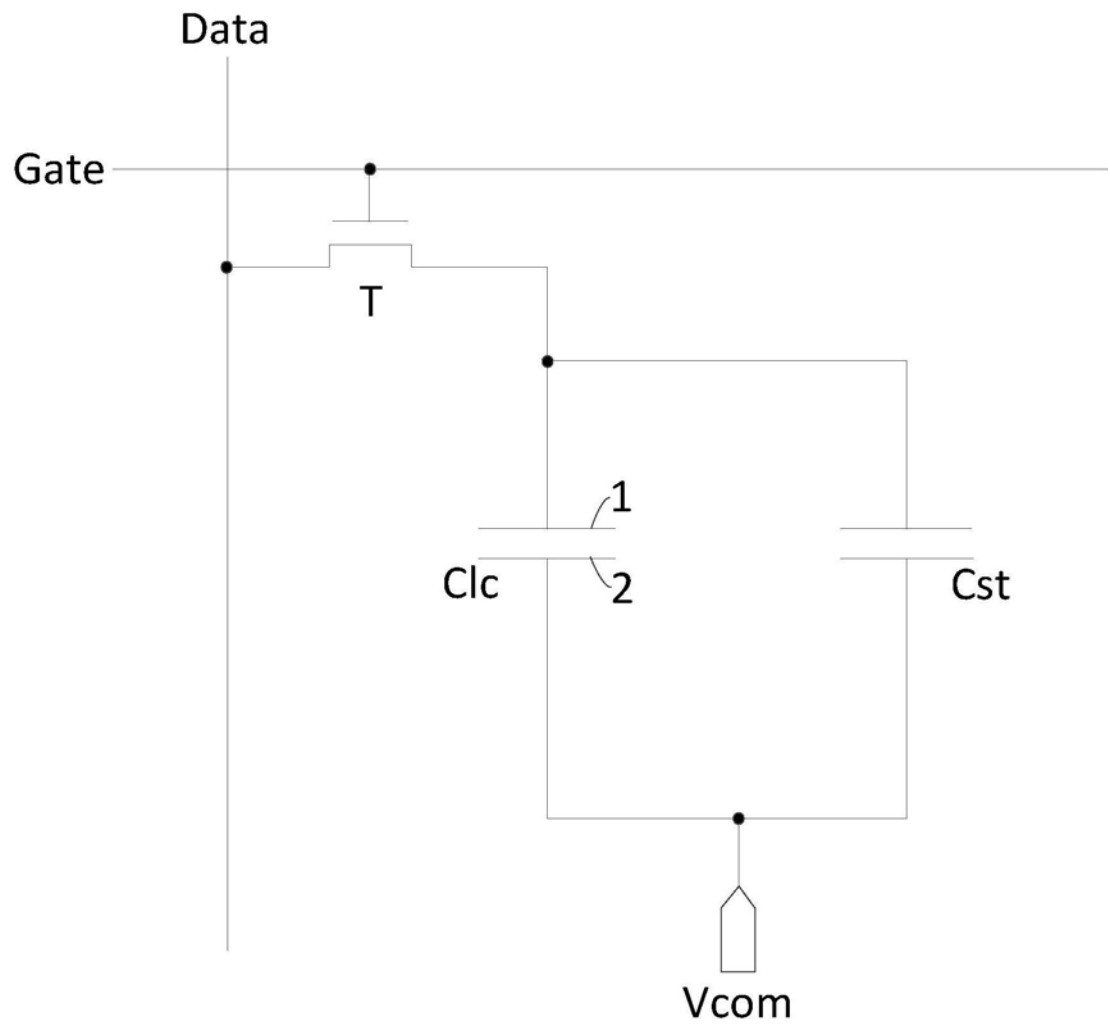


图1

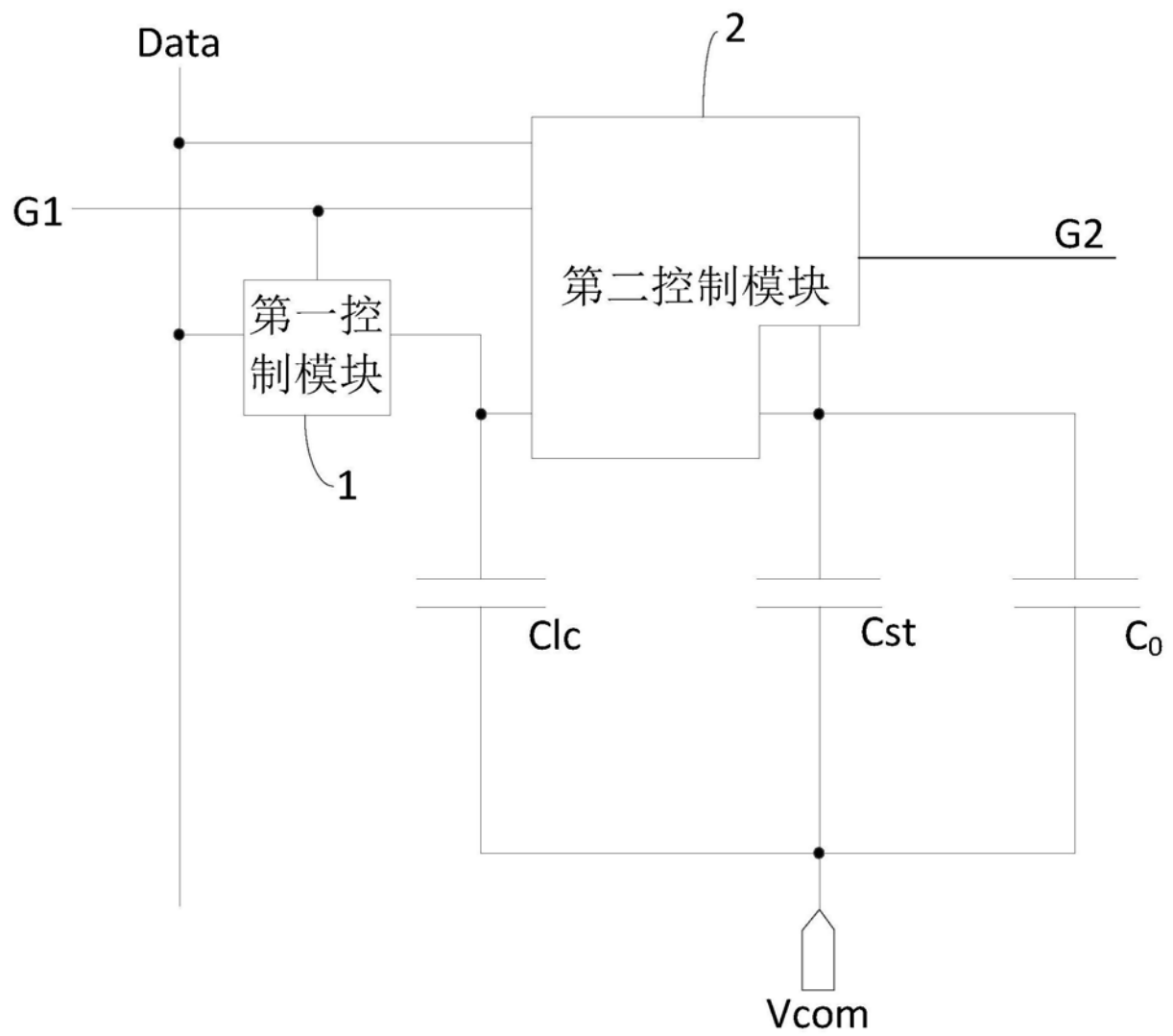


图2

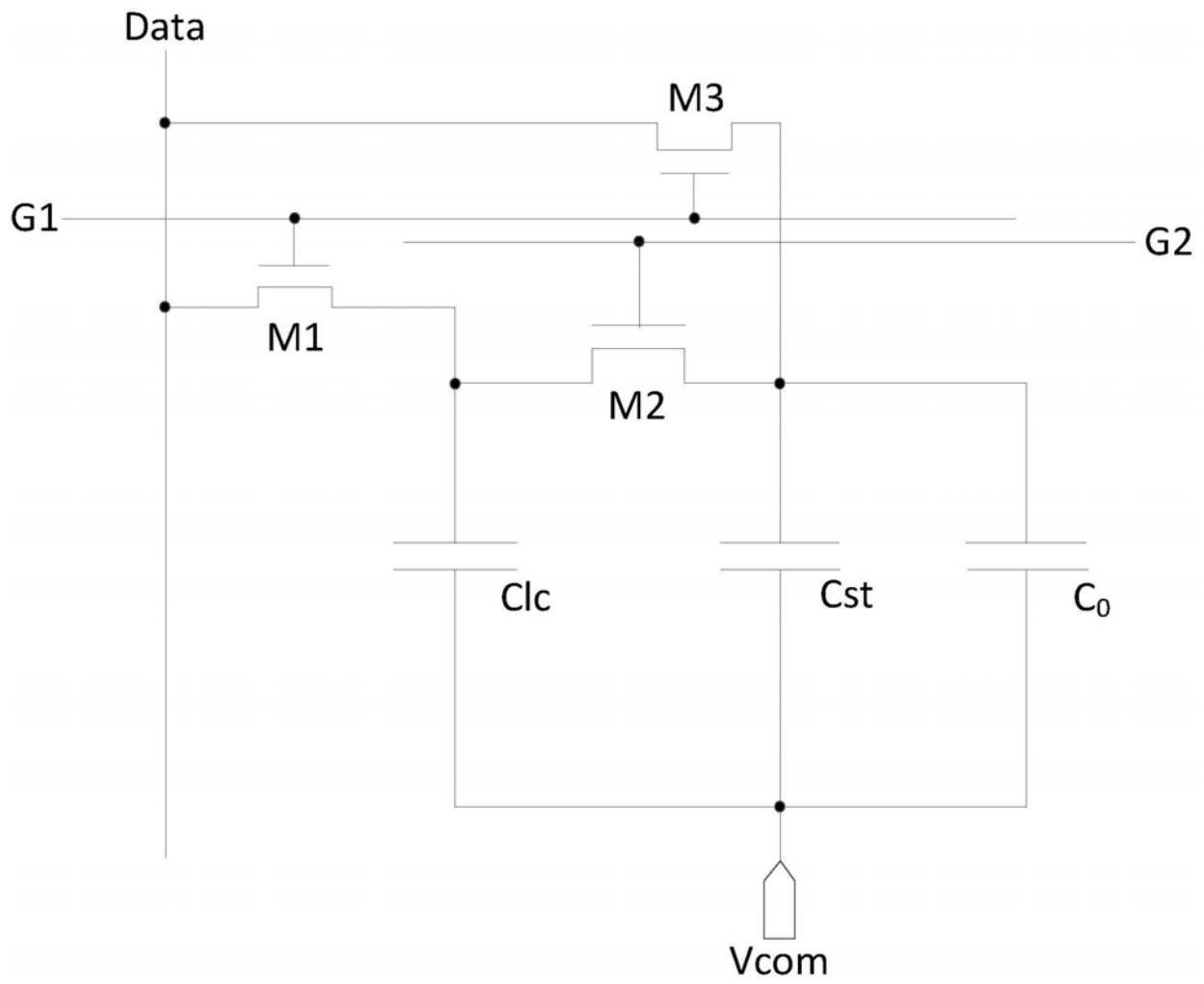


图3

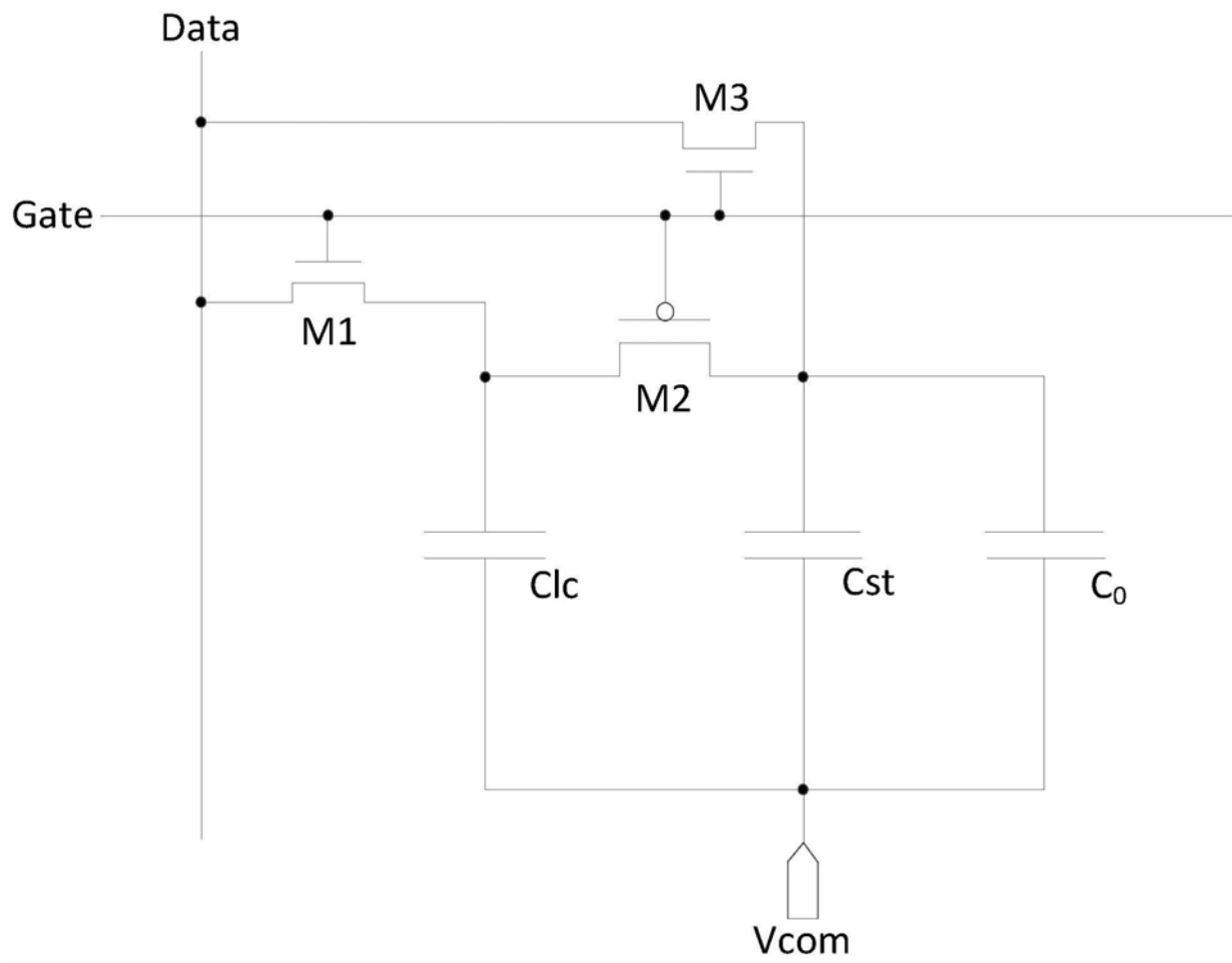


图4

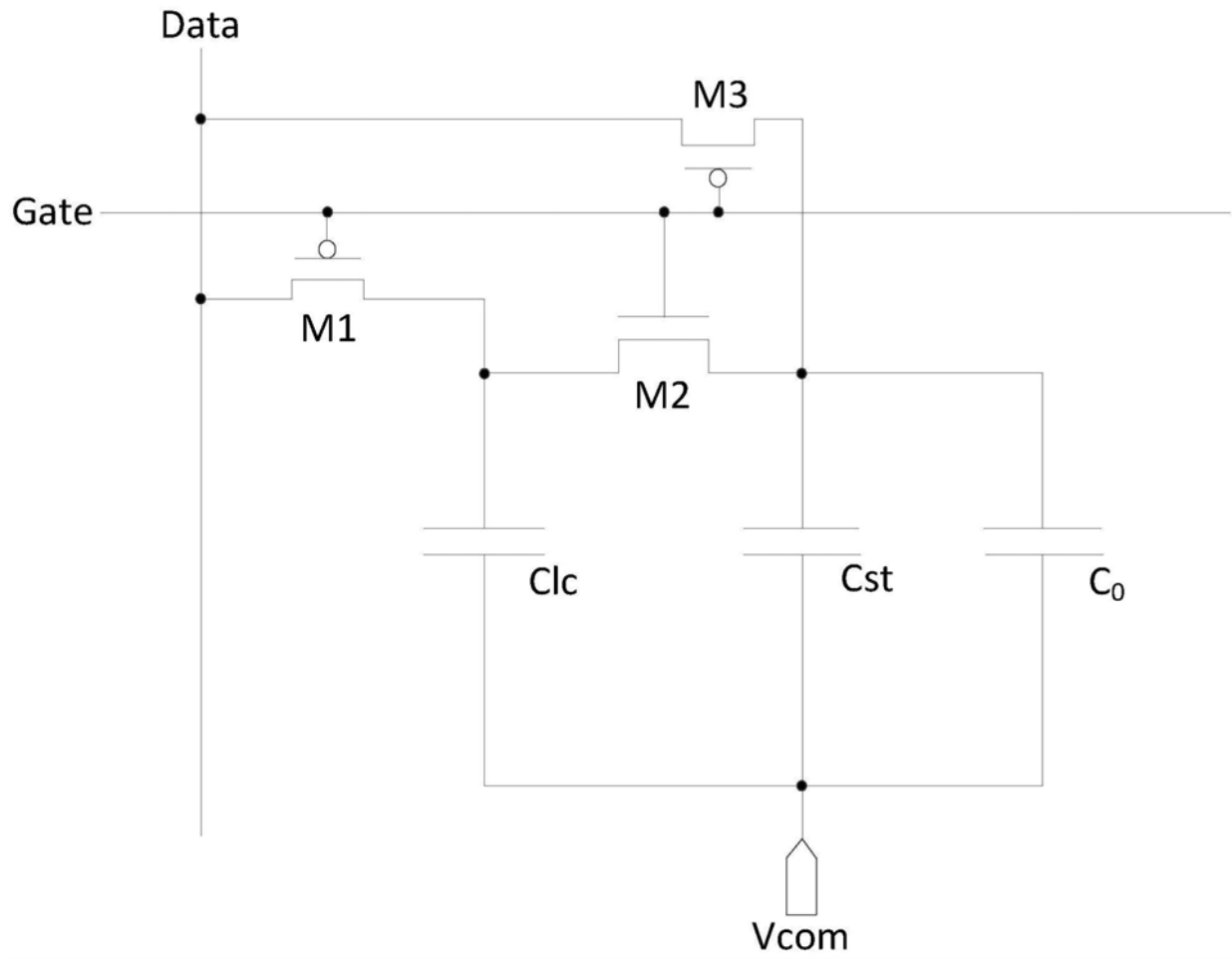


图5

专利名称(译)	液晶像素电路、其驱动方法、显示面板及显示装置		
公开(公告)号	CN110738974A	公开(公告)日	2020-01-31
申请号	CN201911031132.X	申请日	2019-10-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
[标]发明人	刘玉东 李海龙 邓传峰 刘强 陈志远 张晓哲 熊雄 王宁		
发明人	刘玉东 李海龙 邓传峰 刘强 陈志远 张晓哲 熊雄 王宁		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G2320/0209 G09G2320/0257		
代理人(译)	姚楠		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶像素电路、其驱动方法、显示面板及显示装置，通过两个控制模块单独给液晶等效电容、存储电容和补偿电容进行充电，可以保证液晶等效电容、存储电容和补偿电容的充电率，而不会因为充电时间等限制，出现液晶等效电容、存储电容和补偿电容充电不足的情况，另一方面，通过增加与存储电容并联设置的补偿电容，并联后的电容值大于存储电容的电容值，这样相当于增加了液晶等效电容两端的存储电容的电容值，可以更好的锁存液晶等效电容两端的电压，即使第一控制模块由于像素设计等原因造成漏电时，也不会影响液晶等效电容两端的电压，从而可以保证液晶等效电容在长时间内保持稳定，从而不会造成纵向串扰以及残像等问题。

