



(12)发明专利申请

(10)申请公布号 CN 108831401 A

(43)申请公布日 2018.11.16

(21)申请号 201810955289.0

(22)申请日 2018.08.21

(71)申请人 信利半导体有限公司

地址 516600 广东省汕尾市区东冲路北段
工业区

(72)发明人 何孝金 洪胜宝 柳发霖 李林
肖亮 巫蒙 付浩 段忠红

(74)专利代理机构 广州粤高专利商标代理有限
公司 44102

代理人 廖苑滨

(51)Int.Cl.

G09G 3/36(2006.01)

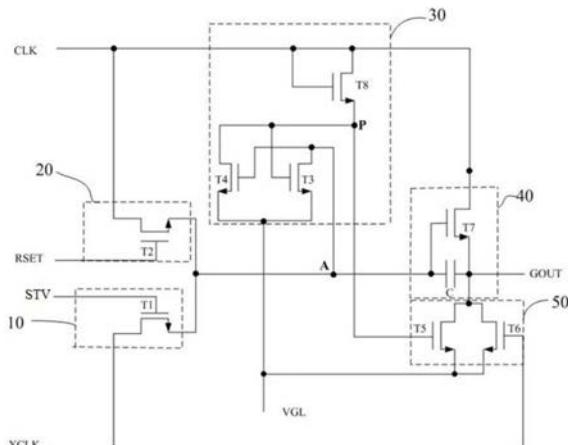
权利要求书1页 说明书5页 附图5页

(54)发明名称

一种栅极驱动单元、栅极驱动电路及显示系
统

(57)摘要

本发明公开了一种栅极驱动单元，属于薄膜液晶显示器技术领域。所述栅极驱动单元包括有起始单元、复位单元、辅助单元、上拉单元及下拉单元，所述起始单元分别与所述复位单元、所述辅助单元、所述上拉单元电连接，所述辅助单元与所述下拉单元电连接；所述上拉单元包括有第七薄膜晶体管及一电容，所述第七薄膜晶体管的栅极分别与所述起始单元、所述复位单元、所述辅助单元及所述电容的一端电连接，漏极接入CLK端，源极分别与所述电容的另一端及下拉单元电连接，并连接输出端GOUT。本发明进一步地提供一种栅极驱动电路，该驱动电路包括上述栅极驱动单元。另外还提供一种显示系统，该显示系统包括上述栅极驱动电路。



1. 一种栅极驱动单元，其特征在于：所述栅极驱动单元包括有起始单元、复位单元、辅助单元、上拉单元及下拉单元，所述起始单元分别与所述复位单元、所述辅助单元、所述上拉单元电连接，所述辅助单元与所述下拉单元电连接；

所述上拉单元包括有第七薄膜晶体管及一电容，所述第七薄膜晶体管的栅极分别与所述起始单元、所述复位单元、所述辅助单元及所述电容的一端电连接，漏极接入CLK端，源极分别与所述电容的另一端及下拉单元电连接，并连接输出端GOUT。

2. 根据权利要求1所述的一种栅极驱动单元，其特征在于：所述起始单元包括有第一薄膜晶体管，所述第一薄膜晶体管的栅极接入起始信号STV，漏极接入XCLK端，源极与所述复位单元、所述辅助单元及所述上拉单元电连接。

3. 根据权利要求2所述的一种栅极驱动单元，其特征在于：所述复位单元包括有第二薄膜晶体管，所述第二薄膜晶体管的栅极接入复位信号REST，漏极接入CLK端，源极与所述辅助单元、所述上拉单元电连接。

4. 根据权利要求3所述的一种栅极驱动单元，其特征在于：所述辅助单元包括有第三薄膜晶体管、第四薄膜晶体管及第八薄膜晶体管，所述第八薄膜晶体管的栅极及漏极分别接入时钟信号CLK并与所述上拉单元电连接，源极分别与所述第三薄膜晶体管的栅极、所述第四薄膜晶体管的漏极、所述下拉单元电连接，所述第三薄膜晶体管的漏极分别与第一薄膜晶体管的源极、第二薄膜晶体管的源极、所述第四薄膜晶体管的栅极及所述上拉单元电连接，源极分别与所述第四薄膜晶体管的源极、所述下拉单元电连接，并接入负电源输入信号VGL。

5. 根据权利要求4所述的一种栅极驱动单元，其特征在于：所述第七薄膜晶体管的栅极分别与所述第一薄膜晶体管的源极、所述第二薄膜晶体管的源极、第三薄膜晶体管的漏极及所述电容的一端电连接，漏极接入始终信号CLK，源极分别与所述电容C的另一端及所述下拉单元电连接，并且连接输出端GOUT。

6. 根据权利要求5所述的一种栅极驱动单元，其特征在于：所述下拉单元包括有第五薄膜晶体管和第六薄膜晶体管，所述第五薄膜晶体管的栅极电连接所述第三薄膜晶体管的栅极，漏极与所述第六薄膜晶体管的漏极电连接，源极与所述第六薄膜晶体管电连接，并接入负电源输入信号VGL。

7. 一种栅极驱动电路，其特征在于：所述栅极驱动电路由四组320行级联单元的权利要求1-6中任一所述的栅极驱动单元构成。

8. 一种显示系统，其特征在于：所述显示系统包括像素显示区、栅极驱动器、数据驱动器、信号控制器和灰阶电压发生器；所述栅极驱动器包括如权利要求7所述的栅极驱动电路；所述信号控制器输入端连接外部信号端，第一控制端和数据端连接数据驱动器，第二控制端连接栅极驱动器；所述栅极驱动器的STV端、CLK端、XCLK端及RSET端均连接到外部信号端，栅极驱动器的输出端连接到栅极驱动电路单元；所述数据驱动器的输入端还连接有灰阶电压发生器，灰阶电压发生器的输入端与外部信号端连接。

一种栅极驱动单元、栅极驱动电路及显示系统

技术领域

[0001] 本发明属于薄膜液晶显示器技术领域,具体涉及一种栅极驱动单元、栅极驱动电路及显示系统。

背景技术

[0002] 近年来,随着显示技术的发展,薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称TFT-LCD,)凭借其体积小、外观精致和低功耗等诸多优势,已经成为了市场上的主流显示产品。薄膜晶体管液晶显示系统主要包括驱动器和像素显示区两个部分。驱动器分为栅极驱动器和源极驱动器,栅极驱动器控制像素驱动TFT器件的开关,从而决定扫描线的开关状态;数据驱动器在对应扫描线开启的情况下将视频数据输入到像素电极,与COM电极形成电场控制液晶的偏转,进而控制透过率。随着中小尺寸显示器的分辨率变得越来越高,在传统的布线方式下,扫描线和数据线数量急剧增加,一方面会增加驱动IC的成本;另一方面产品的边框也变得更大。故采用与TFT同样的制程工艺,将栅极驱动电路的设计集成到玻璃内部,既节约了产品成本,同时还可以实现了超窄边框,获得了精致的外观。

[0003] 然而,目前的非晶硅栅极驱动器均存在以下两个问题:1.边框大小在金属布线上很难进一步缩小;2.输出给薄膜晶体管的栅极电压稳定性不足,导致漏电,使得显示效果较差。

发明内容

[0004] 鉴于以上问题,有必要提供一种栅极驱动单元、栅极驱动电路及显示系统,该栅极驱动电路在提供足够的充电电压给扫描线的情况下,能够减少栅极电路布线的空间、改善电路功耗,提升电路的稳定性的栅极驱动电路及显示系统。

[0005] 本发明采取的技术方案为:

一种栅极驱动电路,所述栅极驱动单元包括有起始单元、复位单元、辅助单元、上拉单元及下拉单元,所述起始单元分别与所述复位单元、所述辅助单元、所述上拉单元电连接,所述辅助单元与所述下拉单元电连接;

所述上拉单元包括有第七薄膜晶体管T7及一电容C,所述第七薄膜晶体管T7的栅极分别与所述起始单元、所述复位单元、所述辅助单元及所述电容的一端电连接,漏极接入CLK端,源极分别与所述电容C的另一端及下拉单元电连接,并连接输出端GOUT。

[0006] 进一步地,所述起始单元包括有第一薄膜晶体管T1,所述第一薄膜晶体管T1的栅极接入起始信号STV,漏极接入XCLK端,源极与所述复位单元、所述辅助单元及所述上拉单元电连接。

连接。

[0007] 进一步地,所述复位单元包括有第二薄膜晶体管T2,所述第二薄膜晶体管T2的栅极接入复位信号REST,漏极接入CLK端,源极与所述辅助单元、所述上拉单元电连接。

[0008] 进一步地，所述辅助单元包括有第三薄膜晶体管T3、第四薄膜晶体管T4及第八薄膜晶体管T8，所述第八薄膜晶体管T8的栅极及漏极分别接入时钟信号CLK并与所述上拉单元电连接，源极分别与所述第三薄膜晶体管T3的栅极、所述第四薄膜晶体管T4的漏极、所述下拉单元电连接，所述第三薄膜晶体管T3的漏极分别与第一薄膜晶体管T1的源极、第二薄膜晶体管T2的源极、所述第四薄膜晶体管T4的栅极及所述上拉单元电连接，源极分别与所述第四薄膜晶体管T4的源极、所述下拉单元电连接，并接入负电源输入信号VGL。

[0009] 进一步地，所述第七薄膜晶体管T7的栅极分别与所述第一薄膜晶体管T1的源极、所述第二薄膜晶体管T2的源极、第三薄膜晶体管T3的漏极及所述电容C的一端电连接，漏极接入始终信号CLK，源极分别与所述电容C的另一端及所述下拉单元电连接，并且连接输出端GOUT。

[0010] 进一步地，所述下拉单元包括有第五薄膜晶体管T5和第六薄膜晶体管T6，所述第五薄膜晶体管T5的栅极电连接所述第三薄膜晶体管T3的栅极，漏极与所述第六薄膜晶体管T6的漏极电连接，源极与所述第六薄膜晶体管T6电连接，并接入负电源输入信号VGL。

[0011] 另外，本发明还提供一种栅极驱动电路，所述栅极驱动电路由四组320行级联单元的上述栅极驱动单元构成。

[0012] 另外，本发明还提供一种显示系统，所述显示系统包括像素显示区、栅极驱动器、数据驱动器、信号控制器和灰阶电压发生器；所述栅极驱动器包括上述栅极驱动电路；所述信号控制器输入端连接外部信号端，第一控制端和数据端连接数据驱动器，第二控制端连接栅极驱动器；所述栅极驱动器的STV端、CLK端、XCLK端及RSET端均连接到外部信号端，栅极驱动器的输出端连接到栅极驱动电路单元；所述数据驱动器的输入端还连接有灰阶电压发生器，灰阶电压发生器的输入端与外部信号端连接。

[0013] 采用本发明技术方案具有以下优势：

1. 通过设置1个薄膜晶体管与1个电容的组合作为新型上拉单元，提高了栅极驱动电路的驱动能力和信号输出的稳定性。

[0014] 2. 本发明提供的显示装置优化了当前非晶硅栅极驱动电路存在的两个主要问题，能够直接适用于高分辨率中小尺寸显示产品的生产。

[0015] 3. 通过此非晶硅栅极驱动电路可以优化面板设计结构，实现低成本、超窄边框显示产品的设计。

附图说明

[0016] 图1为本发明一种栅极驱动单元的一方块图；

图2为本发明一种栅极驱动单元的一电路示意图；

图3为本发明一栅极驱动电路的一示意图；

图4为本发明一显示系统示意图；

图5为本发明的一驱动信号示意图；

主要元件符号说明

起始单元10	复位单元20	辅助单元30
上拉单元40	下拉单元50	

如下具体实施方式将结合上述附图进一步说明本发明。

具体实施方式

[0017] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0018] 需要说明的是,在本发明实施例中使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本发明。在本发明实施例和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。还应当理解,本文中使用的术语“和/或”是指并包含一个或多个相关联的列出项目的任何或所有可能组合。

[0019] 本发明的说明书和权利要求书及上述附图中的术语“包括”和“具有”以及它们任何变形,意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元,而是可选地还包括没有列出的步骤或单元,或可选地还包括对于这些过程、方法、产品或设备固有的其他步骤或单元。

[0020] 需要说明的是,下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能解释为对本发明的限制。

[0021] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和/或设置之间的关系。

[0022] 请参阅图1,本发明实施例提供一种栅极驱动单元,所述栅极驱动单元包括有起始单元10、复位单元20、辅助单元30、上拉单元40及下拉单元50。

[0023] 其中,所述起始单元10分别与所述复位单元20、所述辅助单元30、所述上拉单元40电连接,所述上拉单元40分别与所述辅助单元30、所述下拉单元50电连接,所述辅助单元30与所述下拉单元50电连接。

[0024] 请参阅图2,更具体地,所述起始单元10包括有第一薄膜晶体管T1,所述第一薄膜晶体管T1的栅极接入起始信号STV,漏极接入XCLK端,源极与所述复位单元20、所述辅助单元30及所述上拉单元40电连接。

[0025] 所述复位单元20包括有第二薄膜晶体管T2,所述第二薄膜晶体管T2的栅极接入复位信号REST,漏极接入CLK端,源极与所述辅助单元30、所述上拉单元40电连接。

[0026] 请继续参阅图2,所述辅助单元30包括有第三薄膜晶体管T3、第四薄膜晶体管T4及第八薄膜晶体管T8,所述第八薄膜晶体管T8的栅极及漏极分别接入时钟信号CLK并与所述上拉单元40电连接,源极分别与所述第三薄膜晶体管T3的栅极、所述第四薄膜晶体管T4的漏极、所述下拉单元50电连接。

[0027] 所述第三薄膜晶体管T3的漏极分别与第一薄膜晶体管T1的源极、第二薄膜晶体管

T2的源极、所述第四薄膜晶体管T4的栅极及所述上拉单元40电连接，源极分别与所述第四薄膜晶体管T4的源极、所述下拉单元50电连接，并接入负电源输入信号VGL。

[0028] 所述上拉单元40包括有第七薄膜晶体管T7及一电容C，所述第七薄膜晶体管T7的栅极分别与所述第一薄膜晶体管T1的源极、所述第二薄膜晶体管T2的源极、第三薄膜晶体管T3的漏极及所述电容C的一端电连接，漏极接入始终信号CLK，源极分别与所述电容C的另一端及所述下拉单元50电连接，并且连接输出端GOUT。

[0029] 所述下拉单元50包括有第五薄膜晶体管T5和第六薄膜晶体管T6，所述第五薄膜晶体管T5的栅极电连接所述第三薄膜晶体管T3的栅极，漏极与所述第六薄膜晶体管T6的漏极电连接，源极与所述第六薄膜晶体管T6电连接，并接入负电源输入信号VGL。

[0030] 另外，所述第三薄膜晶体管T3的栅极、所述第四薄膜晶体管T4的漏极、所述第五薄膜晶体管T5的栅极及所述第八薄膜晶体管T8的源极的连接点标记为P点；所述第一薄膜晶体管T1的源极、所述第二薄膜晶体管T2的源极、所述第三薄膜晶体管T3的漏极及所述第七薄膜晶体管连接点标记为A点。

[0031] 本实施例中的栅极驱动电路为720 (RGB) X1280玻璃的栅极驱动电路，级联方式如图3，该栅极驱动电路由320级级联单元级联构成，每个级联单元包含有四组上述栅极驱动单元，左右两边各分为两组分别对应生成两行奇数行和偶数行栅极驱动信号，信号控制线包括两组STV信号、两组RSET信号以及两组CLK、XCLK信号。

[0032] 本实施例定义如图5的驱动信号对栅极驱动电路进行驱动。320级级联结构的前2级的驱动波形采用如图5的驱动波形。其中：

TP1阶段：STV高电平，CLK1低电平，XCLK1高电平；T1导通，A点电位被提升到VGH-Vth，P点电位处于低电平，SG (1) 端信号由于T6导通输出低电平。

[0033] TP2阶段：CLK高电平，XCLK低电平；A点电位由于T7的耦合作用被进一步提升至VGH-Vth+ Δ V左右，T7, SG (1) 输出高电平，P点电位由于T4导通，由于T4的W/L大于T8的W/L被强制拉低到VGL (同时第一级的GOUT1信号作为第二级单元的STV信号，第二级单元此时进行过程“TP1”）。

[0034] TP3阶段：CLK1低电平，XCLK1高电平；SG (1) 端信号由于T6导通输出低电平(同时，第二级单元的SG (5) 输出高电平作为第一级单元的RSET信号，A点电位被拉低至VGL，P点继续保持低点位)。

[0035] TP4阶段：CLK1高电平，XCLK1低电平，P点电位由于T8导通被提高至VGH-Vth，由于此时A点处于低电平，故SG (1) 端信号继续维持低电平状态。

[0036] TP5阶段：CLK1低电平，XCLK1高电平，T8关闭，P点保持高电平VGH-Vth，此时A点继续保持低电平，T6导通使得SG (1) 端继续维持低电平状态。

[0037] 在下一帧的STV信号到来之前，第一级单元一直循环“TP4阶段”和“TP5阶段”过程，同时，第一级、第二级……第320级依次输出SG (1)、SG (3)、SG (5)、SG (7) ……SG (1277)、SG (1279)。

[0038] 另外，通过设定左右两边的奇数级和偶数级的STV、CLK、XCLK、RSET的时序，可以决定显示产品的翻转功能。

[0039] 本实施例提供的一种显示系统，如图4，所述显示系统包括像素显示区、栅极驱动器、数据驱动器、信号控制器和灰阶电压发生器；所述栅极驱动器包括如前述的栅极驱动电

路；所述信号控制器输入端连接外部信号端，第一控制端和数据端连接数据驱动器，第二控制端连接栅极驱动器；所述栅极驱动器的STV端、CLK端、XCLK端及RSET端均连接到外部信号端，栅极驱动器的输出端连接到栅极驱动电路单元；所述数据驱动器的输入端还连接有灰阶电压发生器，灰阶电压发生器的输入端与外部信号端连接。

[0040] 其中栅极驱动器控制像素驱动TFT器件的开关，从而决定扫描线的开关状态；数据驱动器在对应扫描线开启的情况下将视频数据输入到像素电极，与COM电极形成电场控制液晶的偏转，进而控制透过率。

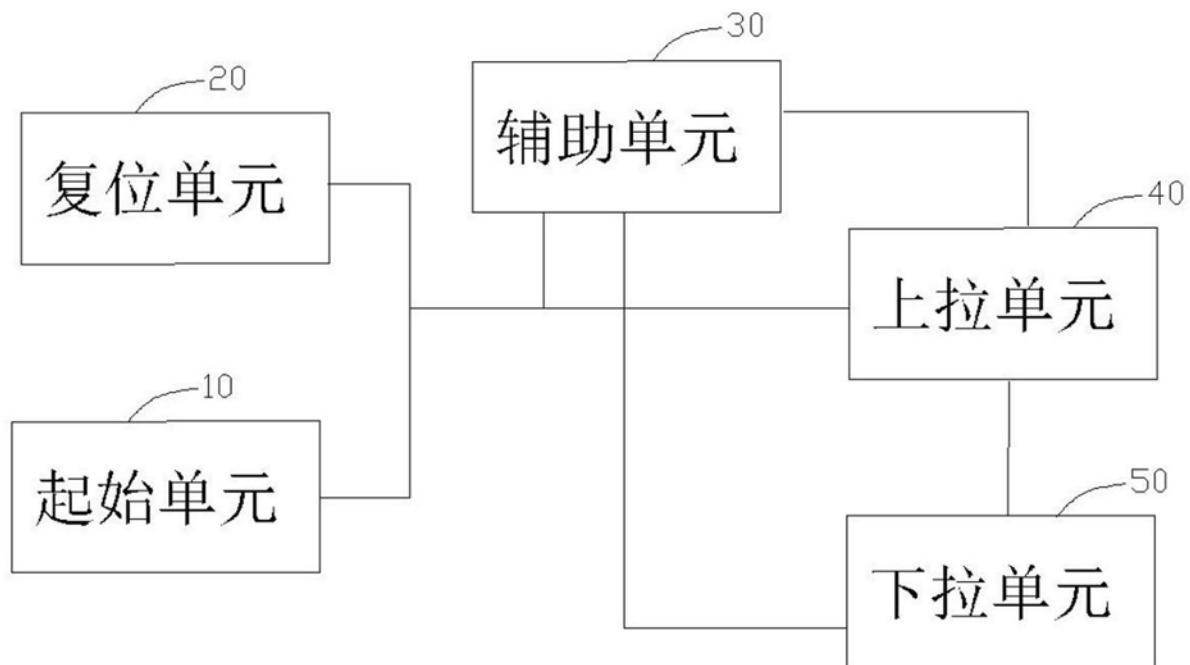


图1

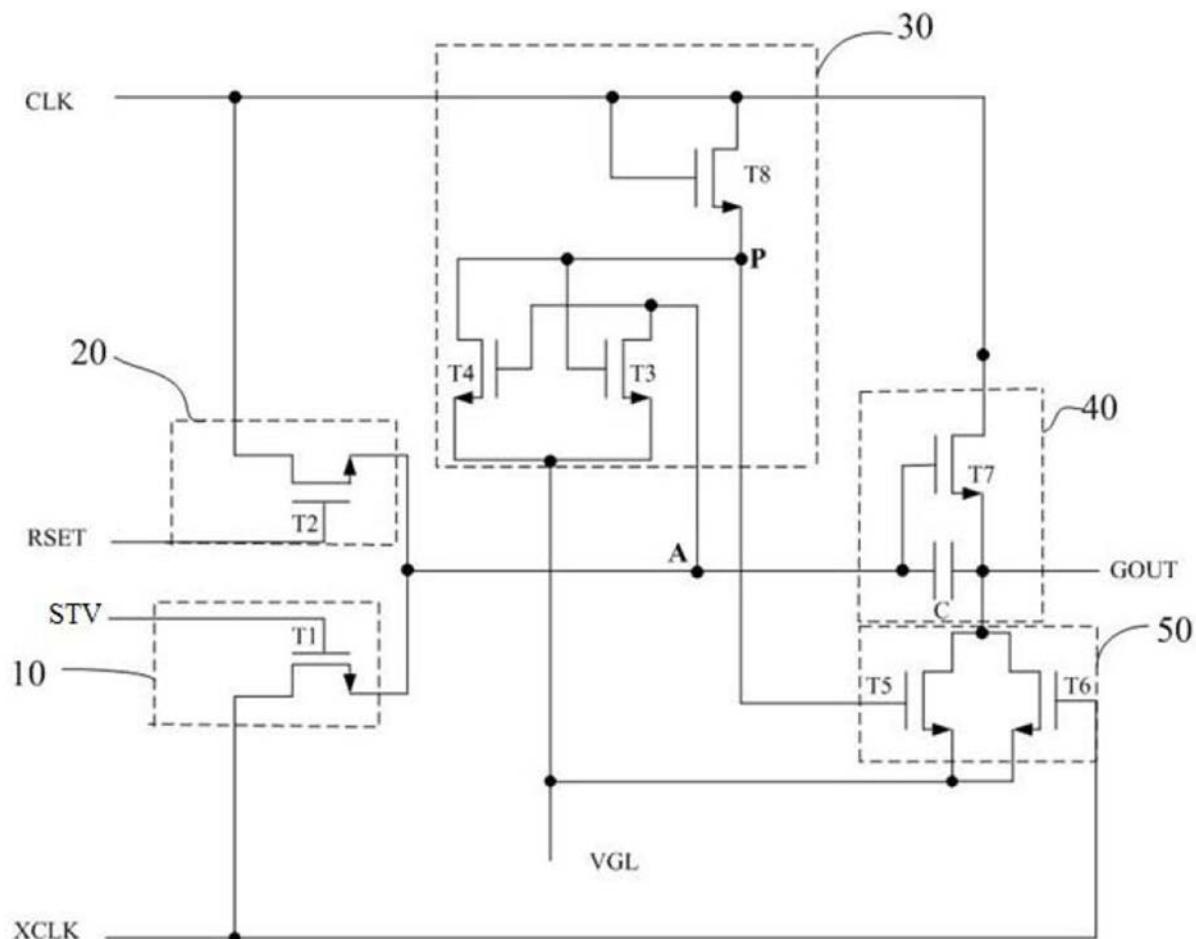


图2

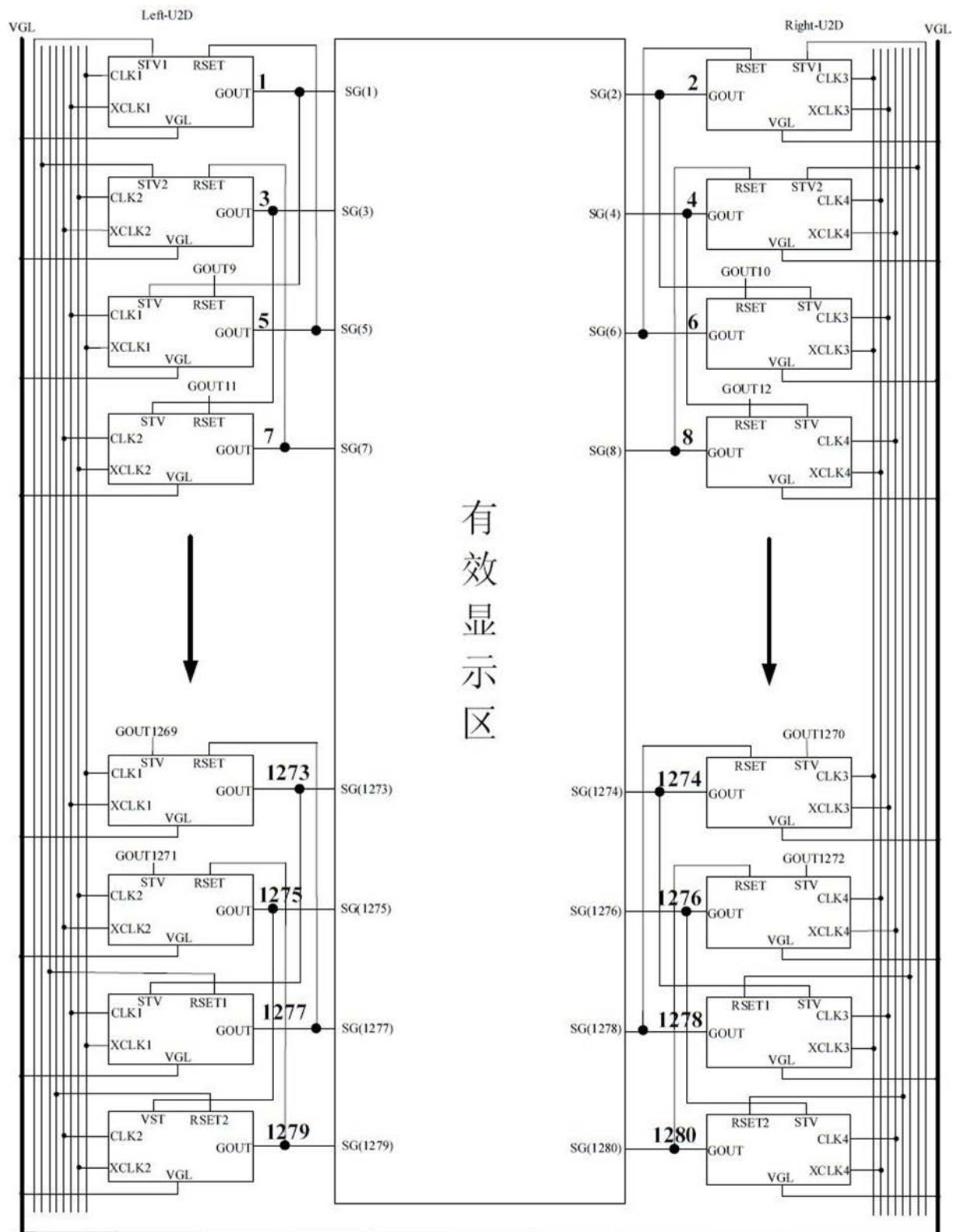


图3

外部信号

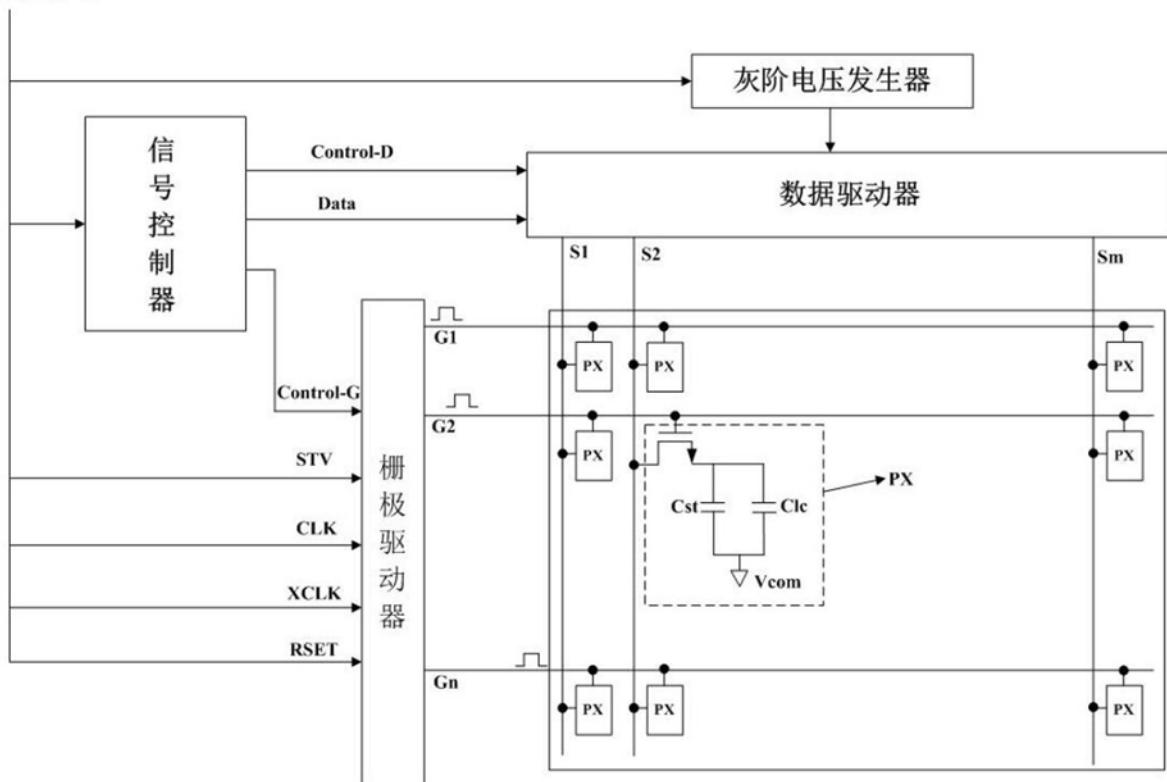


图4

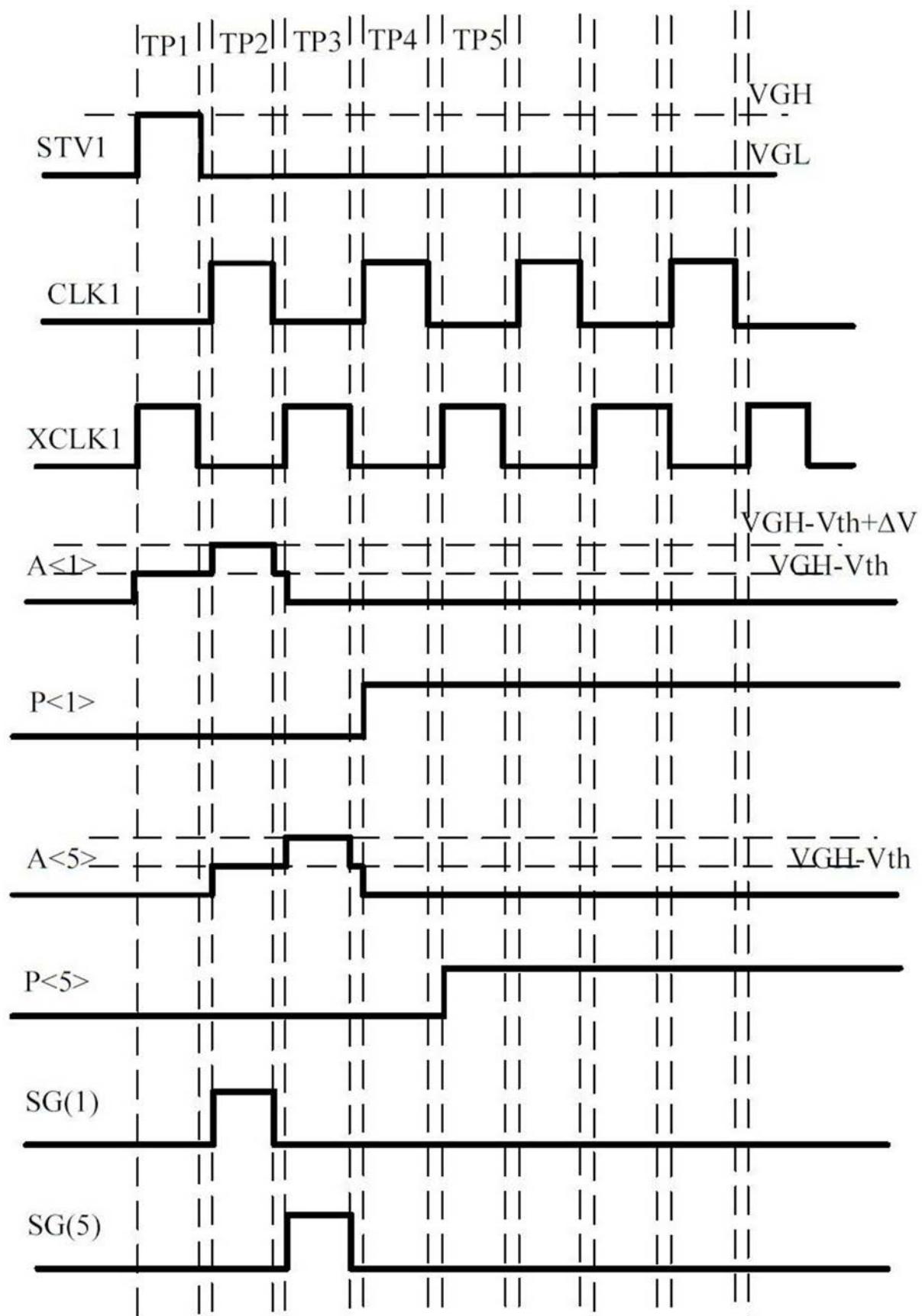


图5

专利名称(译)	一种栅极驱动单元、栅极驱动电路及显示系统		
公开(公告)号	CN108831401A	公开(公告)日	2018-11-16
申请号	CN201810955289.0	申请日	2018-08-21
[标]申请(专利权)人(译)	信利半导体有限公司		
申请(专利权)人(译)	信利半导体有限公司		
当前申请(专利权)人(译)	信利半导体有限公司		
[标]发明人	何孝金 洪胜宝 柳发霖 李林 肖亮 巫蒙 付浩 段忠红		
发明人	何孝金 洪胜宝 柳发霖 李林 肖亮 巫蒙 付浩 段忠红		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3674		
外部链接	Espacenet Sipo		

摘要(译)

本发明公开了一种栅极驱动单元，属于薄膜液晶显示器技术领域。所述栅极驱动单元包括有起始单元、复位单元、辅助单元、上拉单元及下拉单元，所述起始单元分别与所述复位单元、所述辅助单元、所述上拉单元电连接，所述辅助单元与所述下拉单元电连接；所述上拉单元包括有第七薄膜晶体管及一电容，所述第七薄膜晶体管的栅极分别与所述起始单元、所述复位单元、所述辅助单元及所述电容的一端电连接，漏极接入CLK端，源极分别与所述电容的另一端及下拉单元电连接，并连接输出端GOUT。本发明进一步地提供一种栅极驱动电路，该驱动电路包括上述栅极驱动单元。另外还提供一种显示系统，该显示系统包括上述栅极驱动电路。

