



(12)发明专利

(10)授权公告号 CN 105590612 B

(45)授权公告日 2018.01.16

(21)申请号 201610166436.7

(22)申请日 2016.03.22

(65)同一申请的已公布的文献号

申请公布号 CN 105590612 A

(43)申请公布日 2016.05.18

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 合肥鑫晟光电科技有限公司

(72)发明人 陈沫 赵剑

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/36(2006.01)

G11C 19/28(2006.01)

(56)对比文件

CN 102708818 A, 2012.10.03, 全文.

US 2014/0177780 A1, 2014.06.26, 全文.

CN 104361869 A, 2015.02.18, 全文.

CN 104766586 A, 2015.07.08, 全文.

CN 104616617 A, 2015.05.13, 全文.

审查员 蒋永志

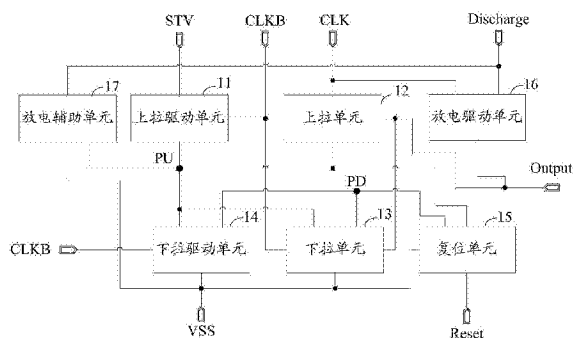
权利要求书2页 说明书7页 附图4页

(54)发明名称

一种移位寄存器及驱动方法、栅极驱动电路和显示装置

(57)摘要

本发明公开了一种移位寄存器及驱动方法、栅极驱动电路和显示装置,以解决现有技术的移位寄存器用于栅极驱动电路并进行栅扫描时,液晶电容的电极上集聚残留直流电荷,影响液晶偏转从而形成残像的问题。所述移位寄存器,包括上拉驱动单元、上拉单元、下拉单元、下拉驱动单元和复位单元,上拉驱动单元通过上拉节点与上拉单元连接,还包括放电辅助单元、放电驱动单元和放电控制信号端;放电辅助单元,用于根据放电控制信号,拉低上拉节点的电位;放电驱动单元,用于根据放电控制信号,拉高移位寄存器的信号输出端所连接的栅线的电位;复位单元,还用于在放电驱动单元拉高移位寄存器的信号输出端所连接的栅线的电位并输出完成之后,再次拉低该栅线的电位。



1. 一种移位寄存器,包括上拉驱动单元、上拉单元、下拉单元、下拉驱动单元和复位单元,所述上拉驱动单元通过上拉节点与所述上拉单元连接,所述复位单元用于在所述移位寄存器正常输出完成之后拉低所述移位寄存器的信号输出端所连接的栅线的电位,其特征在于,所述移位寄存器还包括放电辅助单元、放电驱动单元和放电控制信号端;

放电辅助单元,用于根据所述放电控制信号端输入的放电控制信号,拉低所述上拉节点的电位;

放电驱动单元,用于根据所述放电控制信号端输入的放电控制信号,拉高所述移位寄存器的信号输出端所连接的栅线的电位;

所述复位单元,还用于在所述放电驱动单元拉高所述移位寄存器的信号输出端所连接的栅线的电位并输出完成之后,再次拉低所述移位寄存器的信号输出端所连接的栅线的电位。

2. 如权利要求1所述的移位寄存器,其特征在于,

所述上拉驱动单元包括第一薄膜晶体管和第二薄膜晶体管,所述第一薄膜晶体管的栅极、源极和所述第二薄膜晶体管的源极电连接触发信号端,所述第一薄膜晶体管的漏极和所述第二薄膜晶体管的漏极电连接所述上拉节点,所述第二薄膜晶体管的栅极电连接第二时钟信号端;

所述上拉单元包括第三薄膜晶体管和电容,所述第三薄膜晶体管的栅极和所述电容的第一端电连接所述上拉节点,所述第三薄膜晶体管的源极电连接第一时钟信号端,所述第三薄膜晶体管的漏极和所述电容的第二端电连接信号输出端;

所述下拉单元包括第四薄膜晶体管、第五薄膜晶体管和第六薄膜晶体管,所述第四薄膜晶体管的栅极和所述第五薄膜晶体管的栅极电连接下拉节点,所述第四薄膜晶体管的源极电连接所述上拉节点,所述第四薄膜晶体管的漏极、所述第五薄膜晶体管的漏极和所述第六薄膜晶体管的漏极电连接低电平信号端,所述第五薄膜晶体管的源极和所述第六薄膜晶体管的源极电连接所述信号输出端,所述第六薄膜晶体管的栅极电连接第二时钟信号端;

所述下拉驱动单元包括第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管和第十薄膜晶体管,所述第七薄膜晶体管的栅极、源极和所述第八薄膜晶体管的源极电连接所述第二时钟信号端,所述第七薄膜晶体管的漏极、第八薄膜晶体管的栅极和第九薄膜晶体管的源极电连接,所述第八薄膜晶体管的漏极和所述第十薄膜晶体管的源极电连接所述下拉节点,所述第九薄膜晶体管的栅极和所述第十薄膜晶体管的栅极电连接所述上拉节点,所述第九薄膜晶体管的漏极和所述第十薄膜晶体管的漏极电连接所述低电平信号端;

所述复位单元包括第十一薄膜晶体管和第十二薄膜晶体管,所述第十一薄膜晶体管的栅极和所述第十二薄膜晶体管的栅极电连接复位信号端,所述第十一薄膜晶体管的源极电连接所述上拉节点,所述第十一薄膜晶体管的漏极和所述第十二薄膜晶体管的漏极电连接所述低电平信号端,所述第十二薄膜晶体管的源极电连接所述信号输出端。

3. 如权利要求2所述的移位寄存器,其特征在于,所述放电辅助单元包括第十三薄膜晶体管,所述第十三薄膜晶体管的栅极连接所述放电控制信号端,所述第十三薄膜晶体管的源极连接所述上拉节点,所述第十三薄膜晶体管的漏极电连接所述低电平信号端。

4. 如权利要求3所述的移位寄存器,其特征在于,所述放电驱动单元包括第十四薄膜晶

体管,所述第十四薄膜晶体管的栅极电连接所述放电控制信号端,所述第十四薄膜晶体管的源极电连接所述第一时钟信号端,所述第十四薄膜晶体管的漏极电连接所述信号输出端。

5.如权利要求4所述的移位寄存器,其特征在于,上述全部薄膜晶体管均为N型薄膜晶体管。

6.一种栅极驱动电路,包括多个级联的移位寄存器,其特征在于,所述移位寄存器如权利要求5所述的移位寄存器。

7.如权利要求6所述的栅极驱动电路,其特征在于,还包括放电控制信号线,所述放电控制信号线用于为所述移位寄存器的放电控制信号端提供放电控制信号,以控制所述放电辅助单元和所述放电驱动单元;

所述放电控制信号在所述栅极驱动电路扫描过程中保持低电平,在所述栅极驱动电路扫描结束后提供一个时钟周期的高电平,所述时钟周期为所述移位寄存器中时钟信号的周期。

8.一种显示装置,其特征在于,包括如权利要求6或7所述的栅极驱动电路。

9.一种移位寄存器的驱动方法,用于驱动如权利要求5所述的移位寄存器,其特征在于,包括:

由第一时钟信号端、第二时钟信号端、触发信号端、低电平信号端、复位信号端和放电控制信号端一一对应的提供第一时钟信号、第二时钟信号、初始触发信号、低电平信号、复位信号和放电控制信号;

所述第一时钟信号和所述第二时钟信号为互补的脉冲信号;所述初始触发信号具有相间隔、且与所述第二时钟信号的相间隔的两个时钟高电平脉冲相同的触发高电平脉冲;所述复位信号具有相间隔的两个复位高电平脉冲,前一所述复位高电平脉冲落后所述初始触发信号的前一所述触发高电平脉冲一个时钟周期,后一所述复位高电平脉冲与后一所述触发高电平脉冲同步;所述放电控制信号具有一个时长为一个所述时钟周期的时长的放电高电平脉冲,所述放电高电平脉冲的上升沿早于后一所述触发高电平脉冲的上升沿半个所述时钟周期,所述放电高电平脉冲的下降沿与后一所述触发高电平脉冲的下降沿同步;其中,所述时钟周期为所述第一时钟信号和所述第二时钟信号的周期。

一种移位寄存器及驱动方法、栅极驱动电路和显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器及驱动方法、栅极驱动电路和显示装置。

背景技术

[0002] 在平面显示领域中,液晶显示装置以其具有的重量轻、体积小、厚度薄等特点,已广泛地应用在各种尺寸的终端显示设备中。传统液晶显示装置的显示面板由阵列基板和对向基板夹设液晶层构成,阵列基板上设置有垂直和水平阵列式像素矩阵,其中阵列基板的像素结构包括薄膜晶体管(Thin Film Transistor,TFT)和像素电极,像素电极与公共电极构成电容;TFT在交叉的数据线和扫描线控制下向像素电极输入不同的电压,从而在液晶电容上形成不同的电场,电场控制液晶偏转,实现面板的显示功能。

[0003] 随着技术的发展,出现了阵列基板栅驱动技术(Gate Driver on Array,GOA)技术,GOA技术是一种将扫描电路集成于阵列基板上的技术,每个GOA单元作为一个移位寄存器将扫描信号依次传递给下一GOA单元,逐行开启TFT开关,完成像素单元的数据信号输入。GOA技术的栅极驱动电路包括用于提供信号的多条信号线和用于存储信号数据的移位寄存器,如图1,为了方便说明,以信号线所传输的信号标记信号线,如下:

[0004] 信号线包括:触发信号线,用于给移位寄存器输入初始触发信号STV;拉低信号线,用于给移位寄存器输入低电平信号VSS;第一时钟信号线和第二时钟信号线,用于给移位寄存器提供互补时钟脉冲信号,即第一时钟信号CLK和第二时钟信号CLKB。

[0005] 移位寄存器包括:上拉驱动单元、上拉单元、下拉驱动单元、下拉单元、和复位单元;

[0006] 上拉驱动单元连接传输触发信号STV的触发信号线、传输第二时钟信号CLKB的第二时钟信号线、以及连接上拉节点PU;上拉单元连接传输第一时钟信号CLK的第一时钟信号线、上拉节点PU、以及输出信号端Output;下拉单元驱动单元连接第二时钟信号线、上拉节点PU、下拉节点PD、以及低电平信号端VSS;下拉单元连接第二时钟信号线、上拉节点PU、下拉节点PD、低电平信号端VSS、以及输出信号端Output;复位单元连接上拉节点PU、下拉节点PD、低电平信号端VSS、以及传输复位信号RESET的复位信号线。

[0007] 但是,包括上述移位寄存器的栅极驱动电路进行扫描时,需要每一帧都要改变液晶电容上的电场方向(即极性翻转),在极性翻转过程中,由于TFT的漏电和寄生电容的串扰,会导致液晶电容两个电极上的正负电荷不能完全抵消,在电极上集聚残留直流电荷,影响液晶偏转从而形成残像。

发明内容

[0008] 本发明的目的是提供一种移位寄存器及驱动方法、栅极驱动电路和显示装置,以解决现有技术中的移位寄存器用于栅极驱动电路并进行栅极扫描时,液晶电容两个电极上的正负电荷不能完全抵消,在电极上集聚残留直流电荷,影响液晶偏转从而形成残像的问题。

[0009] 本发明的目的是通过以下技术方案实现的：

[0010] 本发明实施例提供一种移位寄存器，包括上拉驱动单元、上拉单元、下拉单元、下拉驱动单元和复位单元，所述上拉驱动单元通过上拉节点与所述上拉单元连接，所述复位单元用于在所述移位寄存器正常输出完成之后拉低所述移位寄存器的信号输出端所连接的栅线的电位，所述移位寄存器还包括放电辅助单元、放电驱动单元和放电控制信号端；

[0011] 放电辅助单元，用于根据所述放电控制信号端输入的放电控制信号，拉低所述上拉节点的电位；

[0012] 放电驱动单元，用于根据所述放电控制信号端输入的放电控制信号，拉高所述移位寄存器的信号输出端所连接的栅线的电位；

[0013] 所述复位单元，还用于在所述放电驱动单元拉高所述移位寄存器的信号输出端所连接的栅线的电位并输出完成之后，再次拉低所述移位寄存器的信号输出端所连接的栅线的电位。

[0014] 本发明实施例中，所述移位寄存器设置有所述放电辅助单元和所述放电驱动单元，使栅极驱动电路扫描完成之后，所述放电驱动单元能够根据所述放电控制信号的控制，拉高所述移位寄存器的信号输出端所连接的栅线的电位并输出，并由所述复位单元再次拉低，从而全部液晶电容的残留直流电荷彻底释放，避免残留直流电荷影响液晶翻转产生残像，改善的显示品质。

[0015] 优选的，所述上拉驱动单元包括第一薄膜晶体管和第二薄膜晶体管，所述第一薄膜晶体管的栅极、源极和所述第二薄膜晶体管的源极电连接触发信号端，所述第一薄膜晶体管的漏极和所述第二薄膜晶体管的漏极电连接所述上拉节点，所述第二薄膜晶体管的栅极电连接第二时钟信号端；

[0016] 所述上拉单元包括第三薄膜晶体管和电容，所述第三薄膜晶体管的栅极和所述电容的第一端电连接所述上拉节点，所述第三薄膜晶体管的源极电连接第一时钟信号端，所述第三薄膜晶体管的漏极和所述电容的第二端电连接信号输出端；

[0017] 所述下拉单元包括第四薄膜晶体管、第五薄膜晶体管和第六薄膜晶体管，所述第四薄膜晶体管的栅极和所述第五薄膜晶体管的栅极电连接下拉节点，所述第四薄膜晶体管的源极电连接所述上拉节点，所述第四薄膜晶体管的漏极、所述第五薄膜晶体管的漏极和所述第六薄膜晶体管的漏极电连接低电平信号端，所述第五薄膜晶体管的源极和所述第六薄膜晶体管的源极电连接所述信号输出端，所述第六薄膜晶体管的栅极电连接第二时钟信号端；

[0018] 所述下拉驱动单元包括第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管和第十薄膜晶体管，所述第七薄膜晶体管的栅极、源极和所述第八薄膜晶体管的源极电连接所述第二时钟信号端，所述第七薄膜晶体管的漏极、第八薄膜晶体管的栅极和第九薄膜晶体管的源极电连接，所述第八薄膜晶体管的漏极和所述第十薄膜晶体管的源极电连接所述下拉节点，所述第九薄膜晶体管的栅极和所述第十薄膜晶体管的栅极电连接所述上拉节点，所述第九薄膜晶体管的漏极和所述第十薄膜晶体管的漏极电连接所述低电平信号端；

[0019] 所述复位单元包括第十一薄膜晶体管和第十二薄膜晶体管，所述第十一薄膜晶体管的栅极和所述第十二薄膜晶体管的栅极电连接复位信号端，所述第十一薄膜晶体管的源极电连接所述上拉节点，所述第十一薄膜晶体管的漏极和所述第十二薄膜晶体管的漏极电

连接所述低电平信号端,所述第十二薄膜晶体管的源极电连接所述信号输出端。

[0020] 优选的,所述放电辅助单元包括第十三薄膜晶体管,所述第十三薄膜晶体管的栅极连接放电控制信号端,所述第十三薄膜晶体管的源极连接所述上拉节点,所述第十三薄膜晶体管的漏极电连接低电平信号端。

[0021] 优选的,所述放电驱动单元包括第十四薄膜晶体管,所述第十四薄膜晶体管的栅极电连接所述放电控制信号端,所述第十四薄膜晶体管的源极电连接所述第一时钟信号端,所述第十四薄膜晶体管的漏极电连接所述信号输出端。

[0022] 优选的,上述全部薄膜晶体管均为N型薄膜晶体管。

[0023] 本发明实施例还提供一种栅极驱动电路,包括多个级联的移位寄存器,所述移位寄存器如上述实施例所述的移位寄存器。

[0024] 优选的,栅极驱动电路还包括放电控制信号线,所述放电控制信号线用于为所述移位寄存器的放电控制信号端提供放电控制信号,以控制所述放电辅助单元和所述放电驱动单元;

[0025] 所述放电控制信号在所述栅极驱动电路扫描过程中保持低电平,在所述栅极驱动电路扫描结束后提供一个时钟周期的高电平,所述时钟周期为所述移位寄存器中时钟信号的周期。

[0026] 本发明实施例还提供一种显示装置,包括如上实施例提供的所述栅极驱动电路。

[0027] 本发明实施例中,所述栅极驱动电路或所述显示装置所包括的所述移位寄存器,设置有所述放电辅助单元和所述放电驱动单元,使栅极驱动电路扫描完成之后,所述放电驱动单元能够根据所述放电控制信号的控制,拉高所述移位寄存器的信号输出端所连接的栅线的电位并输出,并由所述复位单元再次拉低,从而全部液晶电容的残留直流电荷彻底释放,避免残留直流电荷影响液晶翻转产生残像,改善的显示品质。

[0028] 本发明实施例还提供一种移位寄存器的驱动方法,用于驱动如上实施例所述的移位寄存器,包括:

[0029] 由第一时钟信号端、第二时钟信号端、触发信号端、低电平信号端、复位信号端和放电控制信号端一一对应的提供第一时钟信号、第二时钟信号、初始触发信号、低电平信号、复位信号和放电控制信号;

[0030] 所述第一时钟信号和所述第二时钟信号为互补的脉冲信号;所述初始触发信号具有相间隔、且与所述第二时钟信号的相间隔的两个时钟高电平脉冲相同的触发高电平脉冲;所述复位信号具有相间隔的两个复位高电平脉冲,前一所述复位高电平脉冲落后所述初始触发信号的前一所述触发高电平脉冲一个时钟周期,后一所述复位高电平脉冲与后一所述触发高电平脉冲同步;所述放电控制信号具有一个时长为一个所述时钟周期的时长的放电高电平脉冲,所述放电高电平脉冲的上升沿早于后一所述触发高电平脉冲的上升沿半个所述时钟周期,所述放电高电平脉冲的下降沿与后一所述触发高电平脉冲的下降沿同步;其中,所述时钟周期为所述第一时钟信号和所述第二时钟信号的周期。

[0031] 本发明实施例有益效果如下:所述栅极驱动电路或所述显示装置所包括的所述移位寄存器,设置有所述放电辅助单元和所述放电驱动单元,使栅极驱动电路扫描完成之后,所述放电驱动单元能够根据所述放电控制信号的控制,拉高所述移位寄存器的信号输出端所连接的栅线的电位并输出,并由所述复位单元再次拉低,从而全部液晶电容的残留直流

电荷彻底释放,避免残留直流电荷影响液晶翻转产生残像,改善的显示品质。

附图说明

- [0032] 图1为现有技术的移位寄存器的结构示意图;
- [0033] 图2为本发明实施例提供的移位寄存器的结构示意图;
- [0034] 图3为本发明实施例提供的具体的移位寄存器的结构示意图;
- [0035] 图4为本发明实施例提供的具体的移位寄存器的时序图;
- [0036] 图5为本发明实施例提供的栅极驱动电路的结构示意图。

具体实施方式

[0037] 下面结合说明书附图对本发明实施例的实现过程进行详细说明。需要注意的是,自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。

[0038] 参见图2,本发明实施例提供一种移位寄存器,包括上拉驱动单元11、上拉单元12、下拉单元13、下拉驱动单元14和复位单元15,上拉驱动单元11通过上拉节点PU与上拉单元12连接,复位单元15用于在移位寄存器正常输出完成之后拉低移位寄存器的信号输出端Output所连接的栅线的电位,移位寄存器还包括放电辅助单元16、放电驱动单元17、和放电控制信号端Discharge;

[0039] 放电辅助单元16,用于根据放电控制信号端Discharge输入的放电控制信号,拉低上拉节点PU的电位;

[0040] 放电驱动单元17,用于根据放电控制信号端Discharge输入的放电控制信号,拉高移位寄存器的信号输出端Output所连接的栅线的电位;

[0041] 复位单元15,还用于在放电驱动单元17拉高移位寄存器的信号输出端Output所连接的栅线的电位并输出完成之后,再次拉低移位寄存器的信号输出端Output所连接的栅线的电位。

[0042] 本发明实施例中,移位寄存器设置有放电辅助单元16和放电驱动单元17,使栅极驱动电路扫描完成之后,放电驱动单元17能够根据放电控制信号的控制,拉高移位寄存器的信号输出端Output所连接的栅线的电位并输出,并由复位单元15再次拉低,从而全部液晶电容的残留直流电荷彻底释放,避免残留直流电荷影响液晶翻转产生残像,改善的显示品质。

[0043] 结合图2提供一种具体的移位寄存器,如图3所示:

[0044] 上拉驱动单元11包括第一薄膜晶体管M1和第二薄膜晶体管M2,第一薄膜晶体管M1的栅极、源极和第二薄膜晶体管M2的源极电连接触发信号端STV,第一薄膜晶体管M1的漏极和第二薄膜晶体管M2的漏极电连接上拉节点PU,第二薄膜晶体管M2的栅极电连接第二时钟信号端CLKB。

[0045] 上拉单元12包括第三薄膜晶体管M3和电容C1,第三薄膜晶体管M3的栅极和电容C1的第一端电连接上拉节点PU,第三薄膜晶体管M3的源极电连接第一时钟信号端CLK,第三薄膜晶体管M3的漏极和电容C1的第二端电连接信号输出端Output;

[0046] 下拉单元13包括第四薄膜晶体管M4、第五薄膜晶体管M5和第六薄膜晶体管M6,第

四薄膜晶体管M4的栅极和第五薄膜晶体管M5的栅极电连接下拉节点PD,第四薄膜晶体管M4的源极电连接上拉节点PU,第四薄膜晶体管M4的漏极、第五薄膜晶体管M5的漏极和第六薄膜晶体管M6的漏极电连接低电平信号端VSS,第五薄膜晶体管M5的源极和第六薄膜晶体管M6的源极电连接信号输出端Output,第六薄膜晶体管M6的栅极电连接第二时钟信号端CLKB。

[0047] 下拉驱动单元14包括第七薄膜晶体管M7、第八薄膜晶体管M8、第九薄膜晶体管M9和第十薄膜晶体管M10,第七薄膜晶体管M7的栅极、源极和第八薄膜晶体管M8的源极电连接第二时钟信号端CLKB,第七薄膜晶体管M7的漏极、第八薄膜晶体管M8的栅极和第九薄膜晶体管M9的源极电连接,第八薄膜晶体管M8的漏极和第十薄膜晶体管M10的源极电连接下拉节点PD,第九薄膜晶体管M9的栅极和第十薄膜晶体管M10的栅极电连接上拉节点PU,第九薄膜晶体管M9的漏极和第十薄膜晶体管M10的漏极电连接低电平信号端VSS。

[0048] 复位单元15包括第十一薄膜晶体管M11和第十二薄膜晶体管M12,第十一薄膜晶体管M11的栅极和第十二薄膜晶体管M12的栅极电连接复位信号端Reset,第十一薄膜晶体管M11的源极电连接上拉节点PU,第十一薄膜晶体管M11的漏极和第十二薄膜晶体管M12的漏极电连接低电平信号端VSS,第十二薄膜晶体管M12的源极电连接信号输出端Output。

[0049] 优选的,放电辅助单元16包括第十三薄膜晶体管M13,第十三薄膜晶体管M13的栅极连接放电控制信号端Discharge,第十三薄膜晶体管M13的源极连接上拉节点PU,第十三薄膜晶体管M13的漏极电连接低电平信号端VSS。

[0050] 优选的,放电驱动单元17包括第十四薄膜晶体管M14,第十四薄膜晶体管M14的栅极电连接放电控制信号端Discharge,第十四薄膜晶体管M14的源极电连接第一时钟信号端CLK,第十四薄膜晶体管M14的漏极电连接信号输出端Output。

[0051] 优选的,上述全部薄膜晶体管(例如第一薄膜晶体管M1至第十四薄膜晶体管M14)均为N型薄膜晶体管。

[0052] 需要说明的是,为了既能完成正常扫描和又能进行放电,需要对输入的各信号进行适应性的变化,对于图3所示的移位寄存器,可以提供如图4所示的时序,以信号端的标记命名传输的相对应的信号,如下:

[0053] 第一时钟信号CLK和第二时钟信号CLKB为互补的脉冲信号;初始触发信号STV具有相间隔、且与第二时钟信号CLKB的相间隔的两个时钟高电平脉冲相同的触发高电平脉冲;复位信号具有相间隔的两个复位高电平脉冲,前一复位高电平脉冲落后初始触发信号STV的前一触发高电平脉冲一个时钟周期,后一复位高电平脉冲与后一触发高电平脉冲同步;放电控制信号具有一个时长等于时钟周期 t 的时长的放电高电平脉冲,放电高电平脉冲的上升沿早于后一触发高电平脉冲的上升沿半个时钟周期 t ,放电高电平脉冲的下降沿与后一触发高电平脉冲的下降沿同步;其中,时钟周期 t 为第一时钟信号CLK和第二时钟信号CLKB的周期。

[0054] 本发明实施例中,移位寄存器,设置有放电辅助单元和放电驱动单元,使栅极驱动电路扫描完成之后,放电驱动单元能够根据放电控制信号的控制,拉高移位寄存器的信号输出端所连接的栅线的电位并输出,并由复位单元再次拉低,从而全部液晶电容的残留直流电荷彻底释放,避免残留直流电荷影响液晶翻转产生残像,改善的显示品质。

[0055] 参见图5,本发明实施例还提供一种栅极驱动电路,包括多个级联的移位寄存器

10,移位寄存器10参考图2、图3所示的移位寄存器,各移位寄存器10的输出依次为output1、output2……output (n-1) 和output (n)。

[0056] 优选的,栅极驱动电路还包括放电控制信号线,放电控制信号线用于为移位寄存器10的放电控制信号端提供放电控制信号,以控制放电辅助单元和放电驱动单元;

[0057] 放电控制信号在栅极驱动电路扫描过程中保持低电平,在栅极驱动电路扫描结束后提供一个时钟周期的高电平,时钟周期为移位寄存器10中时钟信号的周期。

[0058] 需要说明的是,附图5中标记VSS、CLK、CLKB、STV、Reset、Discharge的信号线均是以移位寄存器10的相应的信号端的命名进行标记的,在此不再赘述。

[0059] 栅极驱动电路各移位寄存单元10使液晶电容放电的具体实现:放电控制信号端Discharge接收到高电平信号时,所有移位寄存单元10的第十三薄膜晶体管M13和第十四薄膜晶体管M14打开,M14使信号输出端Output在第一时钟信号端CLK接收到的第一时钟信号(一个时钟周期的电平脉冲),即相邻移位寄存单元10在一个时钟周期内均有半个周期输出高电平,从而实现所有像素的液晶电容全部放电的目的,第十三薄膜晶体管M13使上拉节点PU保持低电平,以免影响下一帧各个移位寄存单元10单元正常工作。

[0060] 本发明实施例还提供一种显示装置,包括如上实施例提供的栅极驱动电路。

[0061] 本发明实施例中,栅极驱动电路或显示装置所包括的移位寄存器,设置有放电辅助单元和放电驱动单元,使栅极驱动电路扫描完成之后,放电驱动单元能够根据放电控制信号的控制,拉高移位寄存器的信号输出端所连接的栅线的电位并输出,并由复位单元再次拉低,从而全部液晶电容的残留直流电荷彻底释放,避免残留直流电荷影响液晶翻转产生残像,改善的显示品质。

[0062] 本发明实施例还提供一种移位寄存器的驱动方法,用于驱动如上实施例的移位寄存器,包括:

[0063] 由第一时钟信号端、第二时钟信号端、触发信号端、低电平信号端、复位信号端和放电控制信号端一一对应的提供第一时钟信号、第二时钟信号、初始触发信号、低电平信号、复位信号和放电控制信号;

[0064] 第一时钟信号和第二时钟信号为互补的脉冲信号;初始触发信号具有相间隔、且与第二时钟信号的相间隔的两个时钟高电平脉冲相同的触发高电平脉冲;复位信号具有相间隔的两个复位高电平脉冲,前一复位高电平脉冲落后初始触发信号的前一触发高电平脉冲一个时钟周期,后一复位高电平脉冲与后一触发高电平脉冲同步;放电控制信号具有一个时长为一个时钟周期的时长的放电高电平脉冲,放电高电平脉冲的上升沿早于后一触发高电平脉冲的上升沿半个时钟周期,放电高电平脉冲的下降沿与后一触发高电平脉冲的下降沿同步;其中,时钟周期为第一时钟信号和第二时钟信号的周期。

[0065] 本发明实施例有益效果如下:栅极驱动电路或显示装置所包括的移位寄存器,设置有放电辅助单元和放电驱动单元,使栅极驱动电路扫描完成之后,放电驱动单元能够根据放电控制信号的控制,拉高移位寄存器的信号输出端所连接的栅线的电位并输出,并由复位单元再次拉低,从而全部液晶电容的残留直流电荷彻底释放,避免残留直流电荷影响液晶翻转产生残像,改善的显示品质。

[0066] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围

之内,则本发明也意图包含这些改动和变型在内。

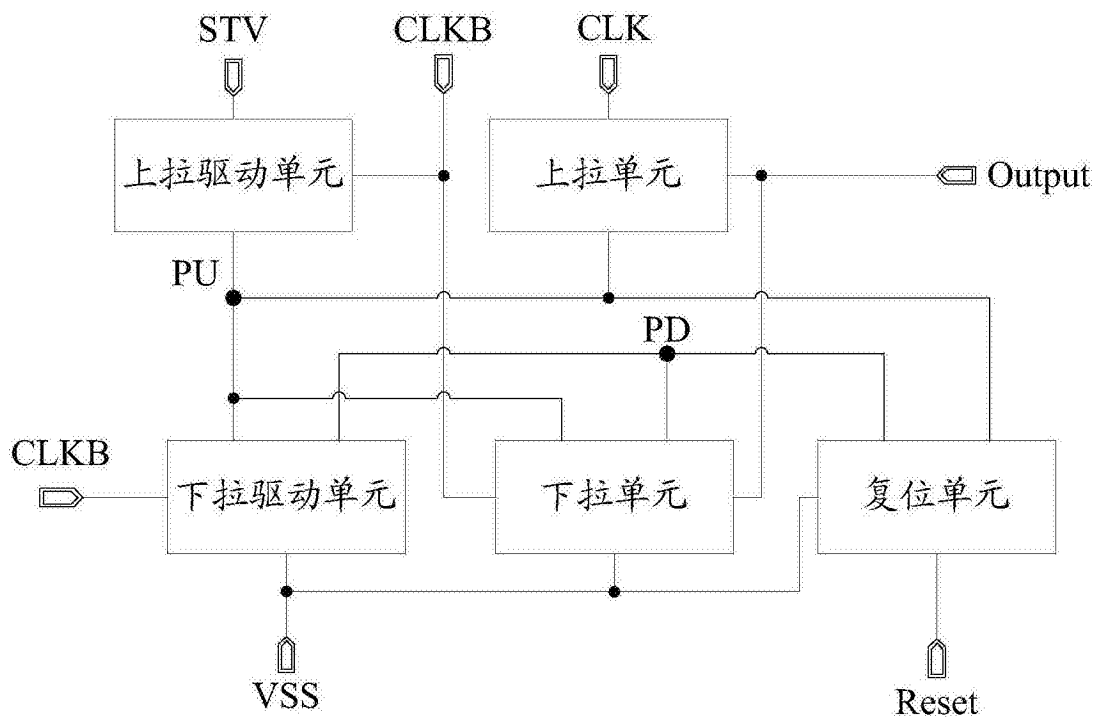


图1

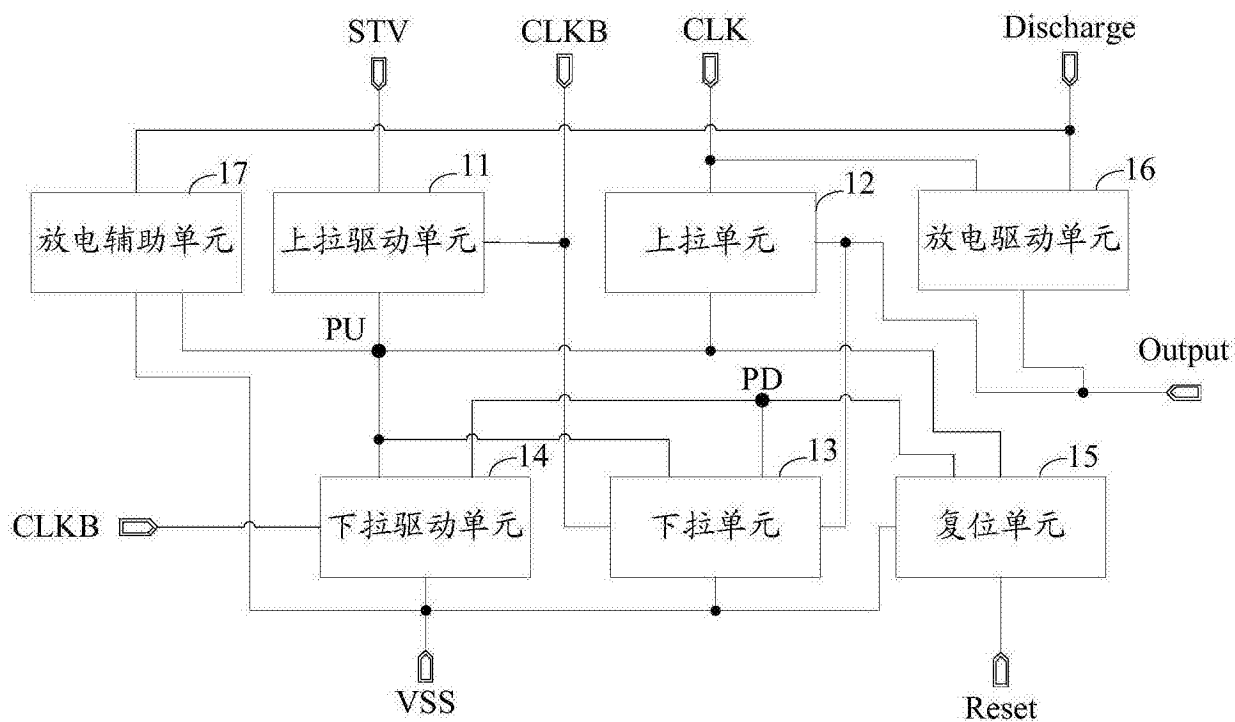


图2

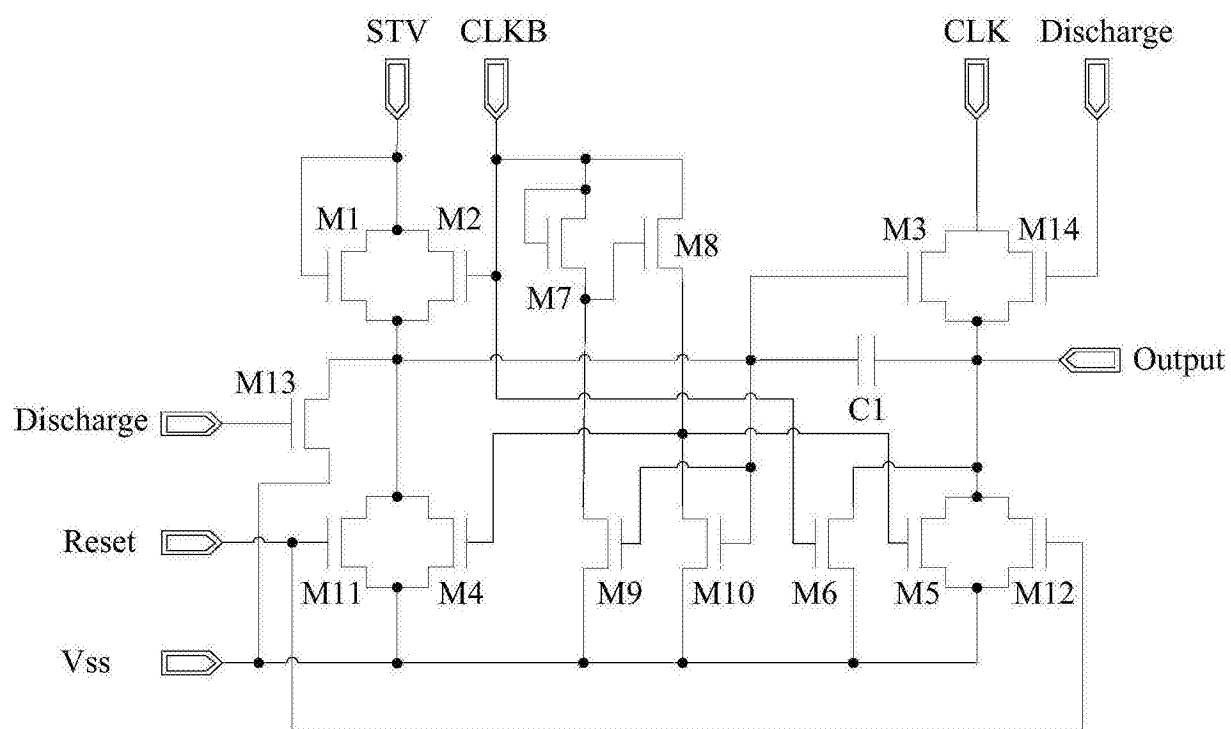


图3

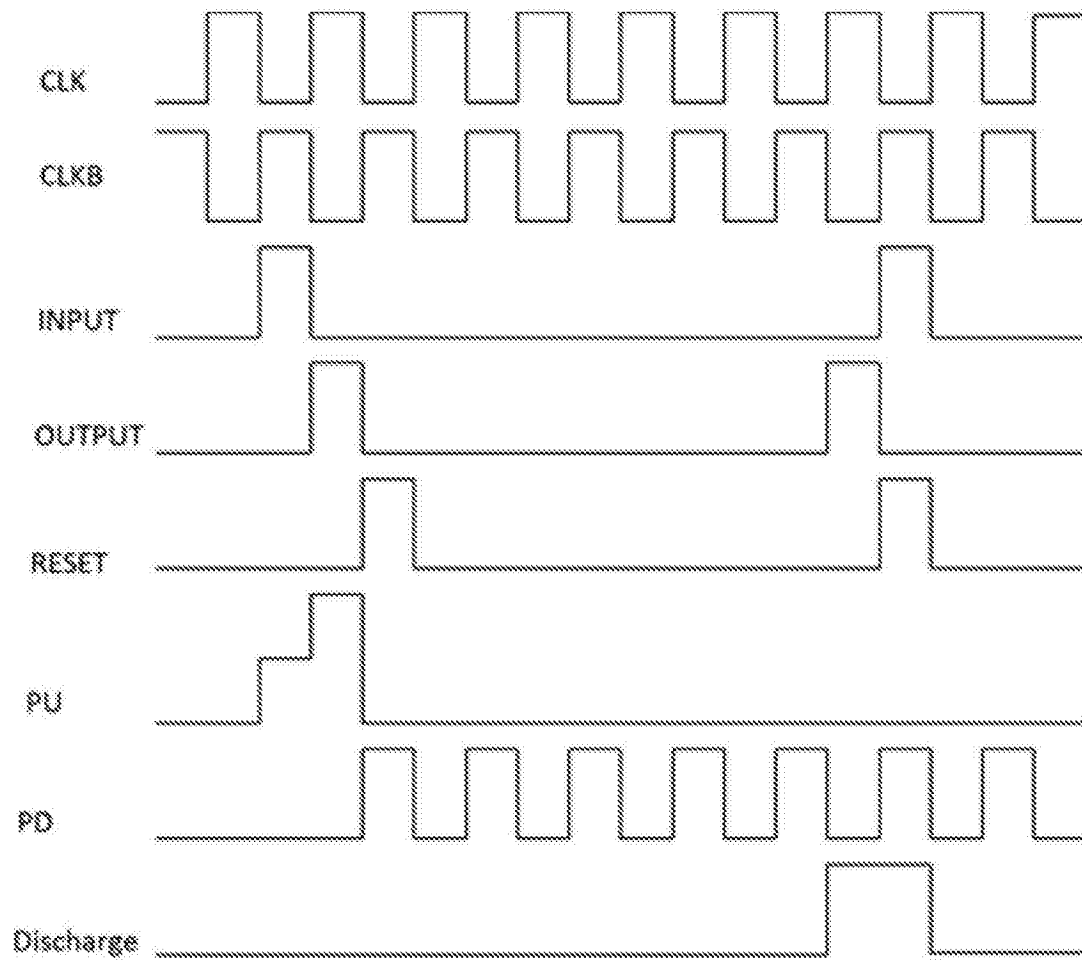


图4

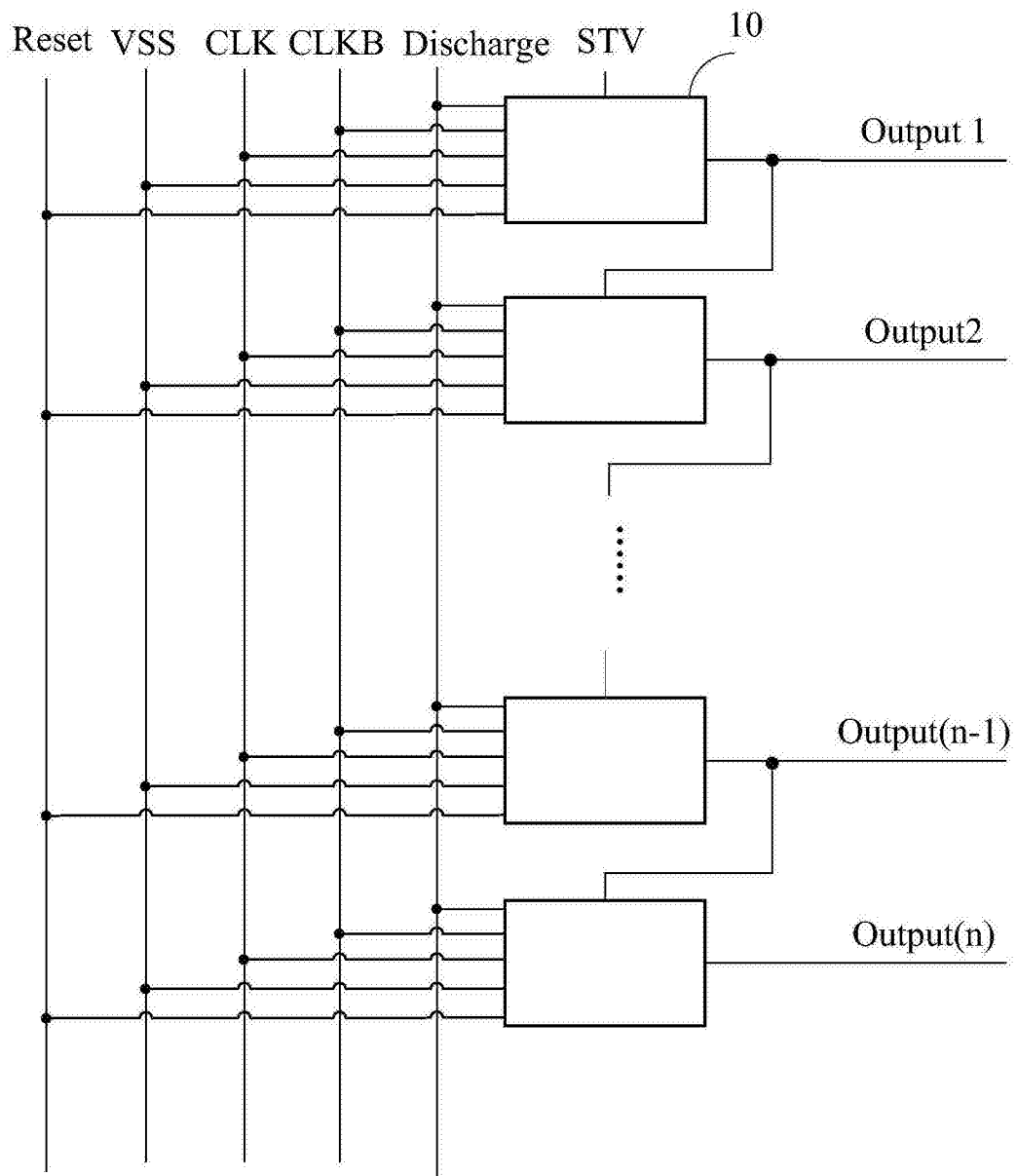


图5

专利名称(译)	一种移位寄存器及驱动方法、栅极驱动电路和显示装置		
公开(公告)号	CN105590612B	公开(公告)日	2018-01-16
申请号	CN201610166436.7	申请日	2016-03-22
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
[标]发明人	陈沫 赵剑		
发明人	陈沫 赵剑		
IPC分类号	G09G3/36 G11C19/28		
CPC分类号	G11C19/28 G09G3/20 G09G3/3677 G09G2310/0267 G09G2310/0286		
代理人(译)	黄志华		
其他公开文献	CN105590612A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种移位寄存器及驱动方法、栅极驱动电路和显示装置，以解决现有技术的移位寄存器用于栅极驱动电路并进行栅扫描时，液晶电容的电极上集聚残留直流电荷，影响液晶偏转从而形成残像的问题。所述移位寄存器，包括上拉驱动单元、上拉单元、下拉单元、下拉驱动单元和复位单元，上拉驱动单元通过上拉节点与上拉单元连接，还包括放电辅助单元、放电驱动单元和放电控制信号端；放电辅助单元，用于根据放电控制信号，拉低上拉节点的电位；放电驱动单元，用于根据放电控制信号，拉高移位寄存器的信号输出端所连接的栅线的电位；复位单元，还用于在放电驱动单元拉高移位寄存器的信号输出端所连接的栅线的电位并输出完成之后，再次拉低该栅线的电位。

