



(12) 发明专利申请

(10) 申请公布号 CN 103915052 A

(43) 申请公布日 2014. 07. 09

(21) 申请号 201310003826. 9

(22) 申请日 2013. 01. 05

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市大兴区经济技术开发区
西环中路 8 号

(72) 发明人 王世君 薛海林 车春城

(74) 专利代理机构 北京派特恩知识产权代理有
限公司 11270

代理人 蒋雅洁 武晨燕

(51) Int. Cl.

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

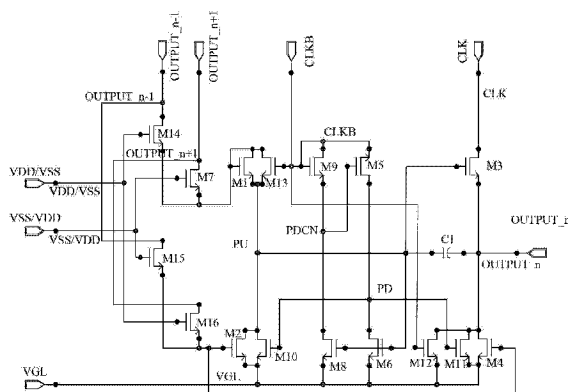
权利要求书2页 说明书8页 附图3页

(54) 发明名称

一种栅极驱动电路、方法及显示装置

(57) 摘要

本发明公开了一种栅极驱动电路、方法及显示装置,所述栅极驱动电路包括多级 GOA 单元,每个 GOA 单元包括双向扫描控制模块、上拉控制模块、上拉模块、下拉模块和输出端,双向扫描控制模块用于在正向扫描控制信号为高电平时,控制所述上拉控制模块以上一级 GOA 单元的输出信号为输入信号,控制所述下拉模块以下一级 GOA 单元的输出信号为复位信号;在反向扫描控制信号为高电平时,控制所述上拉控制模块以下一级 GOA 单元的输出信号为输入信号,控制所述下拉模块以上一级 GOA 单元的输出信号为复位信号。相应的,本发明还公开了液晶显示器及栅极驱动方法,既能够满足液晶显示器窄边框的要求,又能够实现双向栅极扫描。



1. 一种栅极驱动电路,所述栅极驱动电路包括多级GOA单元,每个GOA单元包括上拉控制模块、上拉模块、下拉模块和输出端,其特征在于,

所述GOA单元还包括:双向扫描控制模块,用于在正向扫描控制信号为高电平时,控制所述上拉控制模块以上一级GOA单元的输出信号为输入信号,控制所述下拉模块以下一级GOA单元的输出信号为复位信号;在反向扫描控制信号为高电平时,控制所述上拉控制模块以下一级GOA单元的输出信号为输入信号,控制所述下拉模块以上一级GOA单元的输出信号为复位信号;

上拉控制模块,用于在所述输入信号为高电平时,控制所述上拉模块导通;上拉模块,用于在导通时将第一时钟信号作为栅极驱动信号进行输出;

下拉模块,用于在所述复位信号为高电平时停止输出端的输出。

2. 根据权利要求1所述的栅极驱动电路,其特征在于,所述双向扫描控制模块包括正向扫描控制子模块和反向扫描控制子模块;其中,

正向扫描控制子模块,用于在正向扫描控制信号为高电平时控制所述上拉控制模块以上一级GOA单元的输出信号为输入信号,控制所述下拉模块以下一级GOA单元的输出信号为复位信号;

所述反向扫描控制子模块,用于在反向扫描控制信号为高电平时控制所述上拉控制模块以下一级GOA单元的输出信号为输入信号,控制所述下拉模块以上一级GOA单元的输出信号为复位信号;

所述正向扫描控制信号与所述反向扫描控制信号的周期为一帧且相位相反。

3. 根据权利要求2所述的栅极驱动电路,其特征在于,所述正向扫描控制子模块包括第十四薄膜晶体管和第十六薄膜晶体管;其中,

第十四薄膜晶体管的栅极与所述第十六薄膜晶体管的栅极连接且连接点作为正向扫描控制端,接收正向扫描控制信号;

第十四薄膜晶体管的源极连接上一级GOA单元的输出端,漏极连接所述上拉控制模块的输入信号端;

第十六薄膜晶体管的源极连接下一级GOA单元的输出端,漏极连接所述下拉模块的复位信号输入端。

4. 根据权利要求2所述的栅极驱动电路,其特征在于,所述反向扫描控制子模块包括第七薄膜晶体管和第十五薄膜晶体管;其中,

第七薄膜晶体管的栅极与所述第十五薄膜晶体管的栅极连接且连接点作为反向扫描控制端,接收反向扫描控制信号;

第七薄膜晶体管的源极连接下一级GOA单元的输出端,漏极连接所述上拉控制模块的输入信号端;

第十五薄膜晶体管的源极连接上一级GOA单元的输出端,漏极连接所述下拉模块的复位信号输入端。

5. 根据权利要求3或4所述的栅极驱动电路,其特征在于,

所述上拉控制模块包括:第一薄膜晶体管和第十三薄膜晶体管;其中,第一薄膜晶体管的栅极和源极连接,作为所述上拉控制模块的输入信号端,漏极与第十三薄膜晶体管的漏极连接;第十三薄膜晶体管的源极连接所述第一薄膜晶体管的源极,栅极连接第二时钟

信号输入端；

所述上拉模块包括：第三薄膜晶体管和升压器件；其中，第三薄膜晶体管的栅极连接所述上拉控制模块中第一薄膜晶体管漏极和第十三薄膜晶体管漏极的连接点，源极作为第一时钟信号的输入端，漏极作为输出端；升压器件的一端连接所述上拉控制模块中第一薄膜晶体管漏极和第十三薄膜晶体管漏极的连接点，另一端作为输出端。

6. 根据权利要求5所述的栅极驱动电路，其特征在于，所述下拉模块包括：第二薄膜晶体管和第四薄膜晶体管；其中，

第二薄膜晶体管的栅极与第四薄膜晶体管的栅极连接，并作为所述下拉模块的复位信号输入端，漏极连接低电平端，源极连接所述上拉控制模块中第一薄膜晶体管漏极和第十三薄膜晶体管漏极的连接点；

第四薄膜晶体管的源极连接所述输出模块，漏极连接低电平端。

7. 根据权利要求6所述的栅极驱动电路，其特征在于，所述GOA单元还包括下拉控制模块，用于在第二时钟信号为高电平时拉高所述下拉模块，使得所述下拉模块导通；

所述第二时钟信号与所述第一时钟信号周期相同相位相反。

8. 一种显示装置，其特征在于，所述显示装置包括如权利要求1至7任一项所述的栅极驱动电路。

9. 一种栅极驱动方法，其特征在于，所述栅极驱动方法包括：

在正向扫描控制信号为高电平时，以上一级GOA单元的输出信号为输入信号，以下一级GOA单元的输出信号为复位信号；在反向扫描控制信号为高电平时，以下一级GOA单元的输出信号为输入信号，以上一级GOA单元的输出信号为复位信号；

在所述输入信号为高电平时，将第一时钟信号作为栅极驱动信号输出；

在所述复位信号为高电平时，停止输出。

10. 根据权利要求9所述的栅极驱动方法，其特征在于，

所述在正向扫描控制信号为高电平时，以上一级GOA单元的输出信号为输入信号，以下一级GOA单元的输出信号为复位信号，为：在正向扫描控制信号为高电平时导通正向扫描控制子模块，正向扫描控制子模块在导通时控制上拉控制模块以上一级GOA单元的输出信号为输入信号，控制下拉模块以下一级GOA单元的输出信号为复位信号；

所述在反向扫描控制信号为高电平时，以下一级GOA单元的输出信号为输入信号，以上一级GOA单元的输出信号为复位信号，为：所述用于在反向扫描控制信号为高电平时导通反向扫描控制子模块，所述反向扫描控制子模块在导通时控制上拉控制模块以下一级GOA单元的输出信号为输入信号，控制下拉模块以上一级GOA单元的输出信号为复位信号；

所述正向扫描控制信号与所述反向扫描控制信号的周期为一帧且相位相反；

所述在所述输入信号为高电平时，将第一时钟信号作为栅极驱动信号输出，包括：上拉模块在输入信号为高电平时导通，拉高上拉模块，使得上拉模块导通；上拉模块导通时控制输出模块将第一时钟信号作为栅极驱动信号输出；

所述在所述复位信号为高电平时，停止输出，包括：下拉模块在所述复位信号为高电平时导通，并在导通时控制所述输出模块停止输出。

一种栅极驱动电路、方法及显示装置

技术领域

[0001] 本发明涉及栅极驱动技术,尤其涉及一种栅极驱动电路、方法及显示装置。

背景技术

[0002] 液晶显示器是目前常用的平板显示器,其中薄膜场效应晶体管液晶显示器(TFT-LCD, Thin Film Transistor Liquid Crystal Display)是目前液晶显示器中的主流产品。随着 TFT-LCD 产品的竞争日益激烈,各厂家纷纷通过采用新技术来降低产品的成本,提高产品的市场竞争力。其中,栅极驱动(GOA, Gate on Array)技术是指将 TFT-LCD 的栅极驱动器(Gate Driver)集成在阵列基板上,形成对面板的扫描驱动。相比传统覆晶薄膜(COF, Chip On Flex/Film)和直接绑定在玻璃上(COG, Chip On Glass)的工艺,其不仅可以节省成本,而且面板可以做到两边对称美观设计,省去了栅集成电路(Gate IC)的绑定(Bonding)区域以及扇出(Fan-out)布线空间,实现了窄边框的设计;同时由于可以省去 Gate 方向 Bonding 的工艺,对产能和良品率提升也比较有利。

[0003] 但是,相比于 COF 和 COG 技术,现有的 GOA 技术虽然能够满足窄边框的设计需求,但却不能满足进行双向栅极扫描的需求。

发明内容

[0004] 有鉴于此,本发明的主要目的在于提供一种栅极驱动电路、方法及显示装置,能够实现双向栅极扫描。

[0005] 为达到上述目的,本发明的技术方案是这样实现的:

[0006] 一种栅极驱动电路,所述栅极驱动电路包括多级 GOA 单元,每个 GOA 单元包括上拉控制模块、上拉模块、下拉模块和输出端,

[0007] 所述 GOA 单元还包括:双向扫描控制模块,用于在正向扫描控制信号为高电平时,控制所述上拉控制模块以上一级 GOA 单元的输出信号为输入信号,控制所述下拉模块以下一级 GOA 单元的输出信号为复位信号;在反向扫描控制信号为高电平时,控制所述上拉控制模块以下一级 GOA 单元的输出信号为输入信号,控制所述下拉模块以上一级 GOA 单元的输出信号为复位信号;

[0008] 上拉控制模块,用于在所述输入信号为高电平时,控制所述上拉模块导通;上拉模块,用于在导通时将第一时钟信号作为栅极驱动信号进行输出;

[0009] 下拉模块,用于在所述复位信号为高电平时停止输出端的输出。

[0010] 所述双向扫描控制模块包括正向扫描控制子模块和反向扫描控制子模块;其中,

[0011] 正向扫描控制子模块,用于在正向扫描控制信号为高电平时控制所述上拉控制模块以上一级 GOA 单元的输出信号为输入信号,控制所述下拉模块以下一级 GOA 单元的输出信号为复位信号;

[0012] 所述反向扫描控制子模块,用于在反向扫描控制信号为高电平时控制所述上拉控制模块以下一级 GOA 单元的输出信号为输入信号,控制所述下拉模块以上一级 GOA 单元的

输出信号为复位信号；

[0013] 所述正向扫描控制信号与所述反向扫描控制信号的周期为一帧且相位相反。

[0014] 所述正向扫描控制子模块包括第十四薄膜晶体管和第十六薄膜晶体管；其中，

[0015] 第十四薄膜晶体管的栅极与所述第十六薄膜晶体管的栅极连接且连接点作为正向扫描控制端，接收正向扫描控制信号；

[0016] 第十四薄膜晶体管的源极连接上一级 GOA 单元的输出端，漏极连接所述上拉控制模块的输入信号端；

[0017] 第十六薄膜晶体管的源极连接下一级 GOA 单元的输出端，漏极连接所述下拉模块的复位信号输入端。

[0018] 所述反向扫描控制子模块包括第七薄膜晶体管和第十五薄膜晶体管；其中，

[0019] 第七薄膜晶体管的栅极与所述第十五薄膜晶体管的栅极连接且连接点作为反向扫描控制端，接收反向扫描控制信号；

[0020] 第七薄膜晶体管的源极连接下一级 GOA 单元的输出端，漏极连接所述上拉控制模块的输入信号端；

[0021] 第十五薄膜晶体管的源极连接上一级 GOA 单元的输出端，漏极连接所述下拉模块的复位信号输入端。

[0022] 所述上拉控制模块包括：第一薄膜晶体管和第十三薄膜晶体管；其中，第一薄膜晶体管的栅极和源极连接，作为所述上拉控制模块的输入信号端，漏极与第十三薄膜晶体管的漏极连接；第十三薄膜晶体管的源极连接所述第一薄膜晶体管的源极，栅极连接第二时钟信号输入端；

[0023] 所述上拉模块包括：第三薄膜晶体管和升压器件；其中，第三薄膜晶体管的栅极连接所述上拉控制模块中第一薄膜晶体管漏极和第十三薄膜晶体管漏极的连接点，源极作为第一时钟信号的输入端，漏极作为输出端；升压器件的一端连接所述上拉控制模块中第一薄膜晶体管漏极和第十三薄膜晶体管漏极的连接点，另一端作为输出端。

[0024] 所述下拉模块包括：第二薄膜晶体管和第四薄膜晶体管；其中，

[0025] 第二薄膜晶体管的栅极与第四薄膜晶体管的栅极连接，并作为所述下拉模块的复位信号输入端，漏极连接低电平端，源极连接所述上拉控制模块中第一薄膜晶体管漏极和第十三薄膜晶体管漏极的连接点；

[0026] 第四薄膜晶体管的源极连接所述输出模块，漏极连接低电平端。

[0027] 所述 GOA 单元还包括下拉控制模块，用于在第二时钟信号为高电平时拉高所述下拉模块，使得所述下拉模块导通；

[0028] 所述第二时钟信号与所述第一时钟信号周期相同相位相反。

[0029] 一种显示装置，包括上述的栅极驱动电路。

[0030] 一种栅极驱动方法，包括：

[0031] 在正向扫描控制信号为高电平时，以上一级 GOA 单元的输出信号为输入信号，以下一级 GOA 单元的输出信号为复位信号；在反向扫描控制信号为高电平时，以下一级 GOA 单元的输出信号为输入信号，以上一级 GOA 单元的输出信号为复位信号；

[0032] 在所述输入信号为高电平时，将第一时钟信号作为栅极驱动信号输出；

[0033] 在所述复位信号为高电平时，停止输出。

[0034] 所述在正向扫描控制信号为高电平时,以上一级 GOA 单元的输出信号为输入信号,以下一级 GOA 单元的输出信号为复位信号,为:在正向扫描控制信号为高电平时导通正向扫描控制子模块,正向扫描控制子模块在导通时控制上拉控制模块以上一级 GOA 单元的输出信号为输入信号,控制下拉模块以下一级 GOA 单元的输出信号为复位信号;

[0035] 所述在反向扫描控制信号为高电平时,以下一级 GOA 单元的输出信号为输入信号,以上一级 GOA 单元的输出信号为复位信号,为:所述用于在反向扫描控制信号为高电平时导通反向扫描控制子模块,所述反向扫描控制子模块在导通时控制上拉控制模块以下一级 GOA 单元的输出信号为输入信号,控制下拉模块以上一级 GOA 单元的输出信号为复位信号;

[0036] 所述正向扫描控制信号与所述反向扫描控制信号的周期为一帧且相位相反;

[0037] 所述在所述输入信号为高电平时,将第一时钟信号作为栅极驱动信号输出,包括:上拉模块在输入信号为高电平时导通,拉高上拉模块,使得上拉模块导通;上拉模块导通时控制输出模块将第一时钟信号作为栅极驱动信号输出;

[0038] 所述在所述复位信号为高电平时,停止输出,包括:下拉模块在所述复位信号为高电平时导通,并在导通时控制所述输出模块停止输出。

[0039] 本发明的栅极驱动电路、方法及显示装置,能够在扫描控制信号的控制下进行正向扫描或反向扫描,既能够满足显示装置窄边框的要求,又能够实现双向栅极扫描,提高了栅极驱动电路的灵活度及工作效率,进而提高了显示装置显示图像的效率。

附图说明

[0040] 图 1 为本发明实施例中显示装置栅极驱动电路的组成结构示意图;

[0041] 图 2 为图 1 所示栅极驱动电路正向扫描时输入输出信号的时序图;

[0042] 图 3 为图 1 所示栅极驱动电路反向扫描时输入输出信号的时序图;

[0043] 图 4 为本发明实施例栅极驱动电路中每个 GOA 单元的组成结构示意图;

[0044] 图 5 为本发明实施例中 GOA 单元的具体电路结构示意图;

[0045] 图 6 为本发明栅极驱动方法的实现流程图。

[0046] 附图标记说明:M1-第一薄膜晶体管;M2-第二薄膜晶体管;M3-第三薄膜晶体管;M4-第四薄膜晶体管;M5-第五薄膜晶体管;M6-第六薄膜晶体管;M7-第七薄膜晶体管;M8-第八薄膜晶体管;M9-第九薄膜晶体管;M10-第十薄膜晶体管;M11-第十一薄膜晶体管;M12-第十二薄膜晶体管;M13-第十三薄膜晶体管;M14-第十四薄膜晶体管;M15-第十五薄膜晶体管;M16-第十六薄膜晶体管;C1-升压器件;41-双向扫描控制模块;42-上拉控制模块;43-上拉模块;44-下拉控制模块;45-下拉模块。

具体实施方式

[0047] 本发明中的显示装置,其阵列基板上包含 m (m 为不小于 1 的整数) 条数据驱动线和 n (n 为不小于 1 的整数) 条栅极驱动线,在数据驱动线和栅极驱动线交错的区域上设置有像素,也就是说,显示装置的阵列基板上设置有 n 行 m 列像素,显示装置的栅极驱动电路通过栅极数据线逐行向像素输出栅极驱动信号,从而逐行驱动像素打开,使得各行像素能够接收数据驱动电路通过数据驱动线输出的数据信号,进而基于数据信号进行图像显示。

[0048] 显示装置的栅极驱动电路包括多级 GOA 单元,每个 GOA 单元通过一条栅极驱动线驱动一行像素,在 GOA 单元输出高电平信号时,通过相应的栅极驱动线驱动相应行上的像素打开,使得该行像素能够接收数据信号;在 GOA 单元输出低电平信号时,相应行上的像素关闭,停止接收数据信号。如此,在一帧画面里,栅极驱动电路中的多级 GOA 单元,依次输出高电平信号,逐行驱动像素。

[0049] 本发明中的栅极驱动电路可以从第一级 GOA 电路开始由各 GOA 单元依次输出高电平信号,从最后一行像素开始逐行驱动像素,实现正向扫描;还可以从最后一级 GOA 单元开始由各 GOA 单元依次输出高电平信号,从最后一行像素开始逐行驱动像素,实现反向扫描。

[0050] 如图 1 所示,本发明实施例中的栅极驱动电路包括 800 个 GOA 单元(GOA_1~GOA_800),分别用于驱动 800 行像素,此外,还包括八个冗余(Dummy)GOA 单元(GOA_LU1、GOA_LU2、GOA_LD1、GOA_LD2;GOA_RU1、GOA_RU2、GOA_RD1、GOA_RD2),其中,所述 800 个 GOA 单元采用两列的方式排布,位于左边的一列包含用于驱动奇数行像素的 GOA 单元(GOA_1、GOA_3、……、GOA_797、GOA_799)、以及 Dummy GOA 单元(GOA_LU1、GOA_LU2、GOA_LD1、GOA_LD2),位于右边的一列包含用于驱动偶数行像素的 GOA 单元(GOA_2、GOA_4、……、GOA_798、GOA_800)、以及 Dummy GOA 单元(GOA_RU1、GOA_RU2、GOA_RD1、GOA_RD2),其中,各 Dummy GOA 单元对显示装置的正常显示没有影响,与时序相关,由时序决定。

[0051] 其中,位于同一列的各 GOA 单元组成一个 GOA 单元组,一个 GOA 单元组中的各 GOA 单元相互级联,每级 GOA 单元具有正向扫描控制端、正向扫描输入端、反向扫描控制端、反向扫描输入端、低电平端(图 2 中未示出)、第一时钟信号输入端、第二时钟信号输入端和输出端,其中,每级 GOA 单元的正向扫描输入端连接上一级 GOA 单元的输出端,接收上一级 GOA 单元的输出信号(OUTPUT_{n-1}),反向扫描输入端连接下一级 GOA 单元的输出端,接收下一级 GOA 单元的输出信号(OUTPUT_{n+1}),输出端分别连接上一级 GOA 单元的反向扫描输入端和下一级 GOA 单元的正向扫描输入端,输出本级的栅极驱动信号(OUTPUT_n),正向扫描输入端接收正向扫描控制信号(VDD/VSS),反向扫描输入端接收反向扫描控制信号(VSS/VDD),低电平端(VGL)接收低电平信号(VSL),第一时钟信号输入端(CLK)接收第一时钟信号(CLK),第二时钟信号输入端接收第二时钟信号(CLKB)。每个 GOA 单元在上一级 GOA 单元的输出信号 OUTPUT_{n-1}、下一级 GOA 单元的输出信号 OUTPUT_{n+1}、第一时钟信号 CLK 和第二时钟信号 CLKB 的控制下工作,输出本级的栅极控制信号 OUTPUT_n。

[0052] 特别的,对于各 GOA 单元组中的第一行 GOA 单元,其正向扫描输入端接收输入启动信号(STV),对于各 GOA 单元组中的最后一行 GOA 单元来说,其反向扫描输入端接收输入启动信号(STV)。

[0053] 实际应用中,各 GOA 单元输入输出信号正向扫描时的时序如图 2 所示,反向扫描时的时序如图 3 所示,其中,第一时钟信号 CLK 与第二时钟信号 CLKB 的相位相反,周期相同,在正向扫描和反向扫描时这两个信号互换;具体的,对于左边一列的 GOA 单元组,其输入启动信号为 STVPL,第一时钟信号为 CLKL,第二时钟信号为 CLKBL;对于右边一列的 GOA 单元组,其输入启动信号为 STVPR,第一时钟信号为 CLKR,第二时钟信号为 CLKBR。其中,STVPL 与 STVPR 之间相位相同且相差半个周期,CLKL 与 CLKR 之间相位相同且相差半个周期,CLKBL 与 CLKBR 之间相位相同且相差半个周期。

[0054] 如图 2 所示,正向扫描时,正向扫描控制信号 VDD/VSS 保持为高电平,反向扫描控

制信号 VDD/VSS 保持为低电平,此时,每级 GOA 单元在正向扫描控制信号 VDD/VSS 的控制下,以上一级 GOA 单元的输出信号 OUTPUT_{n-1} 为输入信号 (INPUT),以下一级 GOA 单元的输出信号 OUTPUT_{n+1} 为复位信号 (RESET),以第一时钟信号 CLK 为输出信号 OUTPUT_n。

[0055] 如图 3 所示,反向扫描时,反向扫描控制信号 VDD/VSS 保持为高电平,正向扫描控制信号 VDD/VSS 保持为低电平,此时,CLK 与正向扫描时的 CLKB 相同,CLKB 与正向扫描时的 CLK 相同,每级 GOA 单元在反向扫描控制信号 VSS/VDD 的控制下,以下一级 GOA 单元的输出信号 OUTPUT_{n+1} 为输入信号 (INPUT),以上一级 GOA 单元的输出信号 OUTPUT_{n-1} 为复位信号 (RESET),以第一时钟信号 CLK 为输出信号 OUTPUT_n。

[0056] 具体的,如图 4 所示,每级 GOA 单元包含双向扫描控制模块 41、上拉 (PU, Pull Up) 控制模块 42、上拉模块 43、下拉 (PD, Pull Down) 控制模块 44、下拉模块 45 和输出端。其中,下拉控制模块 44 为可选,可以根据需要在 GOA 单元中设置。

[0057] 其中,双向扫描控制模块 41 中包含有正向扫描控制子模块 411 和反向扫描控制子模块 412,在正向扫描控制信号 VDD/VSS 为高电平时,正向扫描控制子模块 411 导通,控制上拉控制模块 42 以上一级 GOA 单元的输出信号 OUTPUT_{n-1} 为输入信号 (INPUT),控制下拉模块 45 以下一级 GOA 单元的输出信号 OUTPUT_{n+1} 为复位信号 (RESET);在反向扫描控制信号 VSS/VDD 为高电平时,反向扫描控制子模块 412 导通,控制上拉控制模块 42 以下一级 GOA 单元的输出信号 OUTPUT_{n+1} 为 INPUT,并控制下拉模块 45 以上一级 GOA 单元的输出信号 OUTPUT_{n-1} 为 RESET;

[0058] 上拉控制模块 42 在 INPUT 为高电平时,拉高上拉模块 42,使得上拉模块 43 导通,上拉模块 43 导通时将第一时钟信号 (CLK) 作为栅极驱动信号 (OUTPUT_n) 输出。下拉模块 45 用于在下一个 GOA 单元正常工作即输出高电平的栅极驱动信号 (即 RESET 为高电平) 时导通,并在导通时停止输出端输出信号 (即栅极驱动信号)。

[0059] 下拉控制模块 44 用于在 CLKB 为高电平时,拉高下拉模块 45,使得下拉模块 45 导通,并在导通时停止输出端输出信号。

[0060] 每级 GOA 单元的具体电路结构如图 5 所示,其中,双向扫描控制模块 41 包括第十四薄膜晶体管 M14、第十六薄膜晶体管 M16、第七薄膜晶体管 M7、和第十五薄膜晶体管 M15;上拉控制模块 42 包括第一薄膜晶体管 M1 和第十三薄膜晶体管 M13,上拉模块 43 包括第三薄膜晶体管 M3 和升压器件 C1,下拉控制模块 44 包括第九薄膜晶体管 M9、第五薄膜晶体管 M5、第八薄膜晶体管 M8、第六薄膜晶体管 M6,下拉模块 45 包括第二薄膜晶体管 M2、第四薄膜晶体管 M4、第十薄膜晶体管 M10、第十一薄膜晶体管 M11、第十二薄膜晶体管 M12;输出端 (OUTPUT_n)。

[0061] 具体的,正向扫描控制子模块 411 包括 M14 和 M16, M14 的源极作为正向扫描的输入信号 (INPUT) 端,接收 OUTPUT_{n-1},栅极作为正向扫描控制端,接收正向扫描控制信号 VDD/VSS,漏极连接上拉控制模块 42 中 M1 的栅极和源极;M16 的栅极作为正向扫描控制端,接收正向扫描控制信号 VDD/VSS,源极作为复位信号 (RESET) 输入端,接收 OUTPUT_{n+1},漏极连接下拉模块 45 中 M2 的栅极。在正向扫描控制信号 VDD/VSS 为高电平时,M14 和 M16 导通。

[0062] 反向扫描控制子模块 412 包括 M7 和 M15, M7 的源极作为反向扫描的 INPUT 端,接收 OUTPUT_{n+1},栅极作为反向扫描控制端,接收反向扫描控制信号 VSS/VDD,漏极连接上拉

控制模块 42 中 M1 的栅极和源极 ;M15 的栅极作为反向扫描控制端,接收反向扫描控制信号 VSS/VDD,源极作为 RESET 输入端,接收 OUTPUT_{n-1},漏极连接下拉模块 42 中 M2 的栅极。在反向扫描控制信号 VSS/VDD 为高电平时,M7 和 M15 导通。

[0063] 具体的,上拉控制模块 42 中,M1 的栅极和源极连接双向扫描控制模块中 M14 的漏极和 M7 的漏极,M13 的源极连接 M1 的源极和栅极,栅极连接第二时钟信号 (CLKB) 输入端,接收 CLKB,M1 的漏极与 M13 的漏极连接,其连接点为上拉节点 PU 点,用于连接上拉模块 43 ;

[0064] 上拉模块 43 中,C1 的一端连接上拉节点 PU 点,另一端与 M3 的漏极连接,M3 的栅极连接 PU 点,源极作为第一时钟信号 (CLK) 输入端,接收 CLK,其中,M3 漏极与 C1 一端的连接点用于连接输出模块 46 的输出端 ;这里,

[0065] 其中,M1 和 M13 用于在导通时为 PU 点充电,拉升 PU 点电压,在 PU 点处于高电平时上拉模块中 M3 导通,C1 用于进一步拉升 M3 两端电压,M3 导通时将 CLK 输出到输出端,使得输出端输出与 CLK 相同的高电平,即使得输出端输出栅极驱动信号。这里,M13、C1 均为可选器件。

[0066] 下拉控制模块 44 中,M9 的栅极与源极连接 CLKB 输入端,M9 的漏极连接 M5 的栅极,M5 的漏极连接 CLKB 输入端,源极连接 M6 的源极,M6 的栅极和 M8 的栅极连接并连接在 PU 点上,M6 和 M8 的漏极连接 VGL 端,M8 的源极连接在 PDCN 点上。其中,M5 源极与 M6 源极的连接点为下拉节点 PD 点,M5 栅极与 M9 漏极的连接点为下拉控制节点 PDCN 点,PD 点用于控制下拉模块 45 的电压,PDCN 点用于控制 PD 点的电压 ;

[0067] 下拉模块 45 中,M2 的源极和 M10 的源极连接在 PU 点上,M2 的漏极与 M10 的漏极连接低电平 (VGL) 端,M2 的栅极连接在双向扫描控制模块 41 中 M16 漏极与 M15 漏极的连接点上,M10 的栅极连接在下拉控制模块 44 的 PD 点,M12 的栅极连接 CLKB 输入端,M12、M11 和 M4 的源极连接并连接在输出模块 46 的输出端 OUTPUT 上,M12、M11 和 M4 的漏极均连接在 VGL 端上,M11 的栅极连接在 PD 点上,M4 的栅极连接在双向扫描控制模块 41 中 M16 漏极与 M15 漏极的连接点上。

[0068] 其中,M2、M10 在导通时为 PU 点放电,拉低 PU 点电压,在 PU 点处于低电平时断开 M3,进而拉低输出端的电压,使得输出端停止输出栅极驱动信号 ;M4、M11、M12 用于在导通时为输出端放电,拉低输出端的电压,使得输出端停止输出栅极驱动信号。其中,M10、M11 和 M12 为可选器件。

[0069] 其中,M9 用于在导通时为 PDCN 点充电,PDCN 点为高电平时,M5 导通,M5 在导通时为 PD 充电,PD 点为高电平时,使得下拉模块 45 中的 M10、M11 和 M12 导通 ;在 PU 点为高电平时,M6、M8 导通,M6 在导通时为 PD 放电,M8 导通时为 PDCN 点放电,以抑制 PDCN 点和 PD 点在低电平时产生的噪声。

[0070] 这里,下拉模块 45 和下拉控制模块 44 还可以用于在输出模块 46 正常输出栅极驱动信号时抑制 PU 点和输出端的噪声。

[0071] 上述 GOA 单元正向扫描时的工作过程如下 :正向扫描时,VDD/VSS 信号接入高电平 VDD,VSS/VDD 信号接入低电平 VSS,M14 和 M16 导通,M7 和 M15 断开,此时,OUTPUT_{n-1} 作为当前 GOA 单元的 INPUT,OUTPUT_{n+1} 作为 RESET,当 INPUT 为高时(即上一行 GOA 单元正常输出时),此时 CLKB 也是高电平,M1 和 M13 导通,PU 点电压被拉高,C1 进一步将 PU 点拉高,由 PU 点的高电压为 M3 的栅极进行预充电,之后,CLKB 变为低电平,CLK 由低电平转换为高

电平, M3 导通, CLK 通过 M3 的源极、漏极输入到输出端, 为输出端进行充电, 此时, 输出端的输出信号 OUTPUT_n 与 CLK 相同, 为高电平, 当前 GOA 单元正常输出栅极驱动信号, 驱动相应行上像素打开并接收数据信号; 而在下一行 GOA 单元进行正常输出时, 即 OUTPUT_{n+1} 信号为高电平, 即 RESET 为高, M2 和 M4 导通, M2 为 M3 的栅极放电, M4 为输出端放电, 将输出信号 OUTPUT_n 迅速拉低, 使得当前 GOA 单元的输出端处于关闭状态, 停止输出栅极驱动信号, 相应行上像素关闭。

[0072] 上述 GOA 单元正向扫描时的工作过程如下: 反向扫描时, VDD/VSS 接入低电平 VSS, VSS/VDD 接入高电平 VDD, M7 和 M15 导通, 而 M14 和 M16 断开, 此时, OUTPUT_{n+1} 作为当前 GOA 单元的 INPUT, OUTPUT_{n-1} 作为 RESET, 当 INPUT 为高时 (即下一行 GOA 单元正常输出时), 此时 CLK_B 也是高电平, M1 和 M13 导通, PU 点电压被拉高, C1 进一步将 PU 点拉高, 由 PU 点的高电压为 M3 的栅极进行预充电, 之后, CLK_B 变为低电平, CLK 由低电平转换为高电平, M3 导通, CLK 通过 M3 的源极、漏极输入到输出端, 为输出端进行充电, 此时, 输出端的输出信号 OUTPUT_n 与 CLK 相同, 为高电平, 当前 GOA 单元正常输出栅极驱动信号, 驱动相应行上像素打开并接收数据信号; 而在上一行 GOA 单元进行正常输出时, 即 OUTPUT_{n-1} 信号为高电平, 即 RESET 为高, M2 和 M4 导通, M2 为 M3 的栅极放电, M4 为输出端放电, 将输出信号 OUTPUT_n 迅速拉低, 使得当前 GOA 单元的输出端处于关闭状态, 停止输出栅极驱动信号, 相应行上像素关闭。

[0073] 其中, 上述 M1~M16 具体可以为金属-氧化物-半导体场效应晶体 (Metal-Oxide-Semiconductor, MOS) 管。上述 C1 具体可以为电容器件。

[0074] 本发明还提供了一种利用上述栅极驱动电路实现的栅极驱动方法, 所述方法的实现流程参见图 6, 包括:

[0075] 步骤 601: 在正向扫描控制信号为高电平时, 以上一级 GOA 单元的输出信号为输入信号, 以下一级 GOA 单元的输出信号为复位信号; 在反向扫描控制信号为高电平时, 以下一级 GOA 单元的输出信号为输入信号, 以上一级 GOA 单元的输出信号为复位信号;

[0076] 具体地, 在正向扫描控制信号为高电平时导通正向扫描控制子模块, 正向扫描控制子模块在导通时控制上拉控制模块以上一级 GOA 单元的输出信号为输入信号, 控制下拉模块以下一级 GOA 单元的输出信号为复位信号;

[0077] 具体地, 在反向扫描控制信号为高电平时导通反向扫描控制子模块, 所述反向扫描控制子模块在导通时控制上拉控制模块以下一级 GOA 单元的输出信号为输入信号, 控制下拉模块以上一级 GOA 单元的输出信号为复位信号;

[0078] 这里, 所述正向扫描控制信号与所述反向扫描控制信号的周期为一帧且相位相反。

[0079] 步骤 602: 在所述输入信号为高电平时, 将第一时钟信号作为栅极驱动信号输出; 在所述复位信号为高电平时, 停止输出。

[0080] 具体地, 上拉模块在输入信号为高电平时导通, 拉高上拉模块, 使得上拉模块导通; 上拉模块导通时控制输出模块将第一时钟信号作为栅极驱动信号输出; 下拉模块在所述复位信号为高电平时导通, 并在导通时控制所述输出模块停止输出。

[0081] 这里, 所述方法还可以包括: 在 CLK_B 为高电平时, 下拉控制模块导通, 拉高所述下拉模块, 使得下拉模块导通, 下拉模块导通时控制所述输出模块停止输出。

[0082] 以上所述, 仅为本发明的较佳实施例而已, 并非用于限定本发明的保护范围。

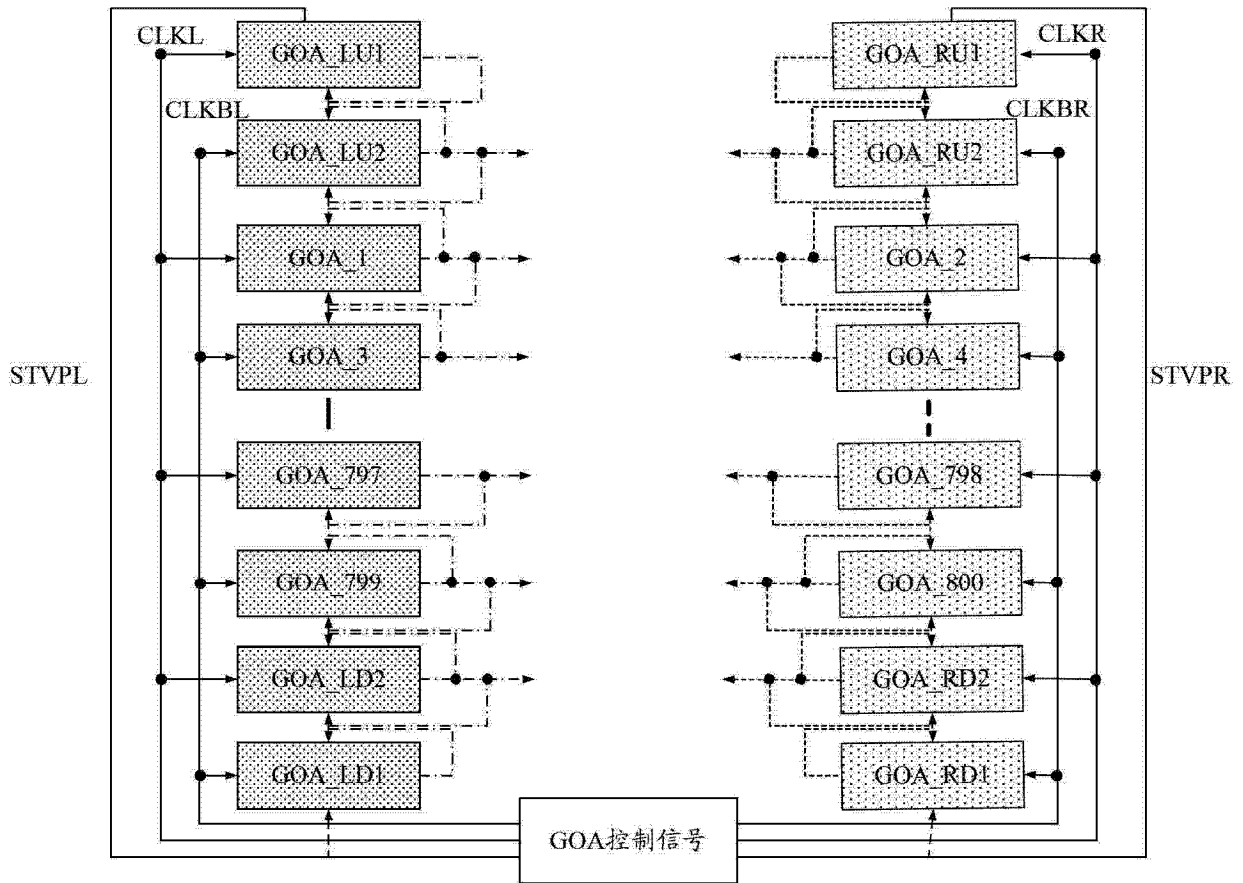


图 1

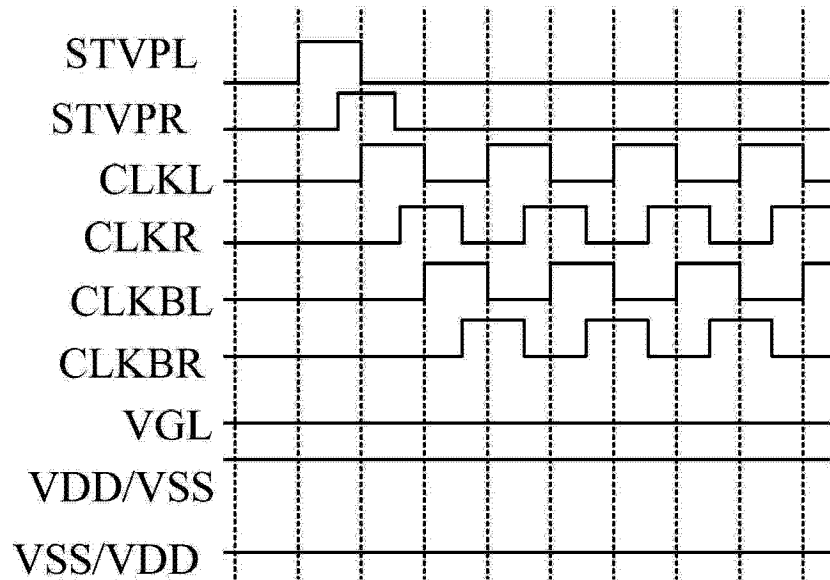


图 2

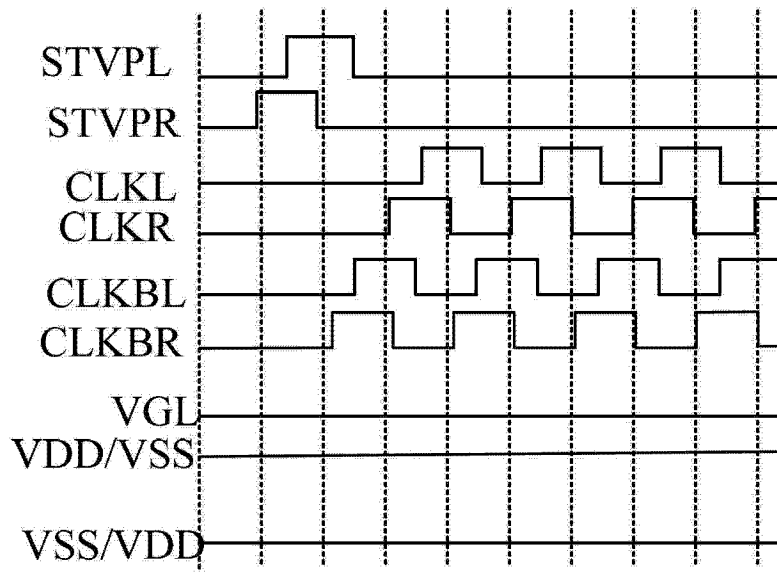


图 3

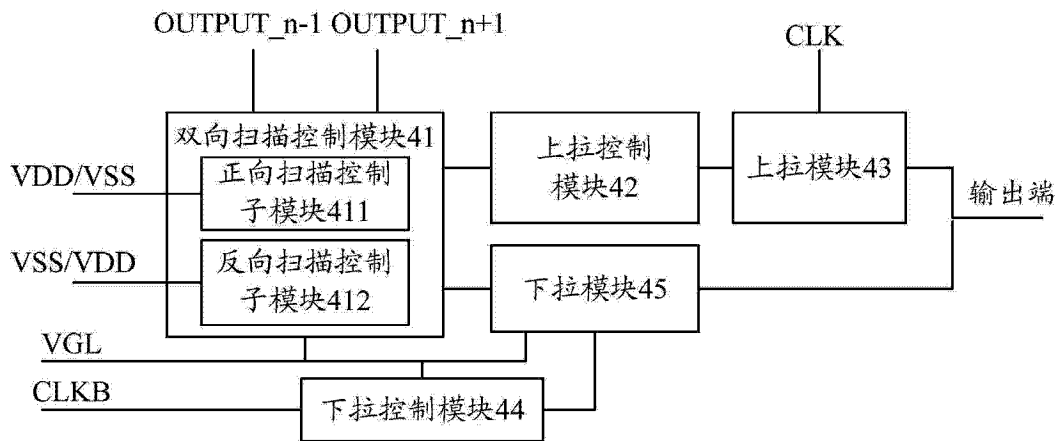


图 4

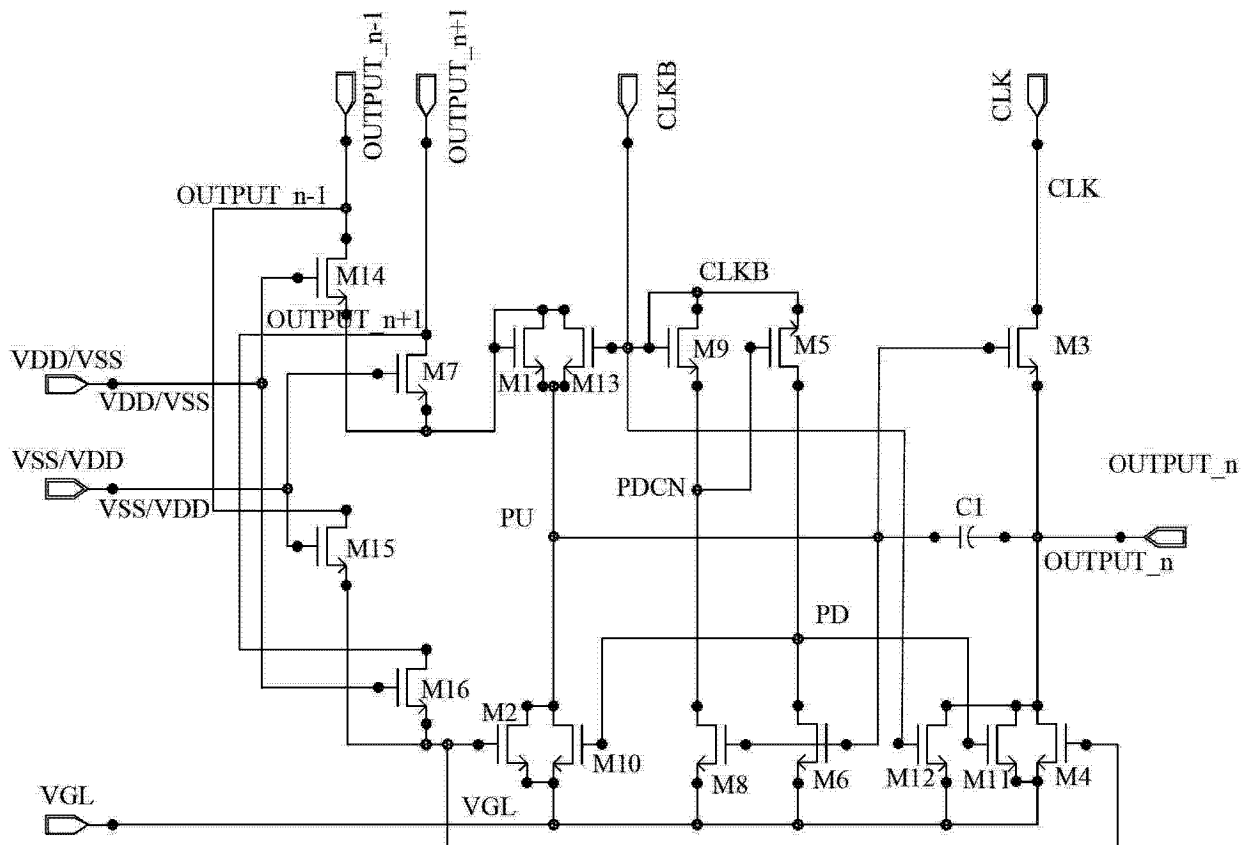


图 5

在正向扫描控制信号为高电平时，以上一级GOA单元的输出信号为输入信号，以下一级GOA单元的输出信号为复位信号；在反向扫描控制信号为高电平时，以下一级GOA单元的输出信号为输入信号，以上一级GOA单元的输出信号为复位信号；

601

在所述输入信号为高电平时，将第一时钟信号作为栅极驱动信号输出；在所述复位信号为高电平时，停止输出。

602

图 6

专利名称(译)	一种栅极驱动电路、方法及显示装置		
公开(公告)号	CN103915052A	公开(公告)日	2014-07-09
申请号	CN201310003826.9	申请日	2013-01-05
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	王世君 薛海林 车春城		
发明人	王世君 薛海林 车春城		
IPC分类号	G09G3/20 G09G3/36		
其他公开文献	CN103915052B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种栅极驱动电路、方法及显示装置，所述栅极驱动电路包括多级GOA单元，每个GOA单元包括双向扫描控制模块、上拉控制模块、上拉模块、下拉模块和输出端，双向扫描控制模块用于在正向扫描控制信号为高电平时，控制所述上拉控制模块以上一级GOA单元的输出信号为输入信号，控制所述下拉模块以下一级GOA单元的输出信号为复位信号；在反向扫描控制信号为高电平时，控制所述上拉控制模块以下一级GOA单元的输出信号为输入信号，控制所述下拉模块以上一级GOA单元的输出信号为复位信号。相应的，本发明还公开了液晶显示器及栅极驱动方法，既能够满足液晶显示器窄边框的要求，又能够实现双向栅极扫描。

