



(12)发明专利申请

(10)申请公布号 CN 110361896 A

(43)申请公布日 2019.10.22

(21)申请号 201910516305.0

(22)申请日 2019.06.14

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 岳阳 王洪润 姚琪 杨桐 李翔

于勇 黄海涛 徐传祥 廖峰

(74)专利代理机构 北京安信方达知识产权代理有限公司 11262

代理人 王云红 曲鹏

(51) Int. Cl.

G02F 1/1337(2006.01)

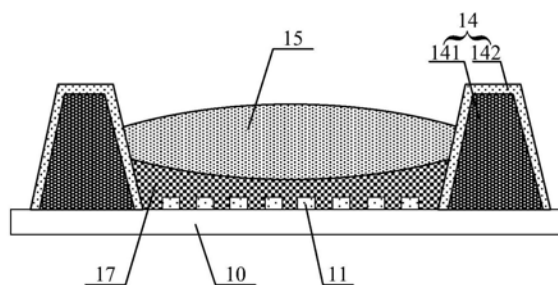
权利要求书2页 说明书9页 附图10页

(54)发明名称

一种阵列基板及其制备方法、显示面板

(57)摘要

本发明公开了一种阵列基板及其制备方法、显示面板。该阵列基板包括多个呈阵列排布的像素区,所述阵列基板包括:基底;像素电极,设置在所述基底上且位于所述像素区;隔离柱,设置在所述基底上且位于相邻两个所述像素区之间,所述隔离柱的侧表面具有疏水特性;以及,取向膜,设置在所述像素电极和所述隔离柱上且位于所述像素区,所述取向膜的两侧均与所述隔离柱的侧表面接触,所述取向膜的背离所述基底一侧的表面呈自两侧朝向中间逐渐凸起的形状。该阵列基板更容易在像素区形成更高厚度的取向膜,从而提高像素区取向膜的铆定力,避免像素区液晶紊乱,进而避免了漏光问题和显示异常,提高了显示的对比度和显示品质。



1. 一种阵列基板,包括多个呈阵列排布的像素区,其特征在于,所述阵列基板包括:
基底;

像素电极,设置在所述基底上且位于所述像素区;

隔离柱,设置在所述基底上且位于相邻两个所述像素区之间,所述隔离柱的侧表面具有疏水特性;以及,

取向膜,设置在所述像素电极和所述隔离柱上且位于所述像素区,所述取向膜的两侧均与所述隔离柱的侧表面接触,所述取向膜的背离所述基底一侧的表面呈自两侧朝向中间逐渐凸起的形状。

2. 根据权利要求1所述的阵列基板,其特征在于,所述隔离柱包括设置在所述基底上的BPS层以及设置在所述BPS层外表面上的疏水材料层。

3. 根据权利要求2所述的阵列基板,其特征在于,所述疏水材料层的材质包括特氟龙。

4. 根据权利要求1~3中任意一项所述的阵列基板,其特征在于,所述阵列基板还包括设置在所述像素电极和所述取向膜之间且位于所述像素区的调节层,所述调节层的两侧边缘均与所述隔离柱的侧表面接触,所述调节层的朝向所述取向膜一侧的表面呈自两侧朝向中间逐渐凹陷的形状。

5. 根据权利要求4所述的阵列基板,其特征在于,所述调节层的材质包括疏水材料。

6. 根据权利要求1所述的阵列基板,其特征在于,所述像素电极包括多个间隔设置的电极条。

7. 一种阵列基板的制备方法,其特征在于,所述阵列基板包括多个呈阵列排布的像素区,所述制备方法包括:

在基底上形成位于像素区的像素电极以及位于相邻两个所述像素区之间的隔离柱,所述隔离柱的侧表面具有疏水特性;

在所述像素电极和所述隔离柱上形成位于所述像素区的取向膜,所述取向膜的两侧均与所述隔离柱的侧表面接触,所述取向膜的背离所述基底一侧的表面呈自两侧朝向中间逐渐凸起的形状。

8. 根据权利要求7所述的制备方法,其特征在于,在基底上形成位于相邻两个所述像素区之间的隔离柱,所述隔离柱的侧表面具有疏水特性,包括:

在基底上形成位于相邻两个所述像素区之间的BPS层;

在所述BPS层上形成疏水材料层。

9. 根据权利要求8所述的制备方法,其特征在于,所述疏水材料层的材质包括特氟龙。

10. 根据权利要求7所述的制备方法,其特征在于,通过转印工艺形成所述取向膜。

11. 根据权利要求7~10中任意一项所述的制备方法,其特征在于,所述在所述像素电极和所述隔离柱上形成位于所述像素区的取向膜,包括:

在所述像素电极和所述隔离柱上形成位于所述像素区的调节层,所述调节层的两侧边缘均与所述隔离柱的侧表面接触,所述调节层的朝向所述取向膜一侧的表面呈自两侧朝向中间逐渐凹陷的形状;

在所述调节层上形成所述取向膜。

12. 根据权利要求11所述的制备方法,其特征在于,所述调节层的材质包括疏水材料。

13. 根据权利要求11所述的制备方法,其特征在于,采用涂覆工艺形成所述调节层。

14. 一种显示面板,其特征在于,包括权利要求1~6中任意一项所述的阵列基板。

一种阵列基板及其制备方法、显示面板

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种阵列基板及其制备方法、显示面板。

背景技术

[0002] 在ADS模式的显示面板中,数据线12与公共电极13之间均存在电场。数据线12与公共电极13之间的电场会导致在数据线12两侧漏光。为了降低数据线两侧漏光,通常的方法为增加对应的黑矩阵21的宽度,这就使得黑矩阵的宽度需要达到31um以上。这个宽度的黑矩阵,导致显示面板开口率下降。

[0003] 为了降低数据线两侧漏光,同时提高显示面板的开口率,现有技术中,采用BPS On Array技术,即在阵列基板上采用BPS (Black Photo Spacer,黑色间隙控制材料)技术。采用BPS On Array技术后,大幅度提高了显示面板的开口率。但是,采用BPS On Array技术的显示面板在暗态下,像素区密布点状漏光,该漏光严重影响了显示面板的对比度和正常显示。

发明内容

[0004] 本发明实施例的目的是,提供一种阵列基板及其制备方法、显示面板,以解决显示面板漏光问题。

[0005] 为了解决上述技术问题,本发明实施例提供一种阵列基板,包括多个呈阵列排布的像素区,所述阵列基板包括:

[0006] 基底;

[0007] 像素电极,设置在所述基底上且位于所述像素区;

[0008] 隔离柱,设置在所述基底上且位于相邻两个所述像素区之间,所述隔离柱的侧表面具有疏水特性;以及,

[0009] 取向膜,设置在所述像素电极和所述隔离柱上且位于所述像素区,所述取向膜的两侧均与所述隔离柱的侧表面接触,所述取向膜的背离所述基底一侧的表面呈自两侧朝向中间逐渐凸起的形状。

[0010] 可选地,所述隔离柱包括设置在所述基底上的BPS层以及设置在所述BPS层外表面上的疏水材料层。

[0011] 可选地,所述疏水材料层的材质包括特氟龙。

[0012] 可选地,所述阵列基板还包括设置在所述像素电极和所述取向膜之间且位于所述像素区的调节层,所述调节层的两侧边缘均与所述隔离柱的侧表面接触,所述调节层的朝向所述取向膜一侧的表面呈自两侧朝向中间逐渐凹陷的形状。

[0013] 可选地,所述调节层的材质包括疏水材料。

[0014] 可选地,所述像素电极包括多个间隔设置的电极条。

[0015] 为了解决上述技术问题,本发明实施例还提供一种阵列基板的制备方法,所述阵列基板包括多个呈阵列排布的像素区,所述制备方法包括:

[0016] 在基底上形成位于像素区的像素电极以及位于相邻两个所述像素区之间的隔离

柱,所述隔离柱的侧表面具有疏水特性;

[0017] 在所述像素电极和所述隔离柱上形成位于所述像素区的取向膜,所述取向膜的两侧均与所述隔离柱的侧表面接触,所述取向膜的背离所述基底一侧的表面呈自两侧朝向中间逐渐凸起的形状。

[0018] 可选地,在基底上形成位于相邻两个所述像素区之间的隔离柱,所述隔离柱的侧表面具有疏水特性,包括:

[0019] 在基底上形成位于相邻两个所述像素区之间的BPS层;

[0020] 在所述BPS层上形成疏水材料层。

[0021] 可选地,所述疏水材料层的材质包括特氟龙。

[0022] 可选地,通过转印工艺形成所述取向膜。

[0023] 可选地,所述在所述像素电极和所述隔离柱上形成位于所述像素区的取向膜,包括:

[0024] 在所述像素电极和所述隔离柱上形成位于所述像素区的调节层,所述调节层的两侧边缘均与所述隔离柱的侧表面接触,所述调节层的朝向所述取向膜一侧的表面呈自两侧朝向中间逐渐凹陷的形状;

[0025] 在所述调节层上形成所述取向膜。

[0026] 可选地,所述调节层的材质包括疏水材料。

[0027] 可选地,采用涂覆工艺形成所述调节层。

[0028] 为了解决上述技术问题,本发明实施例还提供了一种显示面板,包括如上所述的阵列基板。

[0029] 本发明实施例的阵列基板,形成的取向膜的上表面呈自两侧朝向中间逐渐凸起的形状。这就使得取向膜中间位置的厚度大于两侧位置的厚度,即取向膜在像素区中间位置的厚度大于两侧位置的厚度,从而,更容易在像素区形成更高厚度的取向膜,很容易使像素区取向膜的厚度达到600埃以上,进而,在摩擦形成沟槽时便可以在像素区形成良好的摩擦效果,提高像素区取向膜的铆定力,避免像素区液晶紊乱,进而避免了漏光问题和显示异常,提高了显示的对比度和显示品质。

[0030] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

[0031] 附图用来提供对本发明技术方案的进一步理解,并且构成说明书的一部分,与本申请的实施例一起用于解释本发明的技术方案,并不构成对本发明技术方案的限制。

[0032] 图1为一种ADS模式显示面板的结构示意图;

[0033] 图2为图1中的A-A截面视图;

[0034] 图3为一种采用BPS技术的ADS模式显示面板的结构示意图;

[0035] 图4为图3中的B-B截面视图;

[0036] 图5为一种显示面板中阵列基板在形成取向膜前隔离柱的示意图;

[0037] 图6为包含图5所示阵列基板的显示面板在暗态下的示意图;

- [0038] 图7为一种采用BPS技术阵列基板的结构示意图；
- [0039] 图8为图7所示阵列基板中一次转印形成取向膜后像素区中间区域的示意图；
- [0040] 图9为图7所示阵列基板中一次转印形成取向膜后隔离柱侧部的示意图；
- [0041] 图10为图7所示阵列基板中两次转印形成取向膜后像素区中间区域的示意图；
- [0042] 图11为图7所示阵列基板中两次转印形成取向膜后隔离柱侧部的示意图；
- [0043] 图12为一次转印形成取向膜后显示面板在暗态下的示意图；
- [0044] 图13为两次转印形成取向膜后显示面板在暗态下的示意图；
- [0045] 图14为本发明第一实施例阵列基板的俯视结构示意图；
- [0046] 图15为图14中的C-C截面结构示意图；
- [0047] 图16为毛细现象结构示意图；
- [0048] 图17为图2所示显示面板工作状态示意图；
- [0049] 图18a为采用BPS技术的显示面板的工作状态示意图；
- [0050] 图18b为隔离柱为BPS材料时图18a所示显示面板的漏光量示意图；
- [0051] 图18c为采用本发明实施例隔离柱时图18a所示显示面板的漏光量示意图；
- [0052] 图19a为阵列基板中形成像素电极后的结构示意图；
- [0053] 图19b为阵列基板中形成BPS层后的结构示意图；
- [0054] 图19c为阵列基板中形成疏水材料层后的结构示意图；
- [0055] 图19d为阵列基板中形成调节层后的结构示意图。
- [0056] 附图标记说明：
- | | | | |
|--------|------------|----------|-----------|
| [0057] | 10—基底； | 11—像素电极； | 12—数据线； |
| [0058] | 13—公共电极； | 14—隔离柱； | 141—BPS层； |
| [0059] | 142—疏水材料层； | 15—取向膜； | 17—调节层； |
| [0060] | 21—黑矩阵； | 100—像素区。 | |

具体实施方式

[0061] 为使本发明的目的、技术方案和优点更加清楚明白，下文中将结合附图对本发明的实施例进行详细说明。需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互任意组合。

[0062] 图1为一种ADS模式显示面板的结构示意图，图2为图1中的A-A截面视图。如图1和图2所示，ADS模式显示面板包括相对设置的阵列基板和彩膜基板。阵列基板上设置有像素电极11、数据线12和公共电极13，像素电极11、数据线12和公共电极13分别位于不同层。彩膜基板上设置有黑矩阵21，黑矩阵21用于遮挡漏光。数据线12与像素电极11、数据线12与公共电极13之间均存在电压差，因此，数据线12与像素电极11之间、数据线12与公共电极13之间均存在电场。数据线12与公共电极13之间的电场会导致在数据线12两侧漏光。为了降低数据线两侧漏光，通常的方法为增加对应的黑矩阵21的宽度，这就使得黑矩阵的宽度需要达到31um以上。这个宽度的黑矩阵，导致显示面板开口率下降。

[0063] 图3为一种采用BPS技术的ADS模式显示面板的结构示意图，图4为图3中的B-B截面视图。如图3和图4所示，显示面板采用BPS On Array技术，即在阵列基板上采用BPS (Black Photo Spacer, 黑色间隙控制材料) 技术，在阵列基板上制作BPS材料的隔离柱14，隔离柱14

位于相邻像素区之间,隔离柱14可以起到隔离子的作用。BPS材料为黑色树脂材料,例如,黑色负性光刻胶等。隔离柱的厚度约为2 μm 。如图3和图4所示,阵列基板上设置有像素电极11、数据线12和公共电极13,像素电极11、数据线12和公共电极13分别位于不同层。阵列基板上还设置有位于数据线12和公共电极13上方的隔离柱14。在隔离柱的作用下,数据线12两侧的漏光约为0,从而,相比于图1和图2中的黑矩阵21的宽度31 μm ,图3和图4所示的显示面板中的黑矩阵21的宽度可以降低到22 μm ,大幅度提高了显示面板的开口率。

[0064] 采用BPS On Array技术提高显示面板开口率的原理简述如下:

[0065] 1. 液晶层中位于数据线12上方空间里的液晶被BPS材料(一种黑色树脂材料)替代,从而,导致因电场紊乱的液晶量减少,所以暗态漏光减弱。

[0066] 2. 因BPS材料的介电常数($\epsilon = 3.5$),液晶的介电常数($\epsilon = 6.5$),因此BPS材料可以起到屏蔽数据线向电场的作用,从而使得紊乱电场减弱甚至消失,因电场引起的紊乱液晶减弱或消失。

[0067] 模拟结果:由模拟结果可知对于75 8K面板,采用BPS On Array技术后,其透过率可以提高到60%。

[0068] 图5为一种显示面板中阵列基板在形成取向膜前隔离柱的示意图,图6为包含图5所示阵列基板的显示面板在暗态下的示意图。如图6所示,该显示面板在暗态下出现像素区漏光问题。具体表现为,在暗态下,像素区密布点状漏光,该漏光严重影响了显示面板的对比度和正常显示。经发明人研究发现,在形成取向膜前,阵列基板上未出现BPS材料残留问题,因此,发明人提出该漏光问题出现在对盒工艺阶段。

[0069] 图7为一种采用BPS技术阵列基板的结构示意图。如图7所示,阵列基板包括多个呈阵列排布的像素区。阵列基板包括基底10以及设置在基底10上且位于像素区的像素电极11。阵列基板还包括设置在基底10上位于像素电极11两侧的BPS材料的隔离柱14。像素电极11上设置有取向膜15。通常,采用转印工艺在像素电极11上形成取向膜15。

[0070] 图8为图7所示阵列基板中一次转印形成取向膜后像素区中间区域的示意图,图9为图7所示阵列基板中一次转印形成取向膜后隔离柱侧部的示意图;图10为图7所示阵列基板中两次转印形成取向膜后像素区中间区域的示意图,图11为图7所示阵列基板中两次转印形成取向膜后隔离柱侧部的示意图。

[0071] 如图7所示,一般阵列基板中取向膜15的厚度大于600埃时可以保证显示面板的对比度和正常显示,实际中,期望取向膜15的厚度可以达到900埃。经发明人研究发现,如图8~图11所示,采用一次转印工艺形成取向膜15时,位于像素中间区域的取向膜的厚度约为100埃,而位于隔离柱侧部(即取向膜靠近隔离柱的位置)的取向膜的厚度约为2000埃。由于转印工艺中取向膜厚度调节空间有限,因此,只能通过增加转印工艺次数来调整取向膜厚度。然而,发明人研究发现,采用两次转印工艺形成取向膜时,位于像素中间区域的取向膜的厚度约为120埃,而位于隔离柱侧部(即取向膜靠近隔离柱的位置)的取向膜的厚度约为3000埃。因此,通过增加转印工艺次数的方法并不能有效增加像素中间区域取向膜的厚度,反而造成隔离柱两侧的取向膜堆积。

[0072] 图12为一次转印形成取向膜后显示面板在暗态下的示意图,图13为两次转印形成取向膜后显示面板在暗态下的示意图。通过对比图12和图13,两次转印形成取向膜与一次转印形成取向膜相比,漏光问题并没有得到改善。

[0073] 如图8和图9所示,取向膜在像素中间区域厚度约为100埃,而取向膜在靠近隔离柱位置的厚度约为2000埃,厚度相差约20倍。经过发明人进一步研究发现,采用如图7所示的阵列基板结构,当在像素区形成取向膜后,取向膜的厚度很难达到大于600埃,从而在对取向膜摩擦形成沟槽后,像素区取向膜的铆定力不足,导致像素区液晶紊乱,从而出现像素区点状漏光问题,导致显示异常。

[0074] 为了解决上述技术问题,本发明实施例提出了一种阵列基板。该阵列基板包括多个呈阵列排布的像素区,所述阵列基板包括:基底;像素电极,设置在所述基底上且位于所述像素区;隔离柱,设置在所述基底上且位于相邻两个所述像素区之间,所述隔离柱的侧表面具有疏水特性;以及,取向膜,设置在所述像素电极和所述隔离柱上且位于所述像素区,所述取向膜的两侧均与所述隔离柱的侧表面接触,所述取向膜的背离所述基底一侧的表面呈自两侧朝向中间逐渐凸起的形状。

[0075] 本发明实施例的阵列基板,形成的取向膜的上表面呈自两侧朝向中间逐渐凸起的形状。这就使得取向膜中间位置的厚度大于两侧位置的厚度,即取向膜在像素区中间位置的厚度大于两侧位置的厚度,从而,更容易在像素区形成更高厚度的取向膜,很容易使像素区取向膜的厚度达到600埃以上,进而,在摩擦形成沟槽时便可以在像素区形成良好的摩擦效果,提高像素区取向膜的铆定力,避免像素区液晶紊乱,进而避免了漏光问题和显示异常,提高了显示的对比度和显示品质。

[0076] 下面将通过具体的实施例详细介绍本发明的技术内容。

[0077] 第一实施例:

[0078] 图14为本发明第一实施例阵列基板的俯视结构示意图,图15为图14中的C-C截面结构示意图。如图14和图15所示,该阵列基板包括多个阵列排布的像素区100。阵列基板包括基底10以及设置在基底10上位于像素区100的像素电极11。该阵列基板采用BPS技术,因此,阵列基板还包括设置在基底10上位于相邻两个像素区100之间的隔离柱14,隔离柱14的侧表面具有疏水特性。阵列基板还包括设置在像素电极11和隔离柱14上的取向膜15,取向膜15位于像素区。取向膜15的两侧均与隔离柱14的侧表面接触,取向膜15的背离基底10一侧的表面呈自两侧朝向中间逐渐凸起的形状。

[0079] 容易理解的是,取向膜15的材质通常为具有亲水性质的聚酰亚胺溶液。本发明实施例的阵列基板,将隔离柱14的侧表面设置为具有疏水特性,从而当在隔离柱14之间的像素区形成聚酰亚胺溶液时,聚酰亚胺溶液的上表面会呈现自两侧朝向中间逐渐凸起的形状,从而,得到的取向膜15的上表面也会呈现自两侧朝向中间逐渐凸起的形状。这就使得取向膜15中间位置的厚度大于两侧位置的厚度,即取向膜15在像素区中间位置的厚度大于两侧位置的厚度,相比于图7所示的结构,更容易在像素区形成更高厚度的取向膜,很容易使像素区取向膜15的厚度达到600埃以上,进而,在摩擦形成沟槽时便可以在像素区形成良好的摩擦效果,提高像素区取向膜的铆定力,避免像素区液晶紊乱,进而避免了漏光问题和显示异常,提高了显示的对比度和显示品质。

[0080] 容易理解的是,阵列基板还可以包括设置在基底10与像素电极11之间的薄膜晶体管和钝化层,像素电极11位于钝化层上,并通过穿过钝化层的过孔与薄膜晶体管的源电极或漏电极电连接。

[0081] 如图15所示,为了使得隔离柱的侧表面具有疏水特性,隔离柱14包括设置在基底

10上的BPS层141以及设置在BPS层141外表面上的疏水材料层142。疏水材料层142使得隔离柱14的侧表面具有疏水特性。

[0082] 当然,也可以通过其它方式使得隔离柱的侧表面具有疏水特性,例如,可以对隔离柱的外表面进行疏水处理等。

[0083] 图16为毛细现象结构示意图。如图16所示,在一些线度小到足以与液体弯月面的曲率半径相比较的毛细管中发生的现象,毛细管中整个液体表面都将变得弯曲,液固分子间的相互作用可扩展到整个液体。日常生活中常见的毛细现象,例如水因能润湿玻璃而会在细玻璃管中升高;反之,水银却因不能润湿玻璃而在其中下降。究其原因,全在于液体表面张力和曲面内外压强差的作用。如图7所示,BPS材料为含有大量丙二醇类的亚克力类树脂材料,属于亲水材料,且BPS材料与水的接触角约为 $60^{\circ}\sim 70^{\circ}$ 。BPS材料可以为黑色树脂材料,例如黑色负性光刻胶等。聚酰亚胺(PI)溶液为典型的亲水材料,PI溶液的接触角约为 80° ,因此,在图7中,当在两个由BPS材料形成的隔离柱之间涂覆PI溶液时,PI溶液与BPS材料隔离柱的界面属于浸润界面,类似与水的界面,使得PI溶液的上表面呈自两侧朝向中间逐渐凹陷的形状,从而,取向膜15在靠近隔离柱14的位置的厚度大于取向膜15中间位置的厚度。

[0084] 在本实施例中,在隔离柱14的侧表面具有疏水特性,从而,当在像素区形成PI溶液时,PI溶液与隔离柱14的界面属于非浸润界面,使得形成的取向膜15的上表面呈自两侧朝向中间逐渐凸起的形状,从而,取向膜15在像素区中间位置的厚度大于两侧位置的厚度。

[0085] 在一个实施例中,疏水材料层142的材质包括特氟龙。特氟龙材质具有较强的疏水特性,可以在BPS层141外表面形成强疏水界面,使得具有亲水性的PI溶液可以因毛细作用而形成中间厚两边薄的界面,有利于形成图15所示结构的取向膜15,从而在摩擦形成沟槽时更容易在像素区形成良好的摩擦效果。

[0086] 图17为图2所示显示面板工作状态示意图。如图17所示,数据线12与公共电极13之间存在电压差,因此,数据线12与公共电极13之间形成电场,导致数据线12两侧漏光。

[0087] 图18a为采用BPS技术的显示面板的工作状态示意图,图18b为隔离柱为BPS材料时图18a所示显示面板的漏光量示意图,图18c为采用本发明实施例隔离柱时图18a所示显示面板的漏光量示意图。如图18a所示,隔离柱14中包含有BPS材料,隔离柱可以起到黑矩阵的作用,因此,在图18a所示的显示面板中,彩膜基板上可以不设置黑矩阵。虽然相比于图17,显示面板的漏光量大大减小,但是当隔离柱为BPS材料时,BPS材料的介电常数约为3.5,使得隔离柱两侧仍有轻微漏光,如图18b所示。当显示面板采用本发明实施例阵列基板中的隔离柱时,隔离柱包括BPS层以及设置在BPS层外表面上的疏水材料层,BPS层可以遮挡光线,使得隔离柱可以起到黑矩阵的作用。疏水材料层的材质包括特氟龙材料。特氟龙材料的介电常数小于2.1,BPS材料的介电常数约为3.5,相比于BPS材料,特氟龙材料的介电常数更小,包括特氟龙材质的疏水材料层可以更好地屏蔽BPS层,使得隔离柱的介电常数下降为约2.5,避免了隔离柱底角位置因电场取向引起的显示不良,相比于图18b,进一步降低了隔离柱两侧漏光,如图18c所示,图18c所示隔离柱两侧的漏光量相比于图18b所示隔离柱两侧的漏光量大大降低。

[0088] 为了进一步增加取向膜在像素区中间位置的厚度,如图15所示,阵列基板还可以包括调节层17,调节层17位于像素区,调节层17设置在像素电极11与取向膜15之间,调节层

17的两侧边缘与隔离柱14的侧表面均接触。调节层17的朝向所述取向膜一侧的表面呈自两侧朝向中间逐渐凹陷的形状。

[0089] 调节层17的朝向所述取向膜一侧的表面自两侧朝向中间逐渐凹陷,也就是说,调节层17的上表面呈凹面形,如图15所示。从而,当在调节层17上形成取向膜15时,可以进一步增大取向膜15中间位置的厚度,从而更有利于在像素区形成厚度大于600埃的取向膜,更有利于在像素区形成良好的摩擦效果,进一步提高像素区取向膜的铆钉力,避免像素区液晶紊乱。另外,调节层17的设置还可以平坦像素电极11表面毛刺造成的液晶取向不良,提高显示效果。

[0090] 在一个实施例中,调节层17的材质为疏水材料,调节层17的材质为长链分子,调节层17的材质为包含大量脂基的材料。因此,调节层17与包含特氟龙的疏水材料层16具有良好的浸润性,从而,调节层17的朝向取向膜15一侧的表面呈自两侧朝向中间逐渐凹陷的形状。

[0091] 在一个实施例中,采用本发明实施例阵列基板的显示面板为ADS模式显示面板。

[0092] 本发明实施例还提供了一种如图15所示阵列基板的制备方法,该阵列基板包括多个阵列排布的像素区100,该制备方法包括:

[0093] S1:在基底上形成位于像素区的像素电极以及位于相邻两个所述像素区之间的隔离柱,所述隔离柱的侧表面具有疏水特性;

[0094] S2:在所述像素电极和所述隔离柱上形成位于所述像素区的取向膜,所述取向膜的两侧均与所述隔离柱的侧表面接触,所述取向膜的背离所述基底一侧的表面呈自两侧朝向中间逐渐凸起的形状。

[0095] 在一个实施例中,在基底上形成位于相邻两个所述像素区之间的隔离柱,所述隔离柱的侧表面具有疏水特性,包括:

[0096] 在基底上形成位于相邻两个所述像素区之间的BPS层;

[0097] 在所述BPS层上形成疏水材料层。

[0098] 其中,所述疏水材料层的材质包括特氟龙。

[0099] 在一个实施例中,S2可以包括:

[0100] 在所述像素电极和所述隔离柱上形成位于所述像素区的调节层,所述调节层的两侧边缘均与所述隔离柱的侧表面接触,所述调节层的朝向所述取向膜一侧的表面自两侧朝向中间逐渐凹陷;

[0101] 在所述调节层上形成所述取向膜。

[0102] 其中,调节层的材质包括疏水材料。

[0103] 在一个实施例中,通过转印工艺形成所述取向膜。

[0104] 在一个实施例中,S1可以包括:

[0105] S11:在基底上形成位于像素区的像素电极;

[0106] S12:在所述基底上形成位于相邻两个像素区之间的BPS层;

[0107] S13:在BPS层上形成覆盖所述BPS层外表面的疏水材料层。

[0108] 容易理解的是,在另一个实施例中,在S1中,可以依次形成BPS层、疏水材料层和像素电极,或者,依次形成BPS层、像素电极和疏水材料层。因此,在具体实施中,并不限定BPS层、疏水材料层和像素电极的形成顺序,只要可以形成如图15所示的结构即可。

[0109] 在一个实施例中,在调节层上形成取向膜,可以包括:

[0110] S21:通过压印工艺在取向膜上形成位于像素区的第一子取向膜;

[0111] S22:通过转印工艺在所述第一子取向膜上形成聚酰亚胺溶液;

[0112] S23:对所述第一子取向膜和所述聚酰亚胺溶液进行加热处理,形成所述取向膜。

[0113] 其中,对所述第一子取向膜和所述聚酰亚胺溶液进行加热的温度可以根据实际需要选择,通常为180℃~250℃。

[0114] 下面以制备阵列基板的具体过程详细说明本发明实施例阵列基板的制备方法。实施例中所说的“构图工艺”包括涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理,是现有成熟的制备工艺。涂覆可采用已知的涂覆工艺,在此不做具体的限定。

[0115] 图19a为阵列基板中形成像素电极后的结构示意图,图19b为阵列基板中形成BPS层后的结构示意图,图19c为阵列基板中形成疏水材料层后的结构示意图,图19d为阵列基板中形成调节层后的结构示意图。

[0116] 在基底10上形成位于像素区100的像素电极11,具体地,在基底10上形成像素电极薄膜,通过构图工艺形成位于像素区的像素电极11,如图19a所示。其中,像素电极11的材质可以包括铟锡氧化物。

[0117] 在所述基底10上形成位于相邻两个像素区之间的BPS层141,具体地,在形成有像素电极11的基底10上形成BPS薄膜,在BPS薄膜上涂覆一层光刻胶;采用单色调掩模板对光刻胶进行曝光并显影,在BPS层图案位置形成未曝光区域,保留光刻胶,在其它位置形成完全曝光区域,无光刻胶和BPS薄膜;剥离剩余的光刻胶,形成BPS层,如图19b所示。其中,BPS层141的材质为BPS材料。

[0118] 在BPS层141上形成覆盖所述BPS层141外表面的疏水材料层142,具体地,在形成有BPS层141的基底10上形成疏水材料薄膜,在疏水材料薄膜上涂覆一层光刻胶;采用单色调掩模板对光刻胶进行曝光、显影并剥离剩余的光刻胶,形成覆盖BPS层14外表面的疏水材料层142,如图19c所示。其中,疏水材料薄膜的材质包括特氟龙。

[0119] 在基底10上形成位于像素区的调节层17,具体地,通过涂覆工艺在像素区形成位于像素电极11上的调节层17,如图19d所示。其中,所述调节层的材质为疏水材料,调节层17的材质为长链分子,调节层17的材质为包含大量脂基的材料,例如,调节层17的材质可以包括聚丙烯腈或聚碳酸酯等。可以在像素区涂覆聚丙烯腈溶液或聚碳酸酯溶液等,使溶剂成分蒸发后,形成调节层17。调节层17的材质具有疏水特性,因此,形成调节层17的疏水材料溶液与包含特氟龙的疏水材料层16具有良好的浸润性。从而,当在像素区涂覆形成调节层17时,调节层17的两侧均与所述疏水材料层142接触,并且调节层17的上表面会呈现凹面状,即所述调节层17的上表面呈自两侧朝向中间逐渐凹陷的形状。

[0120] 通过压印工艺在调节层17上形成位于像素区的第一子取向膜,具体地,通过压印工艺在调节层17上形成第一子取向膜。

[0121] 通过转印工艺在第一子取向膜上形成聚酰亚胺溶液,对第一子取向膜和聚酰亚胺溶液进行加热处理,使溶剂成分蒸发,形成取向膜15,如图15所示。其中,取向膜15的材质为聚酰亚胺,所述取向膜的两侧均与所述疏水材料层接触,所述取向膜的背离所述像素电极11的表面(即取向膜15的上表面)呈自两侧朝向中间逐渐凸起的形状。

[0122] 第二实施例:

[0123] 基于前述实施例的发明构思,本发明实施例还提供了一种显示面板。该显示面板包括前述实施例的阵列基板,以及与该阵列基板相对设置的彩膜基板。彩膜基板包括第二基底以及设置在第二基底上且与像素区对应的彩膜层,彩膜层可以包括蓝色彩膜、绿色彩膜和红色彩膜。彩膜基板还包括设置在彩膜层上的保护层。

[0124] 显示面板可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0125] 在本发明实施例的描述中,需要理解的是,术语“中间”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0126] 在本发明实施例的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0127] 虽然本发明所揭露的实施方式如上,但所述的内容仅为便于理解本发明而采用的实施方式,并非用以限定本发明。任何本发明所属领域内的技术人员,在不脱离本发明所揭露的精神和范围的前提下,可以在实施的形式及细节上进行任何的修改与变化,但本发明的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

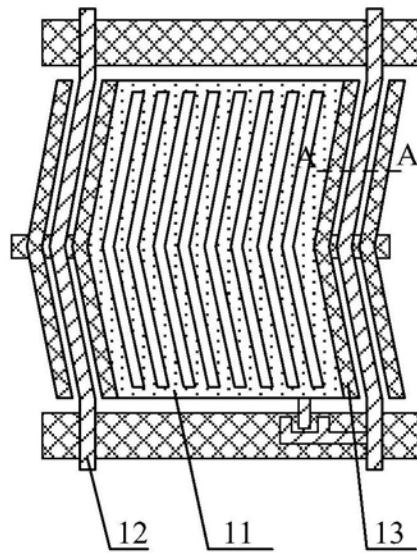


图1

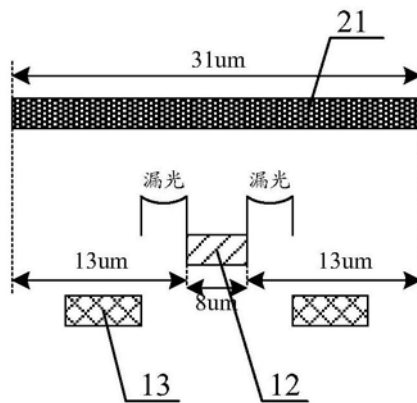


图2

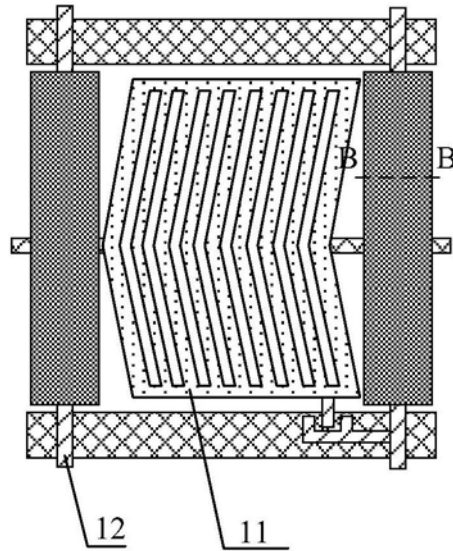


图3

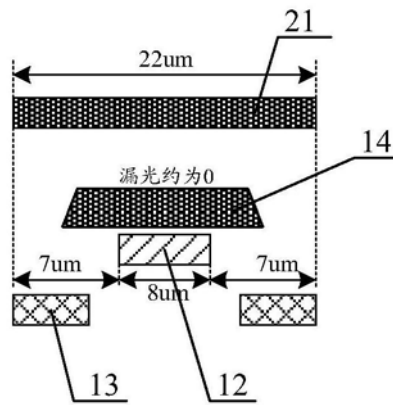


图4

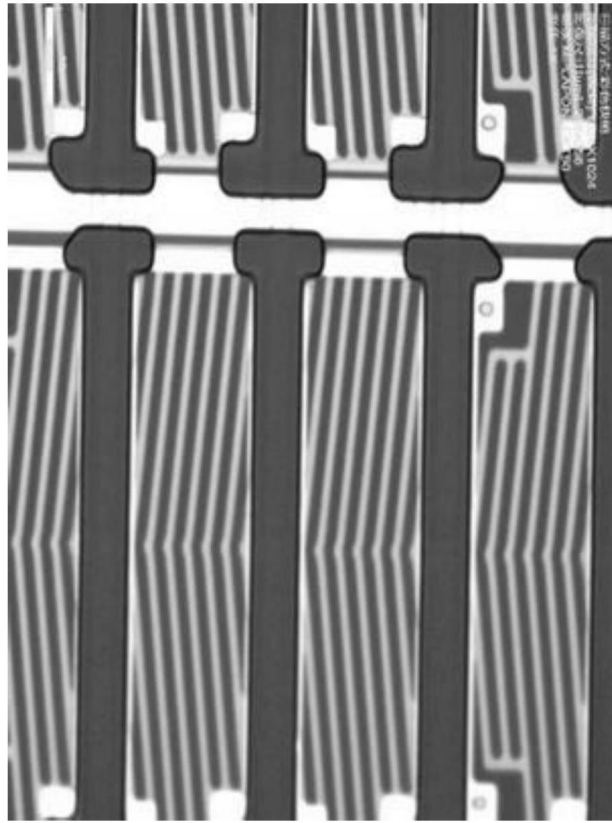


图5

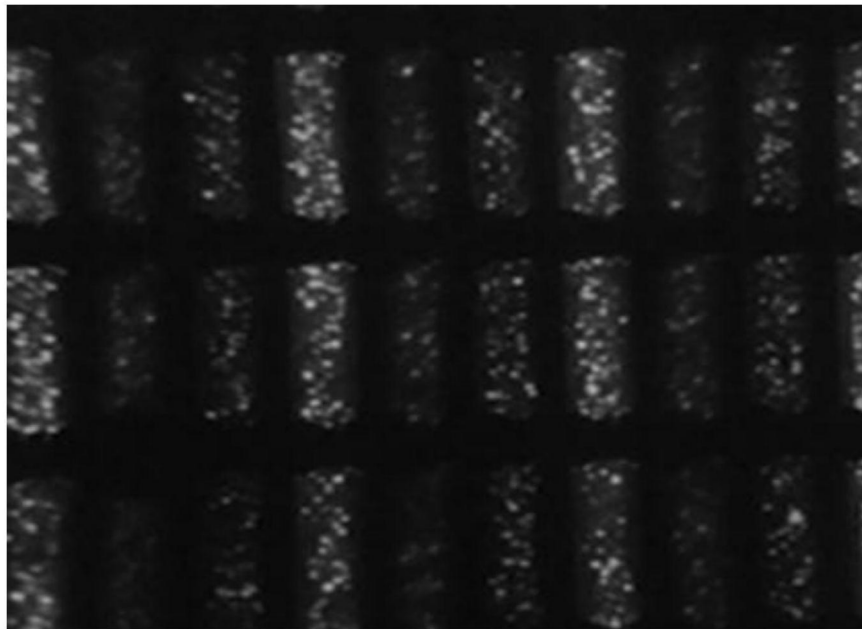


图6

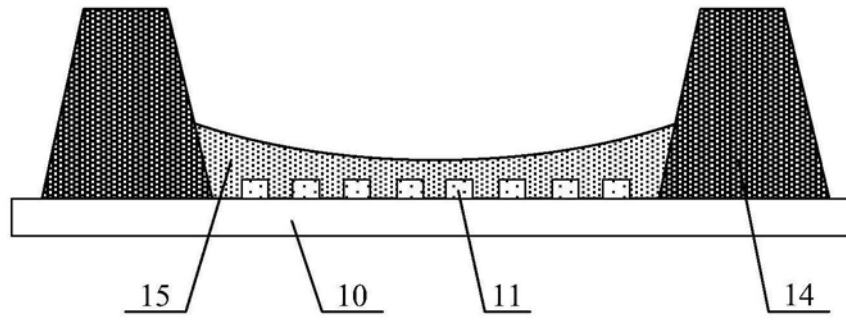


图7

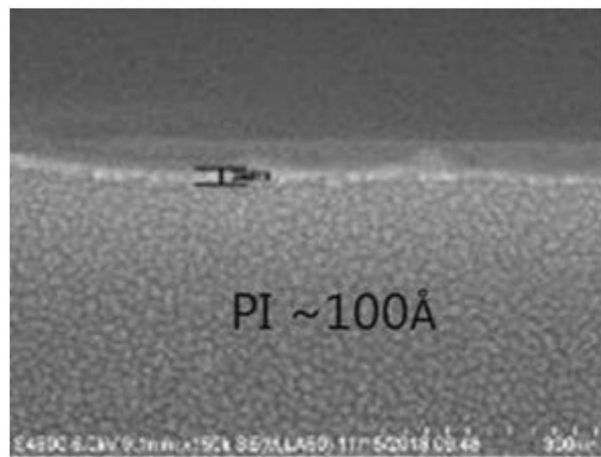


图8

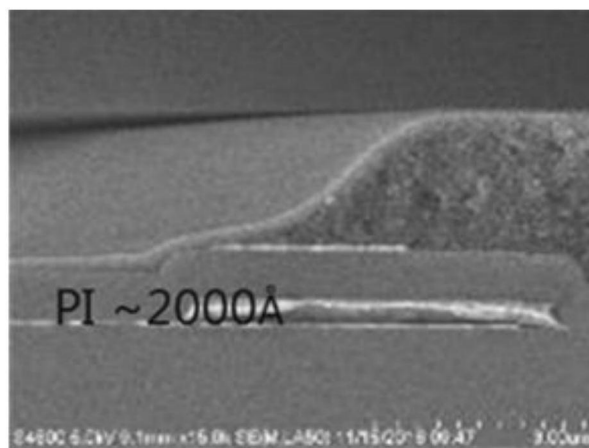


图9

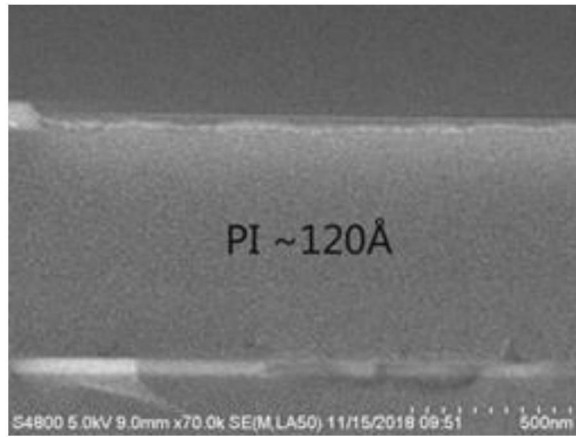


图10

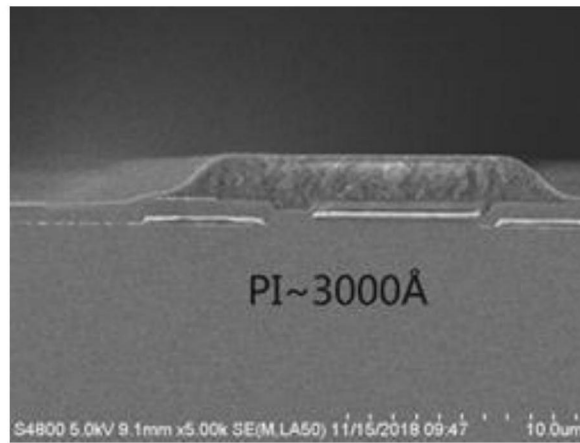


图11

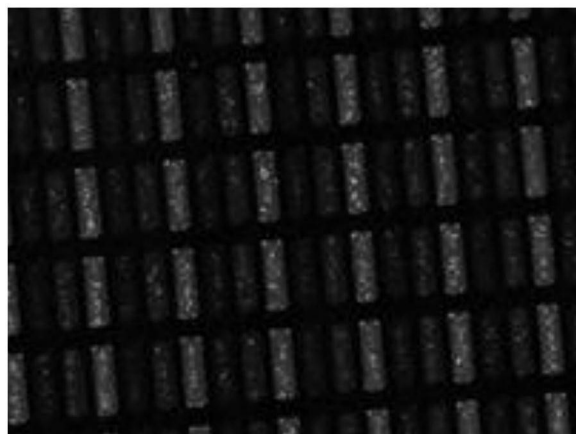


图12

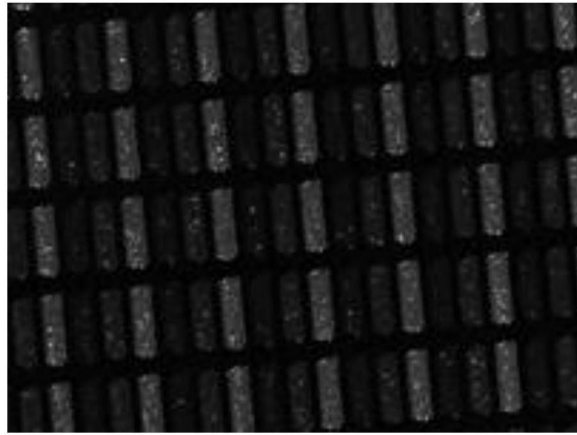


图13

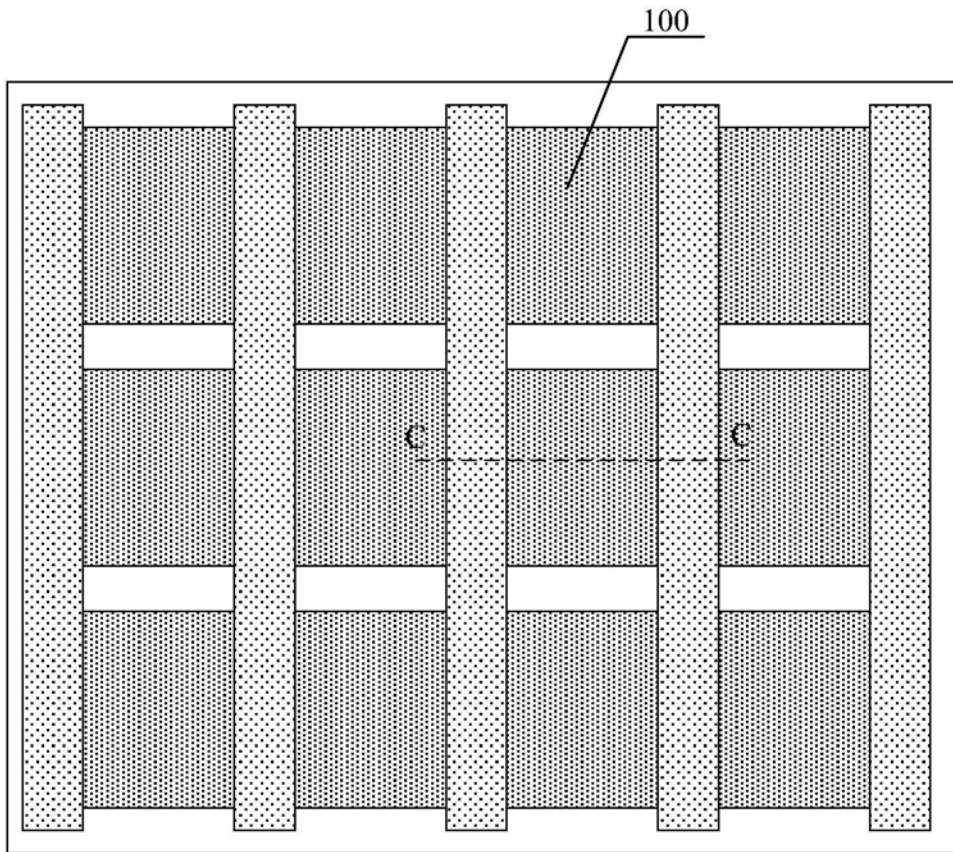


图14

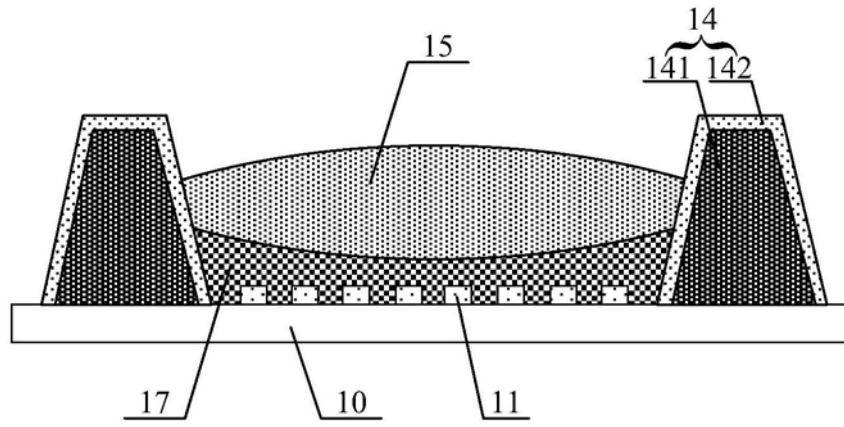


图15

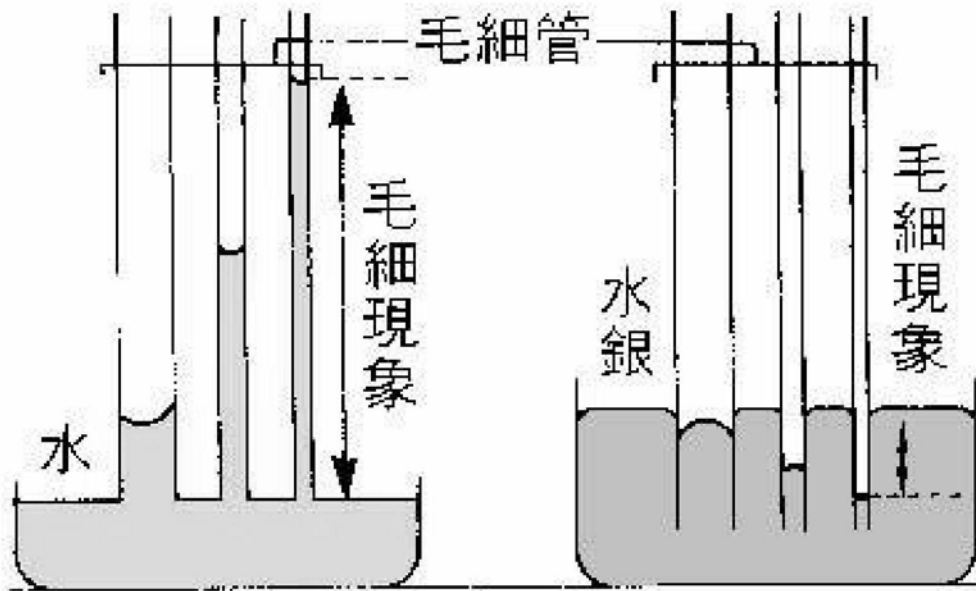


图16

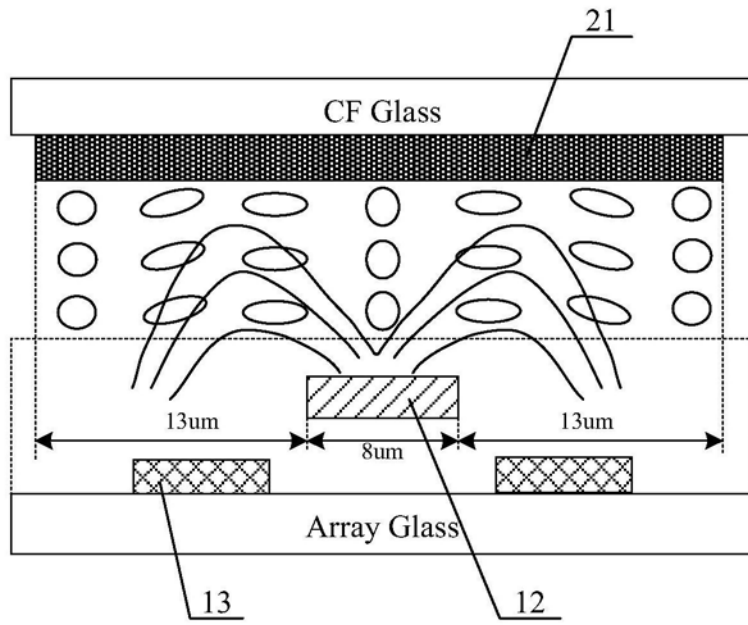


图17

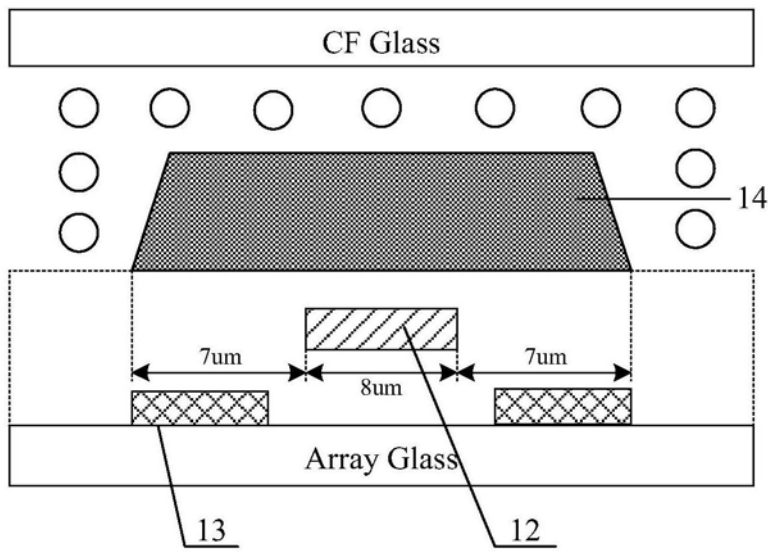


图18a

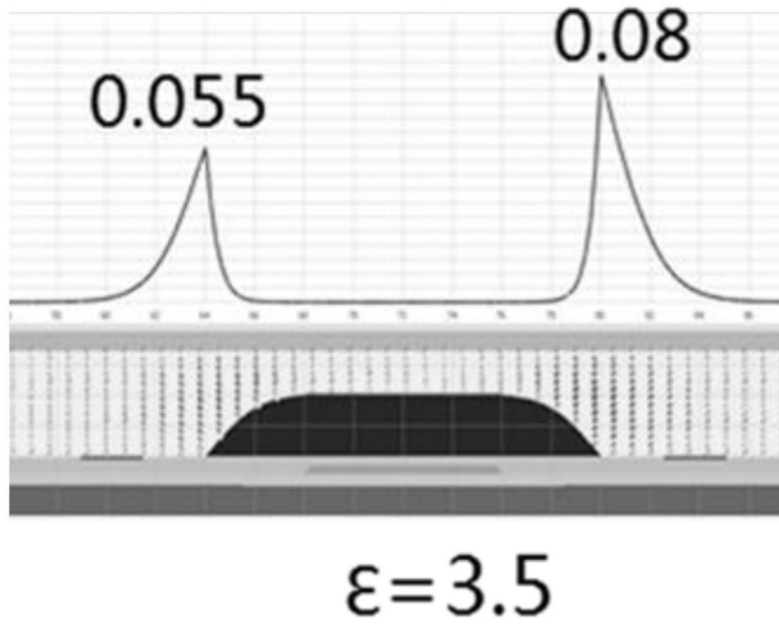


图18b

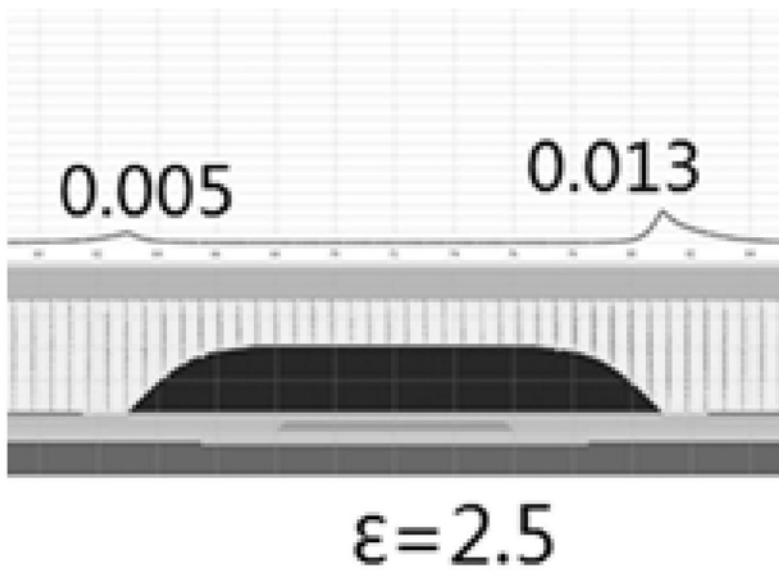


图18c

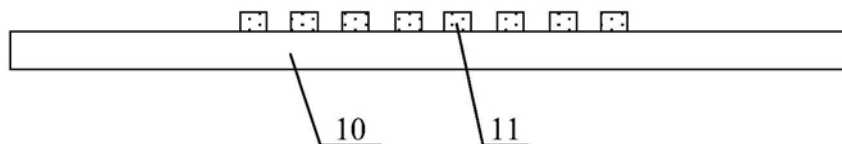


图19a

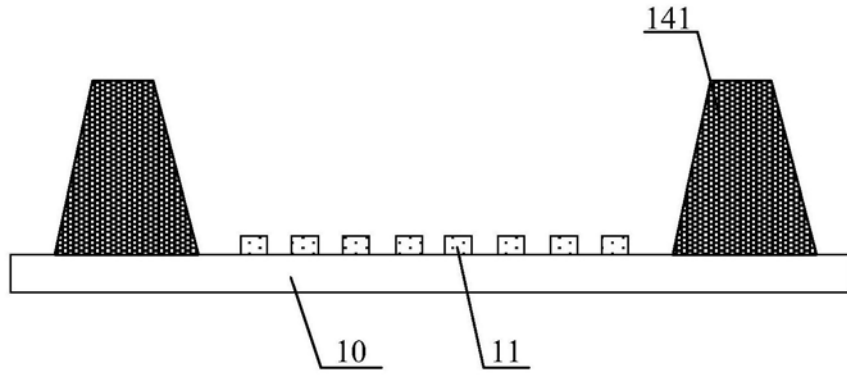


图19b

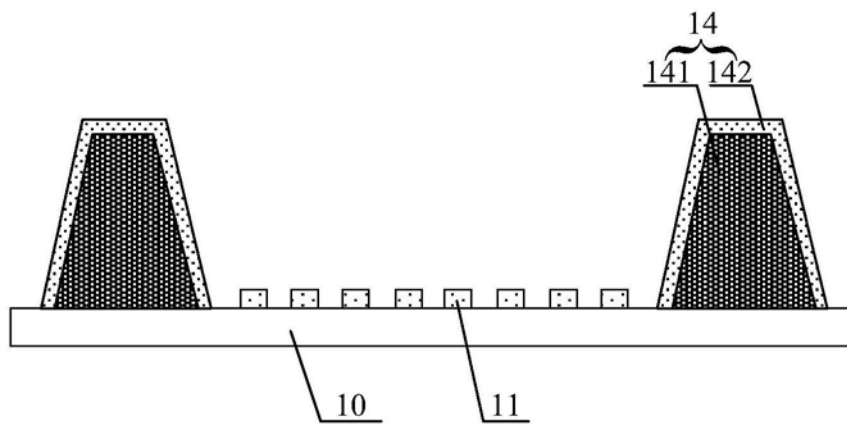


图19c

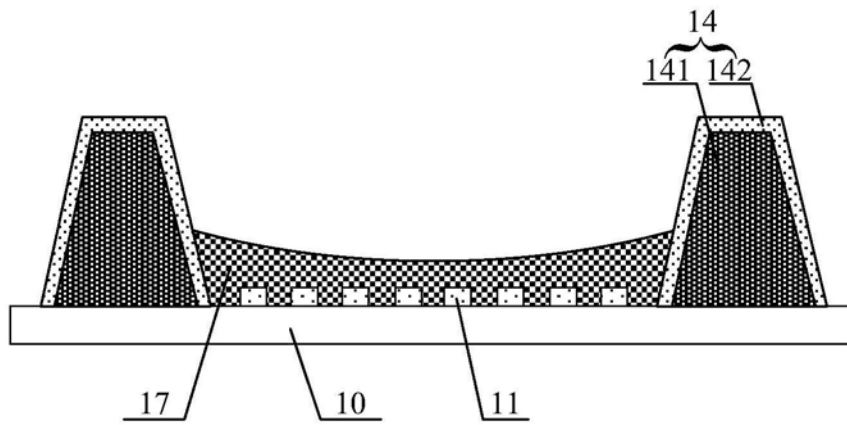


图19d

专利名称(译)	一种阵列基板及其制备方法、显示面板		
公开(公告)号	CN110361896A	公开(公告)日	2019-10-22
申请号	CN201910516305.0	申请日	2019-06-14
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	岳阳 王洪润 姚琪 杨桐 李翔 于勇 黄海涛 徐传祥 廖峰		
发明人	岳阳 王洪润 姚琪 杨桐 李翔 于勇 黄海涛 徐传祥 廖峰		
IPC分类号	G02F1/1337		
CPC分类号	G02F1/133723 G02F1/133784		
代理人(译)	王云红 曲鹏		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及其制备方法、显示面板。该阵列基板包括多个呈阵列排布的像素区，所述阵列基板包括：基底；像素电极，设置在所述基底上且位于所述像素区；隔离柱，设置在所述基底上且位于相邻两个所述像素区之间，所述隔离柱的侧表面具有疏水特性；以及，取向膜，设置在所述像素电极和所述隔离柱上且位于所述像素区，所述取向膜的两侧均与所述隔离柱的侧表面接触，所述取向膜的背离所述基底一侧的表面呈自两侧朝向中间逐渐凸起的形状。该阵列基板更容易在像素区形成更高厚度的取向膜，从而提高像素区取向膜的铆定力，避免像素区液晶紊乱，进而避免了漏光问题和显示异常，提高了显示的对比度和显示品质。

