



(12)发明专利

(10)授权公告号 CN 107016972 B

(45)授权公告日 2019.08.02

(21)申请号 201710278620.5

(22)申请日 2017.04.25

(65)同一申请的已公布的文献号

申请公布号 CN 107016972 A

(43)申请公布日 2017.08.04

(73)专利权人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明
大道9-2号

(72)发明人 冯托 徐向阳

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 钟子敏

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

CN 103258495 A, 2013.08.21,

CN 101807436 A, 2010.08.18, 全文.

US 2006/0187177 A1, 2006.08.24, 全文.

CN 102651187 A, 2012.08.29, 全文.

审查员 庄怡倩

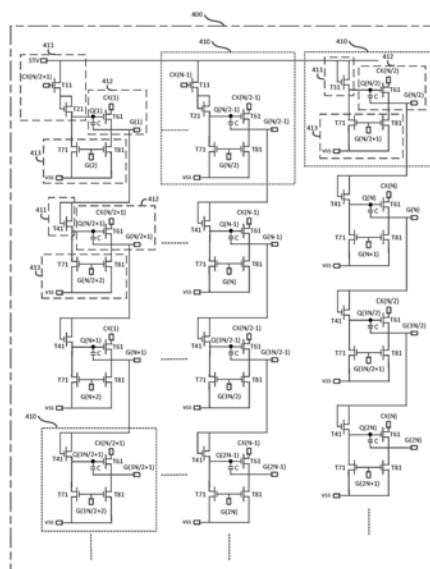
权利要求书1页 说明书13页 附图5页

(54)发明名称

GOA驱动电路和液晶显示面板

(57)摘要

本发明公开了一种GOA驱动电路,包括多个GOA驱动单元。对于前K个GOA驱动单元中的每个触发单元,其包括第一薄膜晶体管和第二薄膜晶体管。其中,所述第一薄膜晶体管的栅极连接所述触发单元对应的触发时钟,所述第一薄膜晶体管的漏极连接开启信号,所述第一薄膜晶体管的源极连接所述第二薄膜晶体管的栅极和漏极,所述第二薄膜晶体管的源极连接与所述触发单元相连的输出单元的控制端,K为大于0的整数。并且,所述触发时钟被配置为:在所述输出单元的扫描时钟为高电位时,控制所述触发单元关闭。本发明的GOA驱动电路能够改善前K行扫描线充电不良的状况,进而提高显示画面的质量。



1. 一种GOA驱动电路,其特征在于,包括多个GOA驱动单元,每个GOA驱动单元包括彼此连接的触发单元和输出单元;其中,

对于前K个GOA驱动单元中的每个触发单元,所述触发单元包括第一薄膜晶体管和第二薄膜晶体管;

其中,所述第一薄膜晶体管的栅极连接所述触发单元对应的触发时钟,所述第一薄膜晶体管的漏极连接开启信号,所述第一薄膜晶体管的源极连接所述第二薄膜晶体管的栅极和漏极,所述第二薄膜晶体管的源极连接与所述触发单元相连的输出单元的控制端,K为大于0的整数;其中,

所述触发时钟被配置为:在所述输出单元的扫描时钟为高电位时,控制所述触发单元关闭;

第m个GOA驱动单元的输出信号为第 $m+N/2$ 个GOA驱动单元的触发信号,其中,N为所述GOA驱动电路中扫描时钟的个数,且 $N=2(K+1)$;

m为满足 $0 < m \leq M$ 的整数,其中,M为GOA驱动单元的个数。

2. 根据权利要求1所述的GOA驱动电路,其特征在于,第K+1个GOA驱动单元中的触发单元包括第三薄膜晶体管;其中,所述第三薄膜晶体管的栅极和漏极连接所述开启信号,所述第三薄膜晶体管的源极连接第K+1个GOA驱动单元中的输出单元的控制端。

3. 根据权利要求2所述的GOA驱动电路,其特征在于,第K+1个GOA驱动单元之后的每个GOA驱动单元中的触发单元包括第四薄膜晶体管;其中,所述第四薄膜晶体管的栅极和漏极连接第K+1个GOA驱动单元之后的每个GOA驱动单元中的触发单元对应的触发信号,所述第四薄膜晶体管的源极连接与第K+1个GOA驱动单元之后的每个GOA驱动单元中的触发单元相连的输出单元的控制端。

4. 根据权利要求2或3所述的GOA驱动电路,其特征在于,第k个GOA驱动单元的触发单元对应的触发时钟,为第 $k+N/2$ 个GOA驱动单元中的输出单元的扫描时钟,其中k为满足 $0 < k \leq K$ 的整数。

5. 根据权利要求4所述的GOA驱动电路,其特征在于,所述K等于3。

6. 根据权利要求1所述的GOA驱动电路,其特征在于,其包括的所有GOA驱动单元依次连接;其中,上一级GOA驱动单元的输出信号为下一级GOA驱动单元的触发信号,且 $K=1$ 。

7. 根据权利要求6所述的GOA驱动电路,其特征在于,第一级GOA驱动单元的触发单元对应的触发时钟,为H个扫描时钟中除去第一级GOA驱动单元的扫描时钟后剩余中的任意一个,其中,H为所述GOA驱动电路中扫描时钟的个数。

8. 根据权利要求6或7所述的GOA驱动电路,其特征在于,第一级之后的每个GOA驱动单元中的触发单元包括第五薄膜晶体管,所述第五薄膜晶体管的栅极和漏极连接第一级之后的每个GOA驱动单元中的触发单元对应的触发信号,所述第五薄膜晶体管的源极连接与第一级之后的每个GOA驱动单元中的触发单元相连的输出单元的控制端。

9. 一种液晶显示面板,其特征在于,包括如权利要求1至8中任一项所述的GOA驱动电路。

GOA驱动电路和液晶显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种GOA驱动电路和液晶显示面板。

背景技术

[0002] 在液晶显示器不断向着低成本高品质方向发展的背景下,阵列基板行驱动 (GOA, Gate Driver On Array) 技术以其低成本和高集成度等优点得到了广泛的应用。

[0003] 然而,在现有的GOA驱动电路中,当若干个GOA驱动单元的触发单元均由开启信号 (STV, Start Vertical) 触发时,由于前K个扫描时钟 (CK, Clock) 为高电平期间开启信号一直处于高电平,从而造成前K个扫描控制信号Q(k) 点 (如图2) 的电位受自举电容的耦合 (Couple) 效应减弱,使得前K条栅极线 (Gate) 达到所需高电位的时间较长,造成充电不良,进而对显示的显示效果和质量造成不利的影响。

[0004] 综上所述,亟需一种新的GOA驱动电路设计方案以解决上述问题。

发明内容

[0005] 针对上述技术问题,本发明提出了一种GOA驱动电路和液晶显示面板,通过在前K个GOA驱动单元的触发单元中增加一个控制开启信号输入的薄膜晶体管,来改善前K个GOA驱动单元的输出单元中薄膜晶体管打开不充分的状况,从而来提高显示画面的质量。

[0006] 根据本发明的一个方面,提供了一种GOA驱动电路,包括多个GOA驱动单元,每个GOA驱动单元包括彼此连接的触发单元和输出单元;其中,

[0007] 对于前K个GOA驱动单元中的每个触发单元,所述触发单元包括第一薄膜晶体管和第二薄膜晶体管;

[0008] 其中,所述第一薄膜晶体管的栅极连接所述触发单元对应的触发时钟,所述第一薄膜晶体管的漏极连接开启信号,所述第一薄膜晶体管的源极连接所述第二薄膜晶体管的栅极和漏极,所述第二薄膜晶体管的源极连接与所述触发单元相连的输出单元的控制端,K为大于0的整数;其中,

[0009] 所述触发时钟被配置为:在所述输出单元的扫描时钟为高电位时,控制所述触发单元关闭。

[0010] 根据本发明的实施例,第m个GOA驱动单元的输出信号为第 $m+N/2$ 个GOA驱动单元的触发信号,其中,N为所述GOA驱动电路中扫描时钟的个数,且 $N=2(K+1)$;

[0011] m为满足 $0 < m \leq M$ 的整数,其中,M为GOA驱动单元的个数。

[0012] 根据本发明的实施例,第K+1个GOA驱动单元中的触发单元包括第三薄膜晶体管;其中,所述第三薄膜晶体管的栅极和漏极连接所述开启信号,所述第三薄膜晶体管的源极连接第K+1个GOA驱动单元中的输出单元的控制端。

[0013] 根据本发明的实施例,对于第K+1个GOA驱动单元之后的每个GOA驱动单元中的触发单元,所述触发单元包括第四薄膜晶体管;其中,所述第四薄膜晶体管的栅极和漏极连接所述触发单元对应的触发信号,所述第四薄膜晶体管的源极连接与所述触发单元相连的输

出单元的控制端。

[0014] 根据本发明的实施例,第k个GOA驱动单元的触发单元对应的触发时钟,为第 $k+N/2$ 个GOA驱动单元中的输出单元的扫描时钟,其中k为满足 $0 < k \leq K$ 的整数。

[0015] 根据本发明的实施例,所述K等于3。

[0016] 根据本发明的实施例,其包括的所有GOA驱动单元依次连接;其中,上一级GOA驱动单元的输出信号为下一级GOA驱动单元的触发信号,且 $K=1$ 。

[0017] 根据本发明的实施例,第一级GOA驱动单元的触发单元对应的触发时钟,为H个扫描时钟中除去第一级GOA驱动单元的扫描时钟后剩余中的任意一个,其中,H为所述GOA驱动电路中扫描时钟的个数。

[0018] 根据本发明的实施例,对于第一级之后的每个GOA驱动单元中的触发单元,所述触发单元包括第五薄膜晶体管,所述第五薄膜晶体管的栅极和漏极连接所述触发单元对应的触发信号,所述第五薄膜晶体管的源极连接与所述触发单元相连的输出单元的控制端。

[0019] 根据本发明的第二个方面,还提供了一种液晶显示面板,包括以上所述的GOA驱动电路。

[0020] 与现有技术相比,上述方案中的一个或多个实施例可以具有如下优点或有益效果:

[0021] 在前K个扫描时钟为高电位时,应用本实施例所述的GOA驱动电路能够使前K行的扫描控制信号Q(k)点的电位受自举电容的耦合效应作用被抬升,从而可以避免前K行的扫描线因开启信号未及时关闭而产生的充电不良。应用本实施例所述的GOA驱动电路能够改善前K行扫描线充电不良的状况,进而提高显示画面的质量。

[0022] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

[0023] 附图用来提供对本发明的进一步理解,并且构成说明书的一部分,与本发明的实施例共同用于解释本发明,并不构成对本发明的限制。在附图中:

[0024] 图1是本发明的实施例中具有H个扫描时钟的GOA驱动电路的结构示意图;

[0025] 图2是本发明实施例中具有N个扫描时钟的GOA驱动电路的一种结构示意图;

[0026] 图3是本发明的实施例中具有N个扫描时钟的GOA驱动电路的另一种结构示意图;

[0027] 图4是本发明的实施例中具有八个扫描时钟的GOA驱动电路的结构示意图;

[0028] 图5是本发明的实施例中具有八个扫描时钟的GOA驱动电路的工作时序图。

具体实施方式

[0029] 以下将结合附图及实施例来详细说明本发明的实施方式,借此对本发明如何应用技术手段来解决技术问题,并达成技术效果的实现过程能充分理解并据以实施。需要说明的是,只要不构成冲突,本发明中的各个实施例以及各实施例中的各个特征可以相互结合,所形成的技术方案均在本发明的保护范围之内。

[0030] 实施例一

[0031] 图1是本发明的实施例中具有H个扫描时钟的GOA驱动电路的结构示意图,其中H为GOA驱动电路200中扫描时钟的个数,且H为大于0的整数。如图1所示,该驱动电路200包括多个GOA驱动单元210,所有GOA驱动单元210依次连接。具体地,上一级GOA驱动单元210的输出信号作为下一级GOA驱动单元210的触发信号,且第一级GOA驱动单元210的触发信号由一触发时钟控制生成。下面结合图1详细地说明该驱动电路200的具体结构。

[0032] 首先,对第一级GOA驱动单元210的结构进行说明,第一级GOA驱动单元210的主要结构包括触发单元211、输出单元212和下拉单元213。

[0033] 触发单元211主要用于控制输出单元212的开启时间,实现液晶显示面板的逐行扫描。具体地,触发单元211由第一薄膜晶体管T11和第二薄膜晶体管T21构成。其中,T11用于将开启信号STV输出为触发信号。T11的栅极连接触发时钟,漏极连接开启信号STV,其源极生成触发信号。并且T11的源极与T21的栅极和漏极相连。T21用于输出第一行的扫描控制信号Q(1)。T21的栅极和漏极连接在一起,用于接收T11的源极生成的触发信号,其源极生成第一行的扫描控制信号Q(1)。T21的源极与输出单元212的控制端相连。

[0034] 输出单元212主要用于将第一个扫描时钟信号CK(1)输出为第一行的扫描信号G(1)。具体地,输出单元212由第六薄膜晶体管T61和自举电容C构成。其中,T61的栅极作为输出单元212的控制端接收由触发单元211生成的第一行的扫描控制信号Q(1)。T61的漏极作为输出单元212的输入端接收第一个扫描时钟信号CK(1)。T61的源极作为输出单元212的输出端,连接第一行的扫描线G(1),用于生成并输出第一行的扫描信号G(1)。自举电容C的一端与T61的栅极相连,另一端与T61的源极相连。其中,自举电容C的作用是在Q(1)为高电平时,存储T61栅源端的电压(栅源端的电压即栅极和源极的电压差),并且当G(1)输出第一行的扫描信号G(1)后,二次抬升T61栅极的电压(即CK(1)为高电平时,第一行的扫描控制信号Q(1)点的电位受自举电容C的耦合效应作用被抬升),以保证T61能够可靠地被开启并输出第一行的扫描信号G(1)。

[0035] 在本实施例中,T11的栅极所连接的触发时钟被配置为:在输出单元212的输入端接收到的扫描时钟信号CK(1)为高电位时,控制触发单元211关闭。具体而言,在扫描时钟信号CK(1)由低电位变为高电位之前的一段时间内,触发时钟要控制触发单元211处于开启状态,而在扫描时钟信号CK(1)由低电位变为并保持在高电位期间,触发时钟要控制触发单元211处于关闭状态。

[0036] 进一步地讲,在扫描时钟信号CK(1)由低电位变为高电位之前的一段时间内,触发时钟要控制T11处于开启状态,而在扫描时钟信号CK(1)由低电位变为并保持在高电位期间,触发时钟要控制T11处于关闭状态。

[0037] 在本实施例中,T11和T21优选地为N型薄膜晶体管。则,首先在扫描时钟信号CK(1)由低电位变为高电位之前的一段时间内,触发时钟要保持高电平以使T11开启并生成触发信号,进而使T21在其栅极和漏极接收到该触发信号后能够开启并生成第一行的扫描控制信号Q(1)。然后在扫描时钟CK(1)由低电位变为并保持在高电位期间,触发时钟要保持低电平以使T11关闭,从而使Q(1)点的电位能够受自举电容C的耦合效应作用被抬升。因此,相比于现有技术,本实施例能够通过增加由触发时钟控制的第一薄膜晶体管T11来避免第一行的扫描线G(1)因STV未及时关闭而产生的充电不良。

[0038] 本实施例为了使控制简单方便,优选地将T11的栅极所连接的触发时钟设定为,H

个扫描时钟中除去第一个扫描时钟CK (1) 后剩余的扫描时钟中的任意一个。换句话说,本实施例中T11的栅极所连接的触发时钟可以为除去CK (1) 后的其余H-1个扫描时钟中的任意一个。进一步地,本实施例中T11的栅极所连接的触发时钟为第二个扫描时钟CK (2)。当然,也可以单独的设定一个时钟信号作为T11的栅极所连接的触发时钟,只要该时钟信号在输出单元212的扫描时钟CK (1) 由低电位变为高电位的前一段时间内,能够控制触发单元211处于开启状态,并且在输出单元212的扫描时钟CK (1) 由低电位变为并维持在高电位期间,能够控制触发单元211处于关闭状态即可。因此,在具体实施过程中,本领域技术人员可以根据实际需求来设定T11的栅极所连接的触发时钟。

[0039] 下拉单元213用于即时将第六薄膜晶体管T61的源极电位和栅极电位拉低为低电位,即关闭第一行的扫描信号G (1)。具体地,下拉单元213由第七薄膜晶体管T71和第八薄膜晶体管T81构成。其中,T81用于下拉第一行的扫描信号G (1) 的电位,T81的漏极与输出单元212的输出端连接,即作用于第一行的扫描线G (1)。T71用于下拉第一行的扫描控制信号Q (1),以便关闭第六薄膜晶体管T61。T71的漏极与输出单元212的控制端连接。T71的栅极与T81的栅极连接在一起,并与第二行的扫描线G (2) 相连,即接收第二行的扫描线信号G (2),由有效的第二行的扫描线信号G (2) 控制第一行的扫描信号G (1) 关闭,实现逐行扫描。T71的源极与T81的源极共同连接于直流低电平VSS。

[0040] 其次,由于第一级之后的所有GOA驱动单元210的结构相同,因此下面以第w级GOA驱动单元210的结构为例,来对第一级之后的GOA驱动单元210的结构进行说明,其中w为满足 $1 < w \leq M$ 的整数,且M为GOA驱动单元的个数。第w级GOA驱动单元210的主要结构包括触发单元211、输出单元212和下拉单元213。

[0041] 触发单元211主要用于控制输出单元212的开启时间,实现液晶显示面板的逐行扫描。具体地,触发单元211由第五薄膜晶体管T51构成,用于输出第w行的扫描控制信号Q (w)。T51的栅极和漏极连接在一起,用于接收前一级GOA驱动单元输出的第w-1行的扫描信号G (w-1),其源极生成第w行的扫描控制信号Q (w)。T51的源极与输出单元212的控制端相连。

[0042] 输出单元212主要用于将第q个扫描时钟信号CK (q) 输出为第w行的扫描信号G (w),其中 $q = \text{mod}(w, H)$,mod函数是一个求余函数即返回两数相除的余数,w为被除数,H为除数。在此需要说明的是,在本实施例中当w能够整除H时,令 $q = H$,即此时输出单元212用于将第H个扫描时钟信号CK (H) 输出为第w行的扫描信号G (w)。具体地,输出单元212由第六薄膜晶体管T61和自举电容C构成。其中,T61的栅极作为输出单元212的控制端接收由触发单元211生成的第w行的扫描控制信号Q (w)。T61的漏极作为输出单元212的输入端接收第q个扫描时钟信号CK (q)。T61的源极作为输出单元212的输出端,连接第w行的扫描线G (w),用于生成并输出第w行的扫描信号G (w)。自举电容C的一端与T61的栅极相连,另一端与T61的源极相连。其中,自举电容C的作用是在Q (w) 为高电平时,存储T61栅源端的电压,并且当G (w) 输出第w行的扫描信号G (w) 后,二次抬升T61栅极的电压(即该级的扫描时钟CK (q) 为高电平时,第w行的扫描控制信号Q (w) 点的电位受自举电容C的耦合效应作用被抬升),以保证T61能够可靠地被开启并输出第w行的扫描信号G (w)。

[0043] 下拉单元213用于即时将第六薄膜晶体管T61的源极电位和栅极电位拉低为低电位,即关闭第w行的扫描信号G (w)。具体地,下拉单元213由第七薄膜晶体管T71和第八薄膜晶体管T81构成。其中,T81用于下拉第w行的扫描信号G (w) 的电位,T81的漏极与输出单元

212的输出端连接,即作用于第 w 行的扫描线 $G(w)$ 。T71用于下拉第 w 行的扫描控制信号 $Q(w)$,以便关闭第六薄膜晶体管T61。T71的漏极与输出单元212的控制端连接。T71的栅极与T81的栅极连接在一起,并与第 $w+1$ 行的扫描线 $G(w+1)$ 相连,即接收第 $w+1$ 行的扫描线信号 $G(w+1)$,由有效的第 $w+1$ 行的扫描线信号 $G(w+1)$ 控制第 w 行的扫描信号 $G(w)$ 的关闭,实现逐行扫描。T71的源极与T81的源极共同连接于直流低电平VSS。

[0044] 综上,在第一个扫描时钟CK(1)为高电位时,应用本实施例所述的GOA驱动电路200能够使第一行的扫描控制信号 $Q(1)$ 点的电位受自举电容 C 的耦合效应作用被抬升,从而可以避免第一行的扫描线 $G(1)$ 因开启信号STV未及时关闭而产生的充电不良。应用本实施例所述的GOA驱动电路200能够改善第一行的扫描线 $G(1)$ 充电不良的状况,进而提高显示画面的质量。

[0045] 实施例二

[0046] 针对现有技术中的GOA驱动电路在GOA驱动单元级联过多时会出现输出信号明显衰减的问题,本实施例对GOA驱动电路的结构进行了改进,如图2所示。图2为本实施例中的GOA驱动电路300的结构示意图,其具有 N 个扫描时钟信号,其中 N 为大于0的整数。该GOA驱动电路300包括多个GOA驱动单元310,其中前 $N/2$ 个GOA驱动单元310的触发单元311均由开启信号STV触发,且第 m 个GOA驱动单元310的输出信号作为第 $m+N/2$ 个驱动单元310的触发信号。其中, m 为满足 $0 < m \leq M$ 的整数, M 为GOA驱动单元的个数。上述GOA驱动电路300能够解决因GOA驱动单元级联过多导致的输出信号明显衰减问题。然而,在上述GOA驱动电路300中,由于当前 $N/2-1$ 个扫描时钟为高电位时,开启信号STV一直处于高电位,使得前 $N/2-1$ 个GOA驱动单元310中的扫描控制信号 Q 点(即前 $N/2-1$ 个触发单元311输出的扫描控制信号)的电位无法受自举电容 C 的耦合效应作用被抬升,只能保持和开启信号STV相同的电位,从而造成前 $N/2-1$ 条扫描线(即前 $N/2-1$ 个输出单元312的输出信号)充电不良,影响显示画面的质量。因此,本发明的GOA驱动电路400基于图2中的GOA驱动电路300的结构进行了进一步完善,从而来改善前 $N/2-1$ 条扫描线充电不良的状况,提高显示画面的质量。

[0047] 图3是本发明的实施例中具有 N 个扫描时钟的GOA驱动电路400的结构示意图。如图3所示,该驱动电路400包括多个GOA驱动单元410。具体地,前 $N/2-1$ 个GOA驱动单元410的触发信号由触发时钟控制生成,第 $N/2$ 个GOA驱动单元410的触发信号为开启信号STV,且第 m 个GOA驱动单元410的输出信号为第 $m+N/2$ 个GOA驱动单元410的触发信号。下面结合图3详细地说明该驱动电路400的具体结构。

[0048] 首先,由于前 K 个GOA驱动单元410的结构相同,因此下面以第 k 个GOA驱动单元410的结构为例,来对前 K 个GOA驱动单元410的结构进行说明,其中 K 为大于0的整数, k 为满足 $0 < k \leq K$ 的整数,且 $K = N/2-1$ 。第 k 个GOA驱动单元410的主要结构包括触发单元411、输出单元412和下拉单元413。

[0049] 触发单元411主要用于控制输出单元412的开启时间,实现液晶显示面板的逐行扫描。具体地,触发单元411包括第一薄膜晶体管T11和第二薄膜晶体管T21。其中,T11用于将开启信号STV输出为触发信号。T11的栅极连接触发时钟,漏极连接开启信号STV,其源极生成触发信号。并且T11的源极与T21的栅极和漏极相连。T21用于输出第 k 行的扫描控制信号 $Q(k)$ 。T21的栅极和漏极连接在一起,用于接收T11的源极生成的触发信号,其源极生成第 k 行的扫描控制信号 $Q(k)$ 。T21的源极与输出单元412的控制端相连。

[0050] 输出单元412主要用于将第k个扫描时钟信号CK(k)输出为第k行的扫描信号G(k)。具体地,输出单元412由第六薄膜晶体管T61和自举电容C构成。其中,T61的栅极作为输出单元412的控制端接收由触发单元411生成的第k行的扫描控制信号Q(k)。T61的漏极作为输出单元412的输入端接收第k个扫描时钟信号CK(k)。T61的源极作为输出单元412的输出端,连接第k行的扫描线G(k),用于生成并输出第k行的扫描信号G(k)。自举电容C的一端与T61的栅极相连,另一端与T61的源极相连。其中,自举电容C的作用是在Q(k)为高电平时,存储T61栅源端的电压,并且当G(k)输出第k行的扫描信号G(k)后,二次抬升T61栅极的电压(即CK(k)为高电平时,第k行的扫描控制信号Q(k)点的电位受自举电容C的耦合效应作用被抬升),以保证T61能够可靠地被开启并输出第k行的扫描信号G(k)。

[0051] 在本实施例中,T11的栅极所连接的触发时钟被配置为:在输出单元412的输入端接收到的扫描时钟信号CK(k)为高电位时,控制触发单元411关闭。具体而言,在扫描时钟信号CK(k)由低电位变为高电位之前的一段时间内,触发时钟要控制触发单元411处于开启状态,而在扫描时钟信号CK(k)由低电位变为并保持在高电位期间,触发时钟要控制触发单元411处于关闭状态。

[0052] 进一步地讲,在扫描时钟信号CK(k)由低电位变为高电位之前的一段时间内,触发时钟要控制T11处于开启状态,而在扫描时钟信号CK(k)由低电位变为并保持在高电位期间,触发时钟要控制T11处于关闭状态。

[0053] 在本实施例中,T11和T21优选地为N型薄膜晶体管。则,首先在扫描时钟信号CK(k)由低电位变为高电位之前的一段时间内,触发时钟要保持高电平以使T11开启并生成触发信号,进而使T21在其栅极和漏极接收到该触发信号后能够开启并生成第k行的扫描控制信号Q(k)。然后在扫描时钟CK(k)由低电位变为并保持在高电位期间,触发时钟要保持低电平以使T11关闭,从而使Q(k)点的电位在CK(k)为高电位时能够受自举电容C的耦合效应作用被抬升。因此,本实施例能够通过增加由触发时钟控制的第一薄膜晶体管T11来避免第k行的扫描线G(k)因STV未及时关闭而产生的充电不良。

[0054] 本实施例为了使控制简单方便,优选地将T11的栅极所连接的触发时钟设定为第k+N/2个扫描时钟CK(k+N/2)。当然,也可以单独的设定一个时钟信号作为T11的栅极所连接的触发时钟,只要该时钟信号在输出单元412的扫描时钟CK(k)由低电位变为高电位的前一段时间内,能够控制触发单元411处于开启状态,并且在输出单元412的扫描时钟CK(k)由低电位变为并维持高电位期间,能够控制触发单元411处于关闭状态即可。因此,在具体实施过程中,本领域技术人员可以根据实际需求来设定T11的栅极所连接的触发时钟。

[0055] 下拉单元413用于即时将第六薄膜晶体管T61的源极电位和栅极电位拉低为低电位,即关闭第k行的扫描信号G(k)。具体地,下拉单元413由第七薄膜晶体管T71和第八薄膜晶体管T81构成。其中,T81用于下拉第k行的扫描信号G(k)的电位,T81的漏极与输出单元412的输出端连接,即作用于第k行的扫描线G(k)。T71用于下拉第k行的扫描控制信号Q(k),以便关闭第六薄膜晶体管T61。T71的漏极与输出单元412的控制端连接。T71的栅极与T81的栅极连接在一起,并与第k+1行的扫描线G(k+1)相连,即接收第k+1行的扫描线信号G(k+1),由有效的第k+1行的扫描线信号G(k+1)控制第k行的扫描信号G(k)关闭,实现逐行扫描。T71的源极与T81的源极共同连接于直流低电平VSS。

[0056] 其次,对第K+1个GOA驱动单元410的结构进行说明,第K+1个GOA驱动单元410的主

要结构包括触发单元411、输出单元412和下拉单元413。

[0057] 触发单元411主要用于控制输出单元412的开启时间,实现液晶显示面板的逐行扫描。具体地,触发单元411由第三薄膜晶体管T31构成,用于输出第K+1行的扫描控制信号Q(K+1)。其中,T31的栅极和漏极连接开启信号STV,其源极生成第K+1行的扫描控制信号Q(K+1)。T31的源极与输出单元412的控制端相连。

[0058] 输出单元412主要用于将第K+1个扫描时钟信号CK(K+1)输出为第K+1行的扫描信号G(K+1)。具体地,输出单元412包括第六薄膜晶体管T61和自举电容C。其中,T61的栅极作为输出单元412的控制端接收由触发单元411生成的第K+1行的扫描控制信号Q(K+1)。T61的漏极作为输出单元412的输入端接收第K+1个扫描时钟信号CK(K+1)。T61的源极作为输出单元412的输出端,连接第K+1行的扫描线G(K+1),用于生成并输出第K+1行的扫描信号G(K+1)。自举电容C的一端与T61的栅极相连,另一端与T61的源极相连。其中,自举电容C的作用是在Q(K+1)为高电平时,存储T61栅源端的电压,并且当G(K+1)输出第K+1行的扫描信号G(K+1)后,二次抬升T61栅极的电压(即CK(K+1)为高电平时,第K+1行的扫描控制信号Q(K+1)点的电位受自举电容C的耦合效应作用被抬升),以保证T61能够可靠地被开启并输出第K+1行的扫描信号G(K+1)。

[0059] 下拉单元413用于即时将第六薄膜晶体管T61的源极电位和栅极电位拉低为低电位,即关闭第K+1行的扫描信号G(K+1)。具体地,下拉单元413由第七薄膜晶体管T71和第八薄膜晶体管T81构成。其中,T81用于下拉第K+1行的扫描信号G(K+1)的电位,T81的漏极与输出单元412的输出端连接,即作用于第K+1行的扫描线G(K+1)。T71用于下拉第K+1行的扫描控制信号Q(K+1),以便关闭第六薄膜晶体管T61。T71的漏极与输出单元412的控制端连接。T71的栅极与T81的栅极连接在一起,并与第K+2行的扫描线G(K+2)相连,即接收第K+2行的扫描线信号G(K+2),由有效的第K+2行的扫描线信号G(K+2)控制第K+1行的扫描信号G(K+1)的关闭,实现逐行扫描。T71的源极与T81的源极共同连接于直流低电平VSS。

[0060] 最后,由于第K+1个之后的所有GOA驱动单元410的结构相同,因此下面以第f个GOA驱动单元410的结构为例,来对第K+1个之后的GOA驱动单元410的结构进行说明,其中f为满足 $K+1 < f \leq M$ 的整数。第f个GOA驱动单元410的主要结构包括触发单元411、输出单元412和下拉单元413。

[0061] 触发单元411主要用于控制输出单元412的开启时间,实现液晶显示面板的逐行扫描。具体地,触发单元411由第四薄膜晶体管T41构成,用于输出第f行的扫描控制信号Q(f)。T41的栅极和漏极连接在一起,用于接收第f-N/2个GOA驱动单元输出的第f-N/2行的扫描信号G(f-N/2),其源极生成第f行的扫描控制信号Q(f)。T41的源极与输出单元412的控制端相连。

[0062] 输出单元412主要用于将第e个扫描时钟信号CK(e)输出为第f行的扫描信号G(f),其中 $e = \text{mod}(f, N)$ 。在此需要说明的是,在本实施例中当f能够整除N时,令 $e = N$,即此时输出单元212用于将第N个扫描时钟信号CK(N)输出为第f行的扫描信号G(f)。具体地,输出单元412由第六薄膜晶体管T61和自举电容C构成。其中,T61的栅极作为输出单元412的控制端接收由触发单元411生成的第f行的扫描控制信号Q(f)。T61的漏极作为输出单元412的输入端接收第e个扫描时钟信号CK(e)。T61的源极作为输出单元412的输出端,连接第f行的扫描线G(f),用于生成并输出第f行的扫描信号G(f)。自举电容C的一端与T61的栅极相连,另一端

与T61的源极相连。其中,自举电容C的作用是在Q(f)为高电平时,存储T61栅源端的电压,并且当G(f)输出第f行的扫描信号G(f)后,二次抬升T61栅极的电压(即第f个GOA驱动单元410的扫描时钟CK(e)为高电平时,第f行的扫描控制信号Q(f)点的电位受自举电容C的耦合效应作用被抬升),以保证T61能够可靠地被开启并输出第f行的扫描信号G(f)。

[0063] 下拉单元413用于即时将第六薄膜晶体管T61的源极电位和栅极电位拉低为低电位,即关闭第f行的扫描信号G(f)。具体地,下拉单元413由第七薄膜晶体管T71和第八薄膜晶体管T81构成。其中,T81用于下拉第f行的扫描信号G(f)的电位,T81的漏极与输出单元412的输出端连接,即作用于第f行的扫描线G(f)。T71用于下拉第f行的扫描控制信号Q(f),以便关闭第六薄膜晶体管T61。T71的漏极与输出单元412的控制端连接。T71的栅极与T81的栅极连接在一起,并与第f+1行的扫描线G(f+1)相连,即接收第f+1行的扫描线信号G(f+1),由有效的第f+1行的扫描线信号G(f+1)控制第f行的扫描信号G(f)的关闭,实现逐行扫描。T71的源极与T81的源极共同连接于直流低电平VSS。

[0064] 综上,在前N/2-1个扫描时钟为高电位时,应用本实施例所述的GOA驱动电路400能够使前N/2-1行的扫描控制信号Q点的电位受自举电容C的耦合效应作用被抬升,从而可以避免前N/2-1行的扫描线因开启信号STV未及时关闭而产生的充电不良。应用本实施例所述的GOA驱动电路400能够改善前N/2-1行扫描线充电不良的状况,进而提高显示画面的质量。

[0065] 实施例三

[0066] 本实施例对实施例二中的扫描时钟的个数进行了进一步优化。

[0067] 在实施例二的基础上,本实施例对扫描时钟的个数进行了进一步地限定。优选地,扫描时钟的个数N=8,如图4所示。图4是本发明的实施例中具有八个扫描时钟的GOA驱动电路500的结构示意图。如图4所示,该GOA驱动电路500包括多个GOA驱动单元510。具体地,前三个GOA驱动单元510的触发信号由触发时钟控制生成,第四个GOA驱动单元510的触发信号为开启信号STV,且第m个GOA驱动单元510的输出信号为第m+4个GOA驱动单元510的触发信号。下面结合图4详细地说明该驱动电路500的具体结构。

[0068] 首先,由于前三个GOA驱动单元510的结构相同,因此下面以第k个GOA驱动单元510的结构为例,来对前三个GOA驱动单元510的结构进行说明,其中k为满足 $0 < k \leq 3$ 的整数。第k个GOA驱动单元510的主要结构包括触发单元511、输出单元512和下拉单元513。

[0069] 触发单元511主要用于控制输出单元512的开启时间,实现液晶显示面板的逐行扫描。具体地,触发单元511包括第一薄膜晶体管T11和第二薄膜晶体管T21。其中,T11用于将开启信号STV输出为触发信号。T11的栅极连接触发时钟,漏极连接开启信号STV,其源极生成触发信号。并且T11的源极与T21的栅极和漏极相连。T21用于输出第k行的扫描控制信号Q(k)。T21的栅极和漏极连接在一起,用于接收T11的源极生成的触发信号,其源极生成第k行的扫描控制信号Q(k)。T21的源极与输出单元512的控制端相连。

[0070] 输出单元512主要用于将第k个扫描时钟信号CK(k)输出为第k行的扫描信号G(k)。具体地,输出单元512由第六薄膜晶体管T61和自举电容C构成。其中,T61的栅极作为输出单元512的控制端接收由触发单元511生成的第k行的扫描控制信号Q(k)。T61的漏极作为输出单元512的输入端接收第k个扫描时钟信号CK(k)。T61的源极作为输出单元512的输出端,连接第k行的扫描线G(k),用于生成并输出第k行的扫描信号G(k)。自举电容C的一端与T61的栅极相连,另一端与T61的源极相连。其中,自举电容C的作用是在Q(k)为高电平时,存储T61

栅源端的电压,并且当 $G(k)$ 输出第 k 行的扫描信号 $G(k)$ 后,二次抬升T61栅极的电压(即 $CK(k)$ 为高电平时,第 k 行的扫描控制信号 $Q(k)$ 点的电位受自举电容 C 的耦合效应作用被抬升),以保证T61能够可靠地被开启并输出第 k 行的扫描信号 $G(k)$ 。

[0071] 在本实施例中,T11的栅极所连接的触发时钟被配置为:在输出单元512的输入端接收到的扫描时钟信号 $CK(k)$ 为高电位时,控制触发单元511关闭。具体而言,在扫描时钟信号 $CK(k)$ 由低电位变为高电位之前的一段时间内,触发时钟要控制触发单元511处于开启状态,而在扫描时钟信号 $CK(k)$ 由低电位变为并保持在高电位期间,触发时钟要控制触发单元511处于关闭状态。

[0072] 进一步地讲,在扫描时钟信号 $CK(k)$ 由低电位变为高电位之前的一段时间内,触发时钟要控制T11处于开启状态,而在扫描时钟信号 $CK(k)$ 由低电位变为并保持在高电位期间,触发时钟要控制T11处于关闭状态。

[0073] 在本实施例中,T11和T21优选地为N型薄膜晶体管。则,首先在扫描时钟信号 $CK(k)$ 由低电位变为高电位之前的一段时间内,触发时钟要保持高电平以使T11开启并生成触发信号,进而使T21在其栅极和漏极接收到该触发信号后能够开启并生成第 k 行的扫描控制信号 $Q(k)$ 。然后在扫描时钟 $CK(k)$ 由低电位变为并保持在高电位期间,触发时钟要保持低电平以使T11关闭,从而使 $Q(k)$ 点的电位在 $CK(k)$ 为高电位时能够受自举电容 C 的耦合效应作用被抬升。因此,本实施例能够通过增加由触发时钟控制的第一薄膜晶体管T11来避免第 k 行的扫描线 $G(k)$ 因STV未及时关闭而产生的充电不良。

[0074] 本实施例为了使控制简单方便,优选地将T11的栅极所连接的触发时钟设定为第 $k+4$ 个扫描时钟 $CK(k+4)$ 。当然,也可以单独的设定一个时钟信号作为T11的栅极所连接的触发时钟,只要该时钟信号能够在输出单元512的扫描时钟 $CK(k)$ 由低电位变为高电位的前一段时间内,能够控制触发单元511处于开启状态,并且在输出单元512的扫描时钟 $CK(k)$ 由低电位变为并维持高电位期间,能够控制触发单元511处于关闭状态即可。因此,在具体实施过程中,本领域技术人员可以根据实际需求来设定T11的栅极所连接的触发时钟。

[0075] 下拉单元513用于即时将第六薄膜晶体管T61的源极电位和栅极电位拉低为低电位,即关闭第 k 行的扫描信号 $G(k)$ 。具体地,下拉单元513由第七薄膜晶体管T71和第八薄膜晶体管T81构成。其中,T81用于下拉第 k 行的扫描信号 $G(k)$ 的电位,T81的漏极与输出单元512的输出端连接,即作用于第 k 行的扫描线 $G(k)$ 。T71用于下拉第 k 行的扫描控制信号 $Q(k)$,以便关闭第六薄膜晶体管T61。T71的漏极与输出单元512的控制端连接。T71的栅极与T81的栅极连接在一起,并与第 $k+1$ 行的扫描线 $G(k+1)$ 相连,即接收第 $k+1$ 行的扫描线信号 $G(k+1)$,由有效的第 $k+1$ 行的扫描线信号 $G(k+1)$ 控制第 k 行的扫描信号 $G(k)$ 关闭,实现逐行扫描。T71的源极与T81的源极共同连接于直流低电平VSS。

[0076] 其次,对第四个GOA驱动单元510的结构进行说明,第四个GOA驱动单元510的主要结构包括触发单元511、输出单元512和下拉单元513。

[0077] 触发单元511主要用于控制输出单元512的开启时间,实现液晶显示面板的逐行扫描。具体地,触发单元511由第三薄膜晶体管T31构成,用于输出第四行的扫描控制信号 $Q(4)$ 。其中,T31的栅极和漏极连接开启信号STV,其源极生成第四行的扫描控制信号 $Q(4)$ 。T31的源极与输出单元512的控制端相连。

[0078] 输出单元512主要用于将第四个扫描时钟信号 $CK(4)$ 输出为第四行的扫描信号 G

(4)。具体地,输出单元512包括第六薄膜晶体管T61和自举电容C。其中,T61的栅极作为输出单元512的控制端接收由触发单元511生成的第四行的扫描控制信号Q(4)。T61的漏极作为输出单元512的输入端接收第四个扫描时钟信号CK(4)。T61的源极作为输出单元512的输出端,连接第四行的扫描线G(4),用于生成并输出第四行的扫描信号G(4)。自举电容C的一端与T61的栅极相连,另一端与T61的源极相连。其中,自举电容C的作用是在Q(4)为高电平时,存储T61栅源端的电压,并且当G(4)输出第四行的扫描信号G(4)后,二次抬升T61栅极的电压(即CK(4)为高电平时,第四行的扫描控制信号Q(4)点的电位受自举电容C的耦合效应作用被抬升),以保证T61能够可靠地被开启并输出第四行的扫描信号G(4)。

[0079] 下拉单元513用于即时将第六薄膜晶体管T61的源极电位和栅极电位拉低为低电位,即关闭第四行的扫描信号G(4)。具体地,下拉单元513由第七薄膜晶体管T71和第八薄膜晶体管T81构成。其中,T81用于下拉第四行的扫描信号G(4)的电位,T81的漏极与输出单元512的输出端连接,即作用于第四行的扫描线G(4)。T71用于下拉第四行的扫描控制信号Q(4),以便关闭第六薄膜晶体管T61。T71的漏极与输出单元512的控制端连接。T71的栅极与T81的栅极连接在一起,并与第五行的扫描线G(5)相连,即接收第五行的扫描线信号G(5),由有效的第五行的扫描线信号G(5)控制第四行的扫描信号G(4)的关闭,实现逐行扫描。T71的源极与T81的源极共同连接于直流低电平VSS。

[0080] 最后,由于第四个之后的所有GOA驱动单元510的结构相同,因此下面以第f个GOA驱动单元510的结构为例,来对第四个之后的GOA驱动单元510的结构进行说明,其中f为满足 $4 < f \leq M$ 的整数。第f个GOA驱动单元510的主要结构包括触发单元511、输出单元512和下拉单元513。

[0081] 触发单元511主要用于控制输出单元512的开启时间,实现液晶显示面板的逐行扫描。具体地,触发单元511由第四薄膜晶体管T41构成,用于输出第f行的扫描控制信号Q(f)。T41的栅极和漏极连接在一起,用于接收第f-4个GOA驱动单元输出的第f-4行的扫描信号G(f-4),其源极生成第f行的扫描控制信号Q(f)。T41的源极与输出单元512的控制端相连。

[0082] 输出单元512主要用于将第e个扫描时钟信号CK(e)输出为第f行的扫描信号G(f),其中 $e = \text{mod}(f, 8)$ 。在此需要说明的是,在本实施例中当f能够整除8时,令 $e = 8$,即此时输出单元212用于将第八个扫描时钟信号CK(8)输出为第f行的扫描信号G(f)。具体地,输出单元512由第六薄膜晶体管T61和自举电容C构成。其中,T61的栅极作为输出单元512的控制端接收由触发单元511生成的第f行的扫描控制信号Q(f)。T61的漏极作为输出单元512的输入端接收第e个扫描时钟信号CK(e)。T61的源极作为输出单元512的输出端,连接第f行的扫描线G(f),用于生成并输出第f行的扫描信号G(f)。自举电容C的一端与T61的栅极相连,另一端与T61的源极相连。其中,自举电容C的作用是在Q(f)为高电平时,存储T61栅源端的电压,并且当G(f)输出第f行的扫描信号G(f)后,二次抬升T61栅极的电压(即第f个GOA驱动单元410的扫描时钟CK(e)为高电平时,第f行的扫描控制信号Q(f)点的电位受自举电容C的耦合效应作用被抬升),以保证T61能够可靠地被开启并输出第f行的扫描信号G(f)。

[0083] 下拉单元513用于即时将第六薄膜晶体管T61的源极电位和栅极电位拉低为低电位,即关闭第f行的扫描信号G(f)。具体地,下拉单元513由第七薄膜晶体管T71和第八薄膜晶体管T81构成。其中,T81用于下拉第f行的扫描信号G(f)的电位,T81的漏极与输出单元512的输出端连接,即作用于第f行的扫描线G(f)。T71用于下拉第f行的扫描控制信号Q(f),

以便关闭第六薄膜晶体管T61。T71的漏极与输出单元512的控制端连接。T71的栅极与T81的栅极连接在一起,并与第f+1行的扫描线G(f+1)相连,即接收第f+1行的扫描线信号G(f+1),由有效的第f+1行的扫描线信号G(f+1)控制第f行的扫描信号G(f)的关闭,实现逐行扫描。T71的源极与T81的源极共同连接于直流低电平VSS。

[0084] 在本实施例中,上述所有薄膜晶体管优选为N型薄膜晶体管。进一步地,图5给出了该GOA驱动电路500的工作时序图。下面结合图4和图5来详细说明上述驱动过程。

[0085] 在 t_0 到 t_1 时间段内:CK(5)和STV为高电平,第一个GOA驱动单元510中的触发单元511被开启并输出第一行的扫描控制信号Q(1)。同时STV为高电平,第四个GOA驱动单元510中的T31被开启并输出第四行的扫描控制信号Q(4)。

[0086] 在 t_1 到 t_2 时间段内:CK(6)和STV为高电平,第二个GOA驱动单元510中的触发单元511被开启并输出第二行的扫描控制信号Q(2)。同时,CK(5)和STV为高电平,第一个GOA驱动单元510中的触发单元511仍处于开启状态并输出第一行的扫描控制信号Q(1);STV为高电平,第四个GOA驱动单元510中的T31仍处于开启状态并输出第四行的扫描控制信号Q(4)。

[0087] 在 t_2 到 t_3 时间段内:其一,CK(1)和Q(1)为高电平,第一个GOA驱动单元510中的T61被开启并输出第一行的扫描信号G(1)。同时由于CK(5)为低电平,第一个GOA驱动单元510中的T11被关闭,因此第一行的扫描控制信号Q(1)的电位能够受自举电容C的耦合效应作用被抬升,使得第一行的扫描信号G(1)充分充电。并且,当输出第一行的扫描信号G(1)后,第五个GOA驱动单元510中的T41被开启并输出第五行的扫描控制信号Q(5)。其二,CK(7)和STV为高电平,第三个GOA驱动单元510中的触发单元511被开启并输出第三行的扫描控制信号Q(3)。其三,CK(6)和STV为高电平,第二个GOA驱动单元510中的触发单元511仍处于开启状态并输出第二行的扫描控制信号Q(2);STV为高电平,第四个GOA驱动单元510中的T31仍处于开启状态并输出第四行的扫描控制信号Q(4)。

[0088] 在 t_3 到 t_4 时间段内:其一,CK(2)和Q(2)为高电平,第二个GOA驱动单元510中的T61被开启并输出第二行的扫描信号G(2)。同时由于CK(6)为低电平,第二个GOA驱动单元510中的T11被关闭,因此第二行的扫描控制信号Q(2)的电位能够受自举电容C的耦合效应作用被抬升,使得第二行的扫描信号G(2)充分充电。并且,当输出第二行的扫描信号G(2)后:一方面,第一个GOA驱动单元510中的T71和T81被开启,进而将G(1)和Q(1)拉低为低电平,关闭第一行像素的扫描线G(1);另一方面,第六个GOA驱动单元510中的T41被开启并输出第六行的扫描控制信号Q(6)。其二,CK(7)和STV为高电平,第三个GOA驱动单元510中的触发单元511仍处于开启状态并输出第三行的扫描控制信号Q(3);STV为高电平,第四个GOA驱动单元510中的T31仍处于开启状态并输出第四行的扫描控制信号Q(4)。

[0089] 在 t_4 到 t_5 时间段内:其一,CK(3)和Q(3)为高电平,第三个GOA驱动单元510中的T61被开启并输出第三行的扫描信号G(3)。同时由于CK(7)为低电平,第三个GOA驱动单元510中的T11被关闭,因此第三行的扫描控制信号Q(3)的电位能够受自举电容C的耦合效应作用被抬升,使得第三行的扫描信号G(3)充分充电。并且,当输出第三行的扫描信号G(3)后:一方面,第二个GOA驱动单元510中的T71和T81被开启,进而将G(2)和Q(2)拉低为低电平,关闭第二行像素的扫描线G(2);另一方面,第七个GOA驱动单元510中的T41被开启并输出第七行的扫描控制信号Q(7)。其二,STV为高电平,第四个GOA驱动单元510中的T31仍处于开启状态并输出第四行的扫描控制信号Q(4)。

[0090] 在 t_5 到 t_6 时间段内:CK (4) 和Q (4) 为高电平,第四个GOA驱动单元510中的T61被开启并输出第四行的扫描信号G (4)。同时由于STV为低电平,第四个GOA驱动单元510中的T31被关闭,因此第四行的扫描控制信号Q (4) 的电位能够受自举电容C的耦合效应作用被抬升,使得第四行的扫描信号G (4) 充分充电。并且,当输出第四行的扫描信号G (4) 后:一方面,第三个GOA驱动单元510中的T71和T81被开启,进而将G (3) 和Q (3) 拉低为低电平,关闭第三行像素的扫描线G (3);另一方面,第八个GOA驱动单元510中的T41被开启并输出第八行的扫描控制信号Q (8)。

[0091] 在 t_6 到 t_7 时间段内:CK (5) 和Q (5) 为高电平,第五个GOA驱动单元510中的T61被开启并输出第五行的扫描信号G (5)。并且,当输出第五行的扫描信号G (5) 后:一方面,第四个GOA驱动单元510中的T71和T81被开启,进而将G (4) 和Q (4) 拉低为低电平,关闭第四行像素的扫描线G (4);另一方面,第九个GOA驱动单元510中的T41被开启并输出第九行的扫描控制信号Q (9)。

[0092] 在 t_7 到 t_8 时间段内:CK (6) 和Q (6) 为高电平,第六个GOA驱动单元510中的T61被开启并输出第六行的扫描信号G (6)。并且,当输出第六行的扫描信号G (6) 后:一方面,第五个GOA驱动单元510中的T71和T81被开启,进而将G (5) 和Q (5) 拉低为低电平,关闭第五行像素的扫描线G (5);另一方面,第十个GOA驱动单元510中的T41被开启并输出第十行的扫描控制信号Q (10)。

[0093] 接下来各行扫描线的驱动方式与上述 t_7 到 t_8 时间段内的驱动方式类似,为了减少冗余,在此不做赘述。因此,本实施例中的GOA驱动电路500实现了逐行扫描,并且避免了前三行的扫描线因开启信号STV未及时关闭而产生的充电不良。

[0094] 综上,在前三个扫描时钟为高电平时,应用本实施例所述的GOA驱动电路500能够使前三行的扫描控制信号Q点的电位受自举电容C的耦合效应作用被抬升,从而可以避免前三行的扫描线因开启信号STV未及时关闭而产生的充电不良。应用本实施例所述的GOA驱动电路500能够改善前三行扫描线充电不良的状况,进而提高显示画面的质量。

[0095] 实施例四

[0096] 本发明还提供了一种液晶显示面板。本实施例的液晶显示面板包括实施例一所述的GOA驱动电路200。

[0097] 综上,在第一个扫描时钟CK (1) 为高电位时,应用本实施例所述的液晶显示面板能够使第一行的扫描控制信号Q (1) 点的电位受自举电容C的耦合效应作用被抬升,从而可以避免第一行的扫描线G (1) 因开启信号STV未及时关闭而产生的充电不良。应用本实施例所述的液晶显示面板能够改善第一行的扫描线G (1) 充电不良的状况,进而提高显示画面的质量。

[0098] 实施例五

[0099] 本发明还提供了一种液晶显示面板。本实施例的液晶显示面板包括实施例二所述的GOA驱动电路400或实施例三所述的GOA驱动电路500。

[0100] 综上,在前 $N/2-1$ 个扫描时钟为高电位时,应用本实施例所述的液晶显示面板能够使前 $N/2-1$ 行的扫描控制信号Q点的电位受自举电容C的耦合效应作用被抬升,从而可以避免前 $N/2-1$ 行的扫描线因开启信号STV未及时关闭而产生的充电不良。应用本实施例所述的液晶显示面板能够改善前 $N/2-1$ 行扫描线充电不良的状况,进而提高显示画面的质量。

[0101] 以上所述,仅为本发明的具体实施案例,本发明的保护范围并不局限于此,任何熟悉本技术的技术人员在本发明所述的技术规范内,对本发明的修改或替换,都应在本发明的保护范围之内。

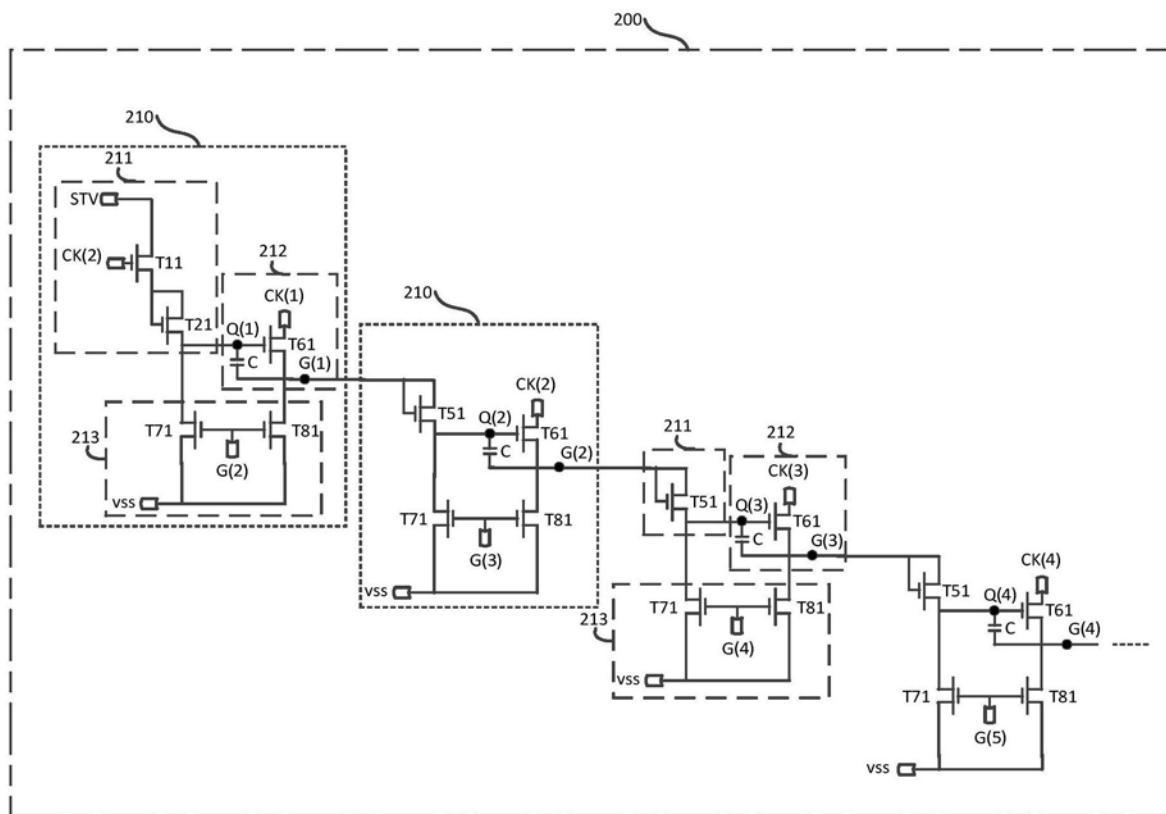


图1

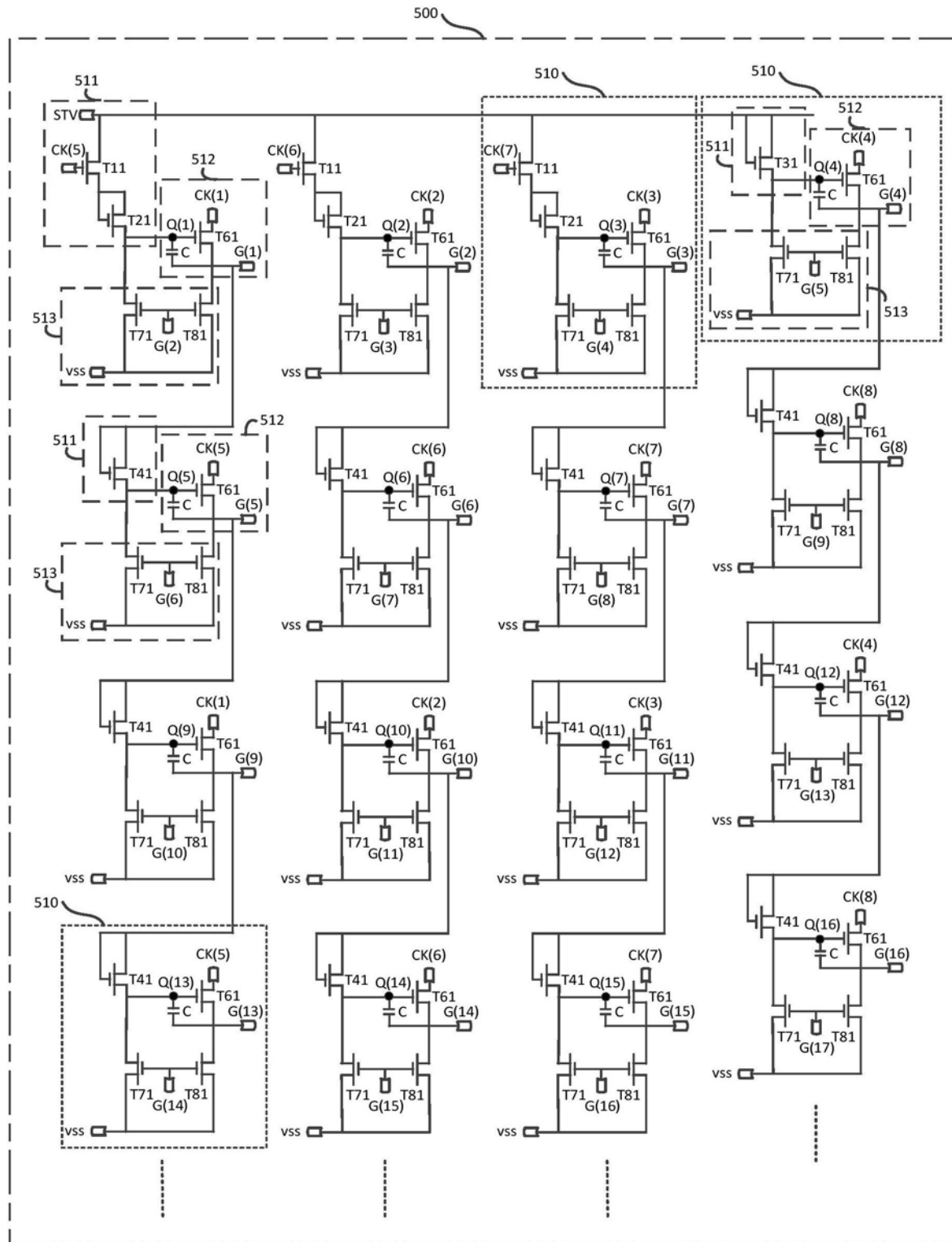


图4

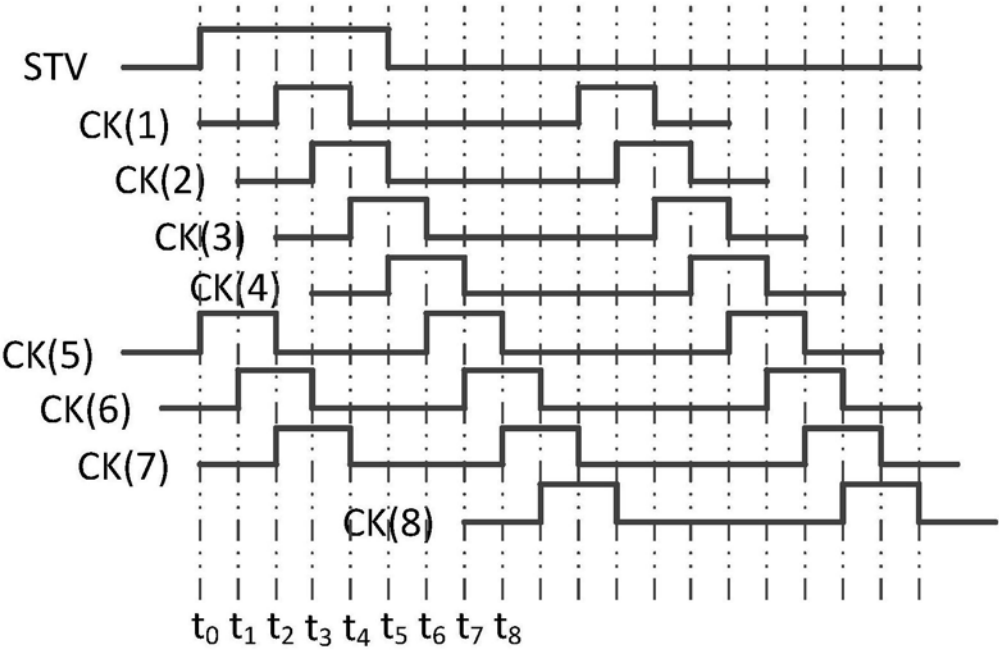


图5

专利名称(译)	GOA驱动电路和液晶显示面板		
公开(公告)号	CN107016972B	公开(公告)日	2019-08-02
申请号	CN201710278620.5	申请日	2017-04-25
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	冯托 徐向阳		
发明人	冯托 徐向阳		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677		
其他公开文献	CN107016972A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA驱动电路，包括多个GOA驱动单元。对于前K个GOA驱动单元中的每个触发单元，其包括第一薄膜晶体管和第二薄膜晶体管。其中，所述第一薄膜晶体管的栅极连接所述触发单元对应的触发时钟，所述第一薄膜晶体管的漏极连接开启信号，所述第一薄膜晶体管的源极连接所述第二薄膜晶体管的栅极和漏极，所述第二薄膜晶体管的源极连接与所述触发单元相连的输出单元的控制端，K为大于0的整数。并且，所述触发时钟被配置为：在所述输出单元的扫描时钟为高电位时，控制所述触发单元关闭。本发明的GOA驱动电路能够改善前K行扫描线充电不良的状况，进而提高显示画面的质量。

