



(12)发明专利

(10)授权公告号 CN 105632440 B

(45)授权公告日 2018.10.23

(21)申请号 201610019077.2

(22)申请日 2016.01.12

(65)同一申请的已公布的文献号

申请公布号 CN 105632440 A

(43)申请公布日 2016.06.01

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 成都京东方光电科技有限公司

(72)发明人 谭文 陈佳

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 汪源 陈源

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

CN 102598108 A,2012.07.18,

CN 103718236 A,2014.04.09,

CN 102890907 A,2013.01.23,

CN 105164744 A,2015.12.16,

TW 201207799 A,2012.02.16,

CN 102598106 A,2012.07.18,

JP 2012058335 A,2012.03.22,

US 2007109247 A1,2007.05.17,

审查员 韩慧龙

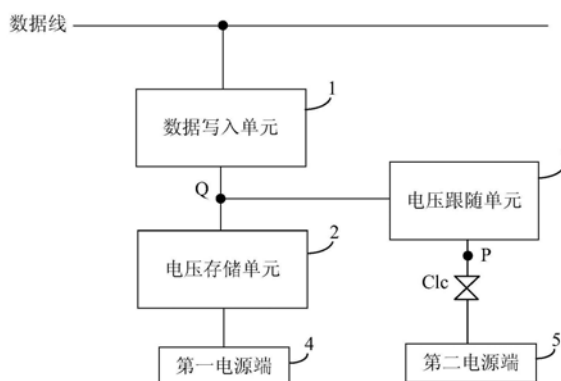
权利要求书3页 说明书12页 附图4页

(54)发明名称

像素电路及其驱动方法、显示面板

(57)摘要

本发明公开了一种像素电路及其驱动方法、显示面板,该像素电路包括:数据写入单元、电压存储单元、电压跟随单元和液晶电容,其中,数据写入单元用于在像素电路处于正常显示模式时,将数据线上的数据电压发送至电压存储单元和电压跟随单元;电压存储单元用于在像素电路处于正常显示模式时将数据电压进行存储,以及在像素电路处于静态显示模式时,将数据电压或调整电压发送至电压跟随单元的输入端;电压跟随单元用于根据电压存储单元提供的数据电压或调整电压输出相应的数据输出电压,以供液晶电容产生相应的液晶偏转电场。本发明的技术方案可实现显示面板对彩色画面的静态显示。



1. 一种像素电路,其特征在于,包括:数据写入单元、电压跟随单元、电压存储单元和液晶电容;所述数据写入单元与所述电压存储单元连接;所述电压跟随单元的输入端与所述数据写入单元和所述电压存储单元连接,所述电压跟随单元的输出端与所述液晶电容的第一端连接;电压存储单元与第一电源端连接,所述液晶电容的第二端与第二电源端连接;

所述数据写入单元用于在所述像素电路处于正常显示模式时,将数据线上的数据电压发送至所述电压存储单元和所述电压跟随单元;

所述电压存储单元用于在所述像素电路处于正常显示模式时将所述数据电压进行存储,以及,在所述像素电路处于静态显示模式时,将所述数据电压或调整电压发送至所述电压跟随单元的输入端,所述调整电压满足:

$$V_{data}' = 2V_{ref} - V_{data}$$

其中, V_{data}' 为所述调整电压, V_{ref} 为所述第一电源端输出的电压, V_{data} 为所述数据电压;

所述电压跟随单元用于根据所述数据电压或所述调整电压输出相应的数据输出电压,以供所述液晶电容产生相应的液晶偏转电场;

所述第二电源端输出的电压满足:

$$V_{com} = V_{ref} - \Delta V$$

其中, V_{com} 为所述第二电源端输出的电压, ΔV 为所述电压跟随单元的输入端与输出端的电压差。

2. 根据权利要求1所述的像素电路,其特征在于,所述电压存储单元包括:存储电容、第五晶体管、第六晶体管、第七晶体管和第八晶体管;

所述第五晶体管的控制极与第一控制线连接,所述第五晶体管的第一极与所述第一电源端连接,所述第五晶体管的第二极与所述存储电容的第一端连接;

所述第六晶体管的控制极与第二控制线连接,所述第六晶体管的第一极与所述第一电源端连接,所述第六晶体管的第二极与所述存储电容的第二端连接;

所述第七晶体管的控制极与所述第二控制线连接,所述第七晶体管的第一极与所述存储电容的第一端连接,所述第七晶体管的第二极与所述电压跟随单元的输入端和所述数据写入单元连接;

所述第八晶体管的控制极与所述第一控制线连接,所述第八晶体管的第一极与所述存储电容的第二端连接,所述第八晶体管的第二极与所述电压跟随单元的输入端和所述数据写入单元连接。

3. 根据权利要求2所述像素电路,其特征在于,所述电压存储单元还包括:第一电压补偿单元和第二电压补偿单元;

所述第一电压补偿单元设置于所述第五晶体管的第二极与所述存储电容的第一端之间,第二电压补偿单元设置于所述第六晶体管的第二极与所述存储电容的第二端之间;

所述第一电压补偿单元用于在所述像素电路处于静态显示模式且所述第五晶体管处于截止状态时,防止在所述存储电容的第一端与所述第一电源端之间产生漏电流;

所述第二电压补偿单元用于在所述像素电路处于静态显示模式且所述第六晶体管处于截止状态时,防止在所述存储电容的第二端与所述第一电源端之间产生漏电流。

4. 根据权利要求3所述的像素电路,其特征在于,所述第一电压补偿单元包括:第九晶

体管和第十一晶体管；

所述第九晶体管的控制极与所述第一控制线连接，所述第九晶体管的第一极与所述第五晶体管的第二极和所述第十一晶体管的第二极连接，所述第九晶体管的第二极与存储电容的第一极连接；

所述第十一晶体管的控制极与所述第二控制线连接，所述第十一晶体管的第一极与第三电源端连接，所述第十一晶体管的第二极与所述第五晶体管的第二极连接。

5. 根据权利要求3所述的像素电路，其特征在于，所述第二电压补偿单元包括：第十晶体管 and 第十二晶体管；

所述第十晶体管的控制极与所述第二控制线连接，所述第十晶体管的第一极与所述第六晶体管的第二极和所述第十二晶体管的第二极连接，所述第十晶体管的第二极与存储电容的第二极连接；

所述第十二晶体管的控制极与所述第一控制线连接，所述第十二晶体管的第一极与第三电源端连接，所述第十二晶体管的第二极与所述第六晶体管的第二极连接。

6. 根据权利要求1所述的像素电路，其特征在于，所述数据写入单元包括：第三晶体管；

所述第三晶体管的控制极与第三控制线连接，所述第三晶体管的第一极与数据线连接，所述第三晶体管的第二极与所述电压跟随单元的输入端和所述电压存储单元连接。

7. 根据权利要求6所述的像素电路，其特征在于，还包括：第三电压补偿单元；

所述第三电压补偿单元设置于所述电压跟随单元的输入端与所述第三晶体管的第二极之间；

所述第三电压补偿单元用于在所述第三晶体管处于截止状态时，防止在所述电压跟随单元与所述数据线之间产生漏电流。

8. 根据权利要求7所述的像素电路，其特征在于，所述第三电压补偿单元包括：第二晶体管 and 第四晶体管；

所述第二晶体管的控制极与第三控制线连接，所述第二晶体管的第一极与所述第四晶体管的第二极和所述数据写入单元连接，所述第二晶体管的第二极与所述电压存储单元连接；

所述第四晶体管的控制极与第四控制线连接，所述第四晶体管的第一极与第四电源端连接。

9. 根据权利要求1所述的像素电路，其特征在于，所述电压跟随单元包括：第一晶体管，所述第一晶体管为共漏极放大晶体管；

所述第一晶体管的栅极与所述数据写入单元和所述电压存储单元连接，所述第一晶体管的源极与第五电源端连接，所述第一晶体管的漏极与所述液晶电容的第一端连接。

10. 根据权利要求1所述的像素电路，其特征在于，静态显示模式包括：交替进行的第一极性显示阶段和第二极性显示阶段；

在所述第一极性显示阶段时，所述电压存储单元将所述数据电压发送至所述电压跟随单元的输入端；

在所述第二极性显示阶段时，所述电压存储单元将所述调整电压发送至所述电压跟随单元的输入端。

11. 根据权利要求1-10中任一所述的像素电路，其特征在于，所述像素电路中的各晶体

管均为N型晶体管。

12. 一种像素电路的驱动方法,其特征在于,所述像素电路采用上述权利要求1-11中任一所述的像素电路;

所述像素电路的驱动方法包括:

在正常显示模式时,所述数据写入单元将数据线上的数据电压发送至所述电压存储单元和所述电压跟随单元的输入端,所述电压跟随单元根据所述数据电压输出相应的数据输出电压,以供所述液晶电容产生相应的液晶偏转电场;

在静态显示模式时,所述电压存储单元将所述数据电压或所述调整电压发送至所述电压跟随单元的输入端,所述电压跟随单元根据所述数据电压或所述调整电压输出相应的数据输出电压,以供所述液晶电容产生相应的液晶偏转电场。

13. 根据权利要求12所述的像素电路的驱动方法,其特征在于,在静态显示模式时,所述电压存储单元将所述数据电压和所述调整电压交替发送至所述电压跟随单元。

14. 一种显示面板,其特征在于,包括:如上述权利要求1-11中任一所述的像素电路。

像素电路及其驱动方法、显示面板

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种像素电路及其驱动方法、显示面板。

背景技术

[0002] 随着智能穿戴、移动应用等技术的发展,对超低功耗LCD显示技术的发展提出了要求。像素存储(Memory in Pixel,简称MIP)显示技术作为一种新型低功耗LCD显示技术,由于具有无需改变LCD工艺,无需新型材料开发,结构简单,成本低等特点,具有广阔的发展前景。

[0003] 图1为现有技术中像素驱动电路的电路示意图,如图1所示,该像素驱动电路包括:开关晶体管TFT、模拟电压存储单元(Analog Memory Uint)、存储电容Cst和液晶电容C1c,在显示面板处于待机状态或显示静态画面(即静态显示模式)时,模拟电压存储单元为液晶电容C1c提供一稳定的数据电压,此时不再需要栅极驱动对显示画面进行更新,从而降低了显示面板显示静态画面的更新频率,如此可以降低集成电路电力消耗,即显示面板的整体电力消耗降低。

[0004] 然而,由于现有的模拟电压存储单元的电路结构较复杂,将其集成到像素电路中,实现很困难因此,现有技术中大都使用集成1Bit的数字存储器以作为模拟电压存储单元,该数字存储器只能存储LCD像素的黑白电压,即只能实现黑白显示,从而大大限制了MIP显示技术的应用范围。

[0005] 由此可见,如何将MIP显示技术应用于彩色显示是本领域亟需解决的技术问题。

发明内容

[0006] 本发明提供一种像素电路及其驱动方法、显示面板,该像素电路能够对模拟数据电压进行存储,从而能够实现彩色画面的静态显示。

[0007] 为实现上述目的,本发明提供了一种像素电路,包括:数据写入单元、电压跟随单元、电压存储单元和液晶电容;所述数据写入单元与所述电压存储单元连接;所述电压跟随单元的输入端与所述数据写入单元和所述电压存储单元连接,所述电压跟随单元的输出端与所述液晶电容的第一端连接;电压存储单元与第一电源端连接,所述液晶电容的第二端与第二电源端连接;

[0008] 所述数据写入单元用于在所述像素电路处于正常显示模式时,将数据线上的数据电压发送至所述电压存储单元和所述电压跟随单元;

[0009] 所述电压存储单元用于在所述像素电路处于正常显示模式时将所述数据电压进行存储,以及,在所述像素电路处于静态显示模式时,将所述数据电压或调整电压发送至所述电压跟随单元的输入端,所述调整电压满足:

[0010] $V_{data}' = 2V_{ref} - V_{data}$

[0011] 其中, V_{data}' 为所述调整电压, V_{ref} 为所述第一电源端输出的电压, V_{data} 为所述数据电压;

[0012] 所述电压跟随单元用于根据所述数据电压或所述调整电压输出相应的数据输出电压,以供所述液晶电容产生相应的液晶偏转电场;

[0013] 所述第二电源端输出的电压满足:

[0014] $V_{com} = V_{ref} - \Delta V$

[0015] 其中, V_{com} 为所述第二电源端输出的电压, ΔV 为所述电压跟随单元的输入端与输出端的电压差。

[0016] 可选地,所述电压存储单元包括:存储电容、第五晶体管、第六晶体管、第七晶体管和第八晶体管;

[0017] 所述第五晶体管的控制极与第一控制线连接,所述第五晶体管的第一极与所述第一电源端连接,所述第五晶体管的第二极与所述存储电容的第一端连接;

[0018] 所述第六晶体管的控制极与第二控制线连接,所述第六晶体管的第一极与所述第一电源端连接,所述第六晶体管的第二极与所述存储电容的第二端连接;

[0019] 所述第七晶体管的控制极与所述第二控制线连接,所述第七晶体管的第一极与所述存储电容的第一端连接,所述第七晶体管的第二极与所述电压跟随单元的输入端和所述数据写入单元连接;

[0020] 所述第八晶体管的控制极与所述第一控制线连接,所述第八晶体管的第一极与所述存储电容的第二端连接,所述第八晶体管的第二极与所述电压跟随单元的输入端和所述数据写入单元连接;

[0021] 可选地,所述电压存储单元还包括:第一电压补偿单元和第二电压补偿单元;

[0022] 所述第一电压补偿单元设置于所述第五晶体管的第二极与所述存储电容的第一端之间,第二电压补偿单元设置于所述第六晶体管的第二极与所述存储电容的第二端之间;

[0023] 所述第一电压补偿单元用于在所述像素电路处于静态显示模式且所述第五晶体管处于截止状态时,防止在所述存储电容的第一端与所述第一电源端之间产生漏电流;

[0024] 所述第二电压补偿单元用于在所述像素电路处于静态显示模式且所述第六晶体管处于截止状态时,防止在所述存储电容的第二端与所述第一电源端之间产生漏电流。

[0025] 可选地,所述第一电压补偿单元包括:第九晶体管和第十一晶体管;

[0026] 所述第九晶体管的控制极与所述第一控制线连接,所述第九晶体管的第一极与所述第五晶体管的第二极和所述第十一晶体管的第二极连接,所述第九晶体管的第二极与存储电容的第一极连接;

[0027] 所述第十一晶体管的控制极与所述第二控制线连接,所述第十一晶体管的第一极与第三电源端连接,所述第十一晶体管的第二极与所述第五晶体管的第二极连接;

[0028] 可选地,所述第二电压补偿单元包括:第十晶体管和第十二晶体管;

[0029] 所述第十晶体管的控制极与所述第二控制线连接,所述第十晶体管的第一极与所述第六晶体管的第二极和所述第十二晶体管的第二极连接,所述第十晶体管的第二极与存储电容的第二极连接;

[0030] 所述第十二晶体管的控制极与所述第一控制线连接,所述第十二晶体管的第一极与第三电源端连接,所述第十二晶体管的第二极与所述第六晶体管的第二极连接。

[0031] 可选地,所述数据写入单元包括:第三晶体管;

[0032] 所述第三晶体管的控制极与第三控制线连接,所述第三晶体管的第一极与数据线连接,所述第三晶体管的第二极与所述电压跟随单元的输入端和所述电压存储单元连接。

[0033] 可选地,还包括:所述第三电压补偿单元;

[0034] 所述第三电压补偿单元设置于所述电压跟随单元的输入端与所述第三晶体管的第二极之间;

[0035] 所述第三电压补偿单元用于在所述第三晶体管处于截止状态时,防止在所述电压跟随单元与所述数据线之间产生漏电流。

[0036] 可选地,所述第三电压补偿单元包括:第二晶体管和第四晶体管;

[0037] 所述第二晶体管的控制极与第三控制线连接,所述第二晶体管的第一极与所述第四晶体管的第二极和所述数据写入单元连接,所述第二晶体管的第二极与所述电压存储单元连接;

[0038] 所述第四晶体管的控制极与第四控制线连接,所述第四晶体管的第一极与第四电源端连接。

[0039] 可选地,所述电压跟随单元包括:第一晶体管,所述第一晶体管为共漏极放大晶体管;

[0040] 所述第一晶体管的栅极与所述数据写入单元和所述电压存储单元连接,所述第一晶体管的源极与第五电源端连接,所述第一晶体管的漏极与所述液晶电容的第一端连接。

[0041] 可选地,所述数据写入单元包括:第三晶体管;

[0042] 所述第三晶体管的控制极与第三控制线连接,所述第三晶体管的第一极与数据线连接,所述第三晶体管的第二极与所述电压跟随单元的输入端和所述电压存储单元连接。

[0043] 可选地,静态显示模式包括:交替进行的第一极性显示阶段和第二极性显示阶段;

[0044] 在所述第一极性显示阶段时,所述电压存储单元将所述数据电压发送至所述电压跟随单元的输入端;

[0045] 在所述第二极性显示阶段时,所述电压存储单元将所述调整电压发送至所述电压跟随单元的输入端。

[0046] 可选地,所述像素电路中的各晶体管均为N型晶体管。

[0047] 为实现上述目的,本发明还提供了一种像素电路的驱动方法,所述像素电路采用上述的像素电路;

[0048] 所述像素电路的驱动方法包括:

[0049] 在正常显示模式时,所述数据写入单元将数据线上的数据电压发送至所述电压存储单元和所述电压跟随单元的输入端,所述电压跟随单元根据所述数据电压输出相应的数据输出电压,以供所述液晶电容产生相应的液晶偏转电场;

[0050] 在静态显示模式时,所述电压存储单元将所述数据电压或所述调整电压发送至所述电压跟随单元的输入端,所述电压跟随单元根据所述数据电压或所述调整电压输出相应的数据输出电压,以供所述液晶电容产生相应的液晶偏转电场。

[0051] 可选地,在静态显示模式时,所述电压存储单元将所述数据电压和所述调整电压交替发送至所述电压跟随单元。

[0052] 为实现上述目的,本发明还提供了一种显示面板,包括:像素电路,所述像素电路采用上述的像素电路。

[0053] 本发明具有以下有益效果：

[0054] 本发明提供了一种像素电路及其驱动方法、显示面板，该该像素电路包括：数据写入单元、电压存储单元、电压跟随单元和液晶电容，其中，数据写入单元与电压存储单元和电压跟随单元连接，数据写入单元用于在像素电路处于正常显示模式时，将数据线上的数据电压发送至电压存储单元和电压跟随单元；电压存储单元与第一电源端和电压跟随单元的输入端连接，电压存储单元用于在像素电路处于正常显示模式时将数据电压进行存储，以及在像素电路处于静态显示模式时，将数据电压或调整电压发送至电压跟随单元的输入端；电压跟随单元的输出端与液晶电容的第一端连接，液晶电容的第二端与第二电源端连接，用于根据电压存储单元提供的数据电压或调整电压输出相应的数据输出电压，以供液晶电容产生相应的液晶偏转电场。本发明的技术方案通过电压存储单元在正常显示模式时将数据线中的模拟数据电压进行存储，并在静态显示模式时输出数据电压和/或模拟电压，以供液晶电容产生相应的液晶偏转电场，进而实现了静态显示。与此同时，由于电压存储单元可存储对应各显示灰阶的数据电压，因此对于整个显示面板而言，可实现显示面板对彩色画面的静态显示。

附图说明

[0055] 图1为现有技术中像素驱动电路的电路示意图；

[0056] 图2为本发明实施例一提供的一种像素电路的电路示意图；

[0057] 图3为本发明实施例二提供的一种像素电路的电路示意图；

[0058] 图4为图3所示像素电路的工作时序图；

[0059] 图5为本发明实施例三提供的一种像素电路的电路示意图；

[0060] 图6为图5所示像素电路的工作时序图；

[0061] 图7为本发明实施例四提供的一种像素电路的驱动方法的流程图。

具体实施方式

[0062] 为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图对本发明提供的一种像素电路及其驱动方法、显示面板进行详细描述。

[0063] 实施例一

[0064] 图2为本发明实施例一提供的一种像素电路的电路示意图，如图2所示，该像素电路包含两种工作模式：正常显示模式和静态显示模式，该像素电路包括：数据写入单元1、电压存储单元2、电压跟随单元3和液晶电容C1c。

[0065] 其中，数据写入单元1与电压存储单元2和电压跟随单元3连接，数据写入单元1用于在像素电路处于正常显示模式时，将数据线上的数据电压发送至电压存储单元2和电压跟随单元3。

[0066] 电压存储单元2与第一电源端4和电压跟随单元3的输入端连接，电压存储单元2用于在像素电路处于正常显示模式时将数据电压进行存储，以及在像素电路处于静态显示模式时，将数据电压或调整电压发送至电压跟随单元3的输入端。其中，该调整电压为存储单元基于数据电压和第一电源端4输出的电压进行调整后所输出的一个电压，该调整电压满足：

[0067] $V_{data}' = 2V_{ref} - V_{data}$

[0068] 其中, V_{data}' 为调整电压, V_{ref} 为第一电源端4输出的电压, V_{data} 为数据电压。

[0069] 电压跟随单元3的输出端与液晶电容C1c的第一端连接, 液晶电容C1c的第二端与第二电源端5连接, 电压跟随单元3用于根据电压存储单元2提供的数据电压或调整电压输出相应的数据输出电压, 以供液晶电容C1c产生相应的液晶偏转电场。

[0070] 在本实施例中, 第二电源端5输出的电压满足:

[0071] $V_{com} = V_{ref} - \Delta V$

[0072] 其中, V_{com} 为第二电源端5输出的电压, ΔV 为电压跟随单元3的输入端与输出端的电压差。

[0073] 需要说明的是, 本实施例中的电压跟随单元3为实现输出电压跟随输入电压的变化的一类电子器件。该电压跟随单元3的电压放大倍数恒小于且接近于1, 即电压跟随单元3的输出端的电压小于且接近于输入端的电压输入端的电压。此外, 该电压跟随单元3的输入端与输出端的电压差 ΔV 一般为一个较小的固定值。

[0074] 下面将对本实施例提供的像素电路在正常显示模式和静态显示模式时, 对应的工作过程进行详细的描述。

[0075] 当本实施例提供的像素电路处于正常显示模式时, 数据线上的数据电压通过数据写入单元1写入至电压跟随单元3和电压存储单元2, 即Q点电压为 V_{data} 。与此同时, 电压存储单元2对该数据电压进行存储, 电压跟随单元3根据该数据电压输出相应的数据输出电压, 该数据输出电压大小等于 $V_{data} - \Delta V$, 即P点电压为 $V_{data} - \Delta V$ 。此时, 液晶电容C1c的两端电压差 (又称为液晶偏转电压) 等于 $V_{data} - \Delta V - V_{com}$ 。

[0076] 当本实施例提供的像素电路处于静态显示模式时, 数据写入单元1停止数据写入, 电压存储单元2向电压跟随单元3的输入端输出数据电压或调整电压。

[0077] 其中, 当电压存储单元2向电压跟随单元3的输入端输出数据电压时, 则Q点电压为 V_{data} , P点电压为 $V_{data} - \Delta V$ 。此时, 液晶电容C1c的两端电压差 $V_{c1c_1} = V_{data} - \Delta V - V_{com}$ 。

[0078] 当电压存储单元2向电压跟随单元3的输入端输出调整电压时, 则Q点电压为 V_{data}' , P点电压为 $V_{data}' - \Delta V$, 时, 液晶电容C1c的两端电压差 $V_{c1c_2} = V_{data}' - V_{com}$ 。

[0079] 其中,

[0080] $V_{c1c_1} + V_{c1c_2} = V_{data} - \Delta V - V_{com} + V_{data}' - \Delta V - V_{com}$

[0081] $= V_{data} - \Delta V - V_{com} + 2V_{ref} - V_{data} - \Delta V - V_{com}$

[0082] $= 2V_{ref} - 2\Delta V - 2V_{com}$

[0083] $= 2V_{ref} - 2\Delta V - 2(V_{ref} - \Delta V)$

[0084] $= 0$

[0085] 由上式可见, V_{c1c_1} 与 V_{c1c_2} 的大小相等但极性相反, 两者对应于相同的显示灰阶 (亮度)。因此, 无论电压存储单元2向电压跟随单元3输出的是数据电压还是调整电压, 此时液晶电容C1c的两端电压差所对应的显示灰阶不变, 像素电路可维持静态显示。此外, 本实施例中对数据电压的大小没有限制, 因而该电压存储单元2可存储对应各显示灰阶的数据电压, 进而能支持彩色画面的静态显示。

[0086] 作为本实施例中的一种优选方案, 该像素电路的静态显示模式包括: 交替进行的第一极性显示阶段和第二极性显示阶段, 其中, 在第一极性显示阶段时, 电压存储单元2将

数据电压发送至电压跟随单元3的输入端;在第二极性显示阶段时,电压存储单元2将调整电压发送至电压跟随单元3的输入端。本实施例中,在静态显示模式时,通过电压存储单元2交替的将数据电压和调整电压输出至电压跟随单元3的输入端,可实现液晶电容C1c的两端电压差的极性反转,从而可有效防止静态显示过程中出现液晶疲劳的问题。

[0087] 实施例二

[0088] 图3为本发明实施例二提供的一种像素电路的电路示意图,如图3所示,图3所示的像素电路为基于图2所示像素电路的一种具体方案。

[0089] 可选地,数据写入单元1包括:第三晶体管T3。其中,第三晶体管T3的控制极与第三控制线S3连接,第三晶体管T3的第一极与数据线连接,第三晶体管T3的第二极与电压跟随单元3的输入端和电压存储单元2连接。

[0090] 可选地,电压跟随单元3包括:第一晶体管T1。其中,该第一晶体管T1为共漏极放大晶体管,该第一晶体管T1的栅极与数据写入单元1和电压存储单元2连接,第一晶体管T1的源极与第五电源端9连接,第一晶体管T1的漏极与液晶电容C1c的第一端连接。此时,电压存储单元2的输入端与输出端的电压差 ΔV ,即等于第一晶体管T1的阈值电压 V_{th} (V_{th} 为定值)。

[0091] 电压存储单元2包括:存储电容Cst、第五晶体管T5、第六晶体管T6、第七晶体管T7和第八晶体管T8。

[0092] 其中,第五晶体管T5的控制极与第一控制线S1连接,第五晶体管T5的第一极与第一电源端4连接,第五晶体管T5的第二极与存储电容Cst的第一端连接。

[0093] 第六晶体管T6的控制极与第二控制线S2连接,第六晶体管T6的第一极与第一电源端4连接,第六晶体管T6的第二极与存储电容Cst的第二端连接。

[0094] 第七晶体管T7的控制极与第二控制线S2连接,第七晶体管T7的第一极与存储电容Cst的第一端连接,第七晶体管T7的第二极与电压跟随单元3的输入端和数据写入单元1连接。

[0095] 第八晶体管T8的控制极与第一控制线S1连接,第八晶体管T8的第一极与存储电容Cst的第二端连接,第八晶体管T8的第二极与电压跟随单元3的输入端和数据写入单元1连接。

[0096] 下面将结合附图来对图3所示像素电路在正常显示模式和静态显示模式时,对应的工作过程进行详细的描述。其中,假定第一晶体管T1、第三晶体管T3、第五晶体管T5、第六晶体管T6、第七晶体管T7和第八晶体管T8均为N型晶体管,第一电源端4提供参考电压 V_{ref} ,第二电源端5提供公共电压 V_{com} ,其中 $V_{com}=V_{ref}-V_{th}$,第五电源端9提供工作电压 V_{dd} 。

[0097] 图4为图3所示像素电路的工作时序图,如图4所示,该像素电路的工作过程可包括如下三个阶段:

[0098] 第一阶段,像素电路处于正常显示模式。此时,第一控制线S1输出高电平,第二控制线S2输出低电平,第三控制线S3输出高电平。此时,第三晶体管T3、第五晶体管T5和第八晶体管T8导通,第六晶体管T6和第七晶体管T7截止。

[0099] 在第一阶段中,由于第三晶体管T3导通,则数据电压可通过第三晶体管T3写入至Q点,此时Q点电压为 V_{data} 。由于Q点电压为 V_{data} ,即第一晶体管T1的栅极电压为 V_{data} ,此时第一晶体管T1的漏极对应输出的数据输出电压为 $V_{data}-V_{th}$,即P点电压为 $V_{data}-V_{th}$ 。相应

地,液晶电容C1c的两端电压差(即液晶电容C1c的第一端与第二端的电压差) $V_{clc}=V_{data}-V_{th}-V_{com}$ 。

[0100] 与此同时,由于第六晶体管T6截止,第八晶体管T8导通,则Q点电压被写入至存储电容Cst的第二端,此时M点电压为Vdata。与此同时,由于第五晶体管T5导通,第七晶体管T7截止,则第一电源端4通过第五晶体管T5向存储电容Cst的第一端充电,此时N点电压为Vref。相应地,存储电容Cst的两端电压差(即存储电容Cst的第一端与第二端的电压差)为 $V_{cst}=V_{ref}-V_{data}$ 。

[0101] 第二阶段,像素电路处于静态显示模式且对应第一极性显示阶段。此时,第一控制线S1输出高电平,第二控制线S2输出低电平,第三控制线S3输出低电平。此时,第五晶体管T5和第八晶体管T8导通,第三晶体管T3、第六晶体管T6和第七晶体管T7截止。

[0102] 在第二阶段中,由于第三晶体管T3和第七晶体管T7均截止,则存储电容Cst的第二端向Q点输出电压,因为存储电容Cst的第二端的电压为Vdata,则Q点电压会维持在Vdata,相应地,P点电压为 $V_{data}-V_{th}$,液晶电容C1c的两端电压差 $V_{clc_1}=V_{data}-V_{th}-V_{com}$ 。

[0103] 由上述内容可见,液晶电容C1c在第二阶段的两端电压差 V_{clc_1} 与在第一阶段中的两端电压差 V_{clc} ,两者大小相等且极性相同,因此该液晶电容C1c的两端电压差所对应的显示灰阶不变。

[0104] 第三阶段,像素电路处于静态显示模式且对应第二极性显示阶段。此时,第一控制线S1输出低电平,第二控制线S2输出高电平,第三控制线S3输出低电平。此时,第六晶体管T6和第七晶体管T7导通,第三晶体管T3、第五晶体管T5和第八晶体管T8截止。

[0105] 在第三阶段中,由于第六晶体管T6导通,第八晶体管T8截止,则第一电源端4向存储电容Cst的第二端进行充电,存储电容Cst的第二端的电压变为Vref,即M点电压为Vref。此时,存储电容Cst为维持其自身两端电压差 $V_{ref}-V_{data}$ 不变,则存储电容Cst的第一端的电压会进行自举,存储电容Cst的第一端的电压跳变至 $2V_{ref}-V_{data}$,即N点电压为 $2V_{ref}-V_{data}$ 。

[0106] 此外,由于第五晶体管T5截止,第七晶体管T7导通,则存储电容Cst的第一端对Q点充电,此时Q点电压变为 $2V_{ref}-V_{data}$ (电压存储单元2输出调整电压)。由于Q点电压为 $2V_{ref}-V_{data}$,即第一晶体管T1的栅极电压为 $2V_{ref}-V_{data}$,此时第一晶体管T1的漏极对应输出的数据输出电压为 $2V_{ref}-V_{data}-V_{th}$,即P点电压为 $2V_{ref}-V_{data}-V_{th}$ 。相应地,液晶电容C1c的两端电压差 $V_{clc_2}=2V_{ref}-V_{data}-V_{th}-V_{com}$ 。

[0107] 因为 $V_{com}=V_{ref}-V_{th}$,则 $V_{ref}=V_{com}+V_{th}$,此时

[0108] $V_{clc_2}=2V_{ref}-V_{data}-V_{th}-V_{com}$

[0109] $=2(V_{com}+V_{th})-V_{data}-V_{th}-V_{com}$

[0110] $=V_{com}+V_{th}-V_{data}$

[0111] 由上述内容可见,液晶电容C1c在第三阶段的两端电压差 V_{clc_2} 与在第二阶段中的两端电压差 V_{clc_1} ,两者大小相等但极性相反,因此该液晶电容C1c的两端电压差在实现极性反转的同时,还能保证极性反转后所对应的显示灰阶不变。

[0112] 在后续过程中,通过重复上述第二阶段和第三阶段,可在保证实现静态显示前提下,同时显示液晶电容C1c的两端电压差的极性反转。

[0113] 需要说明的是,本实施例中第一晶体管T1、第三晶体管T3、第五晶体管T5、第六晶

晶体管T6、第七晶体管T7和第八晶体管T8均为N型晶体管的情况,仅为本实施例中的一种优选方式,此时可采用同一生产工序同时制备出上述各晶体管,从而可减少生产工序,缩短生产周期。本领域技术人员应该知晓的是,通过对晶体管的类型进行变化以及对控制线的输出信号进行相应变化,以实现上述各阶段的过程的技术方案,均应属于本发明保护的范围。

[0114] 实施例三

[0115] 本发明实施例三提供了一种像素电路,该像素电路为基于图2所示像素电路的一种改进方案。

[0116] 在图2所示像素电路的实际工作过程中,该像素电路无法长时间维持静态显示,下面将结合实例来对该图2所示的像素电路无法长时间维持静态显示的原理进行详细说明。其中,假定数据线上的数据电压 V_{data} 大于第一电源端4的电压 V_{ref} 。

[0117] 当图2所示像素电路处于第二阶段时,虽然第六晶体管T6处于截止状态,但是由于第六晶体管T6的第一极连接第一电源端4,因此在第一电源端4与存储电容Cst的第二端之间容易产生漏电流(流过第六晶体管T6的微小电流)。具体地,由于存储电容Cst的第二端在第二阶段时电压为 V_{data} ,即存储电容Cst的第二端的电压大于第一电源端4的电压,则存储电容Cst的第二端会通过第六晶体管T6进行放电,漏电流由存储电容Cst的第二端流向第一电源端4,此时存储电容Cst的第二端的电压会相应下降,又由于存储电容Cst的第一端的电压(等于 V_{ref})保持不变,因此在第二阶段中存储电容Cst的两端电压差会持续增大。

[0118] 当图2所示像素电路处于第三阶段时,虽然第五晶体管T5处于截止状态,但是由于第六晶体管T6的第一极连接第一电源端4,因此在第一电源端4与存储电容Cst的第一端之间容易产生漏电流(流过第五晶体管T5的微小电流)。具体地,由于存储电容Cst的第一端在第三阶段时电压为 $2V_{ref}-V_{data}$,且 $2V_{ref}-V_{data}<V_{ref}$,即存储电容Cst的第一端的电压小于第一电源端4的电压,则第一电源端4会通过第六晶体管T6向存储电容Cst的第一端充电,漏电流由第一电源端4流向存储电容Cst的第一端,此时存储电容Cst的第一端的电压会相应上升,又由于存储电容Cst的第二端的电压(等于 V_{ref})保持不变,因此在第三阶段中存储电容Cst的两端电压差会持续增大。

[0119] 由上述内容可见,当在数据电压 V_{data} 大于第一电源端4的电压 V_{ref} 时,图2所示的像素电路在进行静态显示的过程中,存储电容Cst的两端电压差会随着时间的推移而不断增大,并最终导致电压存储单元2实际输出的电压远远偏离数据电压或调整电压,进而造成静态显示失败。

[0120] 同理,当在数据电压 V_{data} 小于第一电源端4的电压 V_{ref} 时,则图2所示的像素电路在进行静态显示的过程中,存储电容Cst的两端电压差会随着时间的推移而不断减小,并最终导致电压存储单元2实际输出的电压远远偏离数据电压或调整电压,进而造成静态显示失败。

[0121] 此外,对于显示面板而言,一条数据线往往是对应多个像素电路,在一帧画面中,当数据线成功将数据电压写入至某个像素电路后,该写入了数据电压的像素电路进入静态显示模式,此时该数据线会向下一个像素电路写入对应的数据电压。此时,数据线中的像素电压会发生变化。对于已经进入静态显示模式的像素电路而言,由于第三晶体管T3的第一极与第二极的电压不同,因此在数据线和电压存储单元2之间会产生漏电流,进而会对Q点电压产生影响,当Q点电压远远偏离数据电压或调整电压时,则静态显示失败。

[0122] 为克服上述技术问题,本发明实施例三提供了一种像素电路。图5为本发明实施例三提供的一种像素电路的电路示意图,如图5所示,图5所示像素电路为基于图2所示像素电路的一种改进方案,图5所示的像素电路不但包括图2所示像素电路中的数据写入单元1、电压存储单元2、电压跟随单元3和液晶电容C1c,还包括第一电压补偿单元21、第二电压补偿单元22和第三电压补偿单元9。本实施例中的数据写入单元1、电压存储单元2和电压跟随单元3的具体结构,可参见上述实施例二中的描述,此处不再赘述。

[0123] 在图5中,第一电压补偿单元21设置于第五晶体管T5的第二极与存储电容Cst的第一端之间,用于在像素电路处于静态显示模式且第五晶体管T5处于截止状态时,防止在存储电容Cst的第一端与第一电源端4之间产生漏电流。第二电压补偿单元22设置于第六晶体管T6的第二极与存储电容Cst的第二端之间,用于在像素电路处于静态显示模式且第六晶体管T6处于截止状态时,防止在存储电容Cst的第二端与第一电源端4之间产生漏电流。

[0124] 本实施例中,通过设置第一电压补偿单元21和第二电压补偿单元22,可有效的解决第一电源端4与存储电容Cst的两端之间产生漏电流而导致存储电容Cst两端电压差持续增大或持续减小的问题。

[0125] 在图5中,第三电压补偿单元9设置于电压跟随单元3的输入端与第三晶体管T3的第二极之间,用于在第三晶体管T3处于截止状态时,防止在电压跟随单元3与数据线之间产生漏电流。

[0126] 本实施例中,通过设置第三补偿单元,可有效的解决数据线与电压存储单元2之间产生漏电流而导致电压存储单元2输出的电压远远偏离数据电压或调整电压的问题。

[0127] 进一步可选地,第一电压补偿单元21包括:第九晶体管T9和第十一晶体管T11。

[0128] 其中,第九晶体管T9的控制极与第一控制线S1连接,第九晶体管T9的第一极与第五晶体管T5的第二极和第十一晶体管T11的第二极连接,第九晶体管T9的第二极与存储电容Cst的第一极连接。

[0129] 第十一晶体管T11的控制极与第二控制线S2连接,第十一晶体管T11的第一极与第三电源端7连接,第十一晶体管T11的第二极与第五晶体管T5的第二极连接。

[0130] 第二电压补偿单元22包括:第十晶体管T10和第十二晶体管T12。

[0131] 第十晶体管T10的控制极与第二控制线S2连接,第十晶体管T10的第一极与第六晶体管T6的第二极和第十二晶体管T12的第二极连接,第十晶体管T10的第二极与存储电容Cst的第二极连接。

[0132] 第十二晶体管T12的控制极与第一控制线S1连接,第十二晶体管T12的第一极与第三电源端7连接,第十二晶体管T12的第二极与第六晶体管T6的第二极连接。

[0133] 第三电压补偿单元9包括:第二晶体管T2和第四晶体管T4。

[0134] 其中,第二晶体管T2的控制极与第三控制线S3连接,第二晶体管T2的第一极与第四晶体管T4的第二极和数据写入单元1连接,第二晶体管T2的第二极与电压存储单元2连接。

[0135] 第四晶体管T4的控制极与第四控制线S4连接,第四晶体管T4的第一极与第四电源端8连接。

[0136] 下面将结合附图来对图5所示像素电路在正常显示模式和静态显示模式时,对应的工作过程进行详细的描述。其中,假定第一晶体管T1~第十二晶体管T12均为N型晶体管,

第一电源端4提供参考电压 V_{ref} ,第二电源端5提供公共电压 V_{com} ,其中 $V_{com}=V_{ref}-V_{th}$, V_{th} 为第一晶体管T1的阈值电压,第三电源端7、第四电源端8和第五电源端9提供工作电压 V_{dd} ,工作电压 V_{dd} 大于2倍的参考电压 V_{ref} ,且大于数据线上能够加载的最大数据电压。

[0137] 图6为图5所示像素电路的工作时序图,如图6所示,该像素电路的工作过程同样包括上述实施例二中描述三个阶段:

[0138] 第一阶段,像素电路处于正常显示模式。此时,第一控制线S1输出高电平,第二控制线S2输出低电平,第三控制线S3输出高电平,第四控制线S4输出低电平。此时,第二晶体管T2、第三晶体管T3、第五晶体管T5、第八晶体管T8、第九晶体管T9和第十二晶体管T12导通,第四晶体管T4、第六晶体管T6、第七晶体管T7、第十晶体管T10和第十一晶体管T11截止。

[0139] 在第一阶段中,数据线通过第二晶体管T2、第三晶体管T3和第八晶体管T8将数据电压 V_{data} 写入至存储电容Cst的第二端,此时Q点和M点的电压均为 V_{data} 。第一电源端4通过第五晶体管T5和第九晶体管T9将参考电压 V_{ref} 写入至存储电容Cst的第一端,此时N点的电压为 V_{ref} 。存储电容Cst的两端电压差为 $V_{ref}-V_{data}$ 。

[0140] 此外,由于Q点电压为 V_{data} ,则P点电压为 $V_{data}-V_{th}$,液晶电容C_{lc}的两端电压差为 $V_{data}-V_{th}-V_{com}$ 。

[0141] 第二阶段,像素电路处于静态显示模式且对应第一极性显示阶段。此时,第一控制线S1输出高电平,第二控制线S2输出低电平,第三控制线S3输出低电平,第四控制线S4输出高电平。此时,第四晶体管T4、第五晶体管T5、第八晶体管T8、第九晶体管T9和第十二晶体管T12导通,第二晶体管T2、第三晶体管T3、第六晶体管T6、第七晶体管T7、第十晶体管T10和第十一晶体管T11截止。

[0142] 在第二阶段中,由于第五晶体管T5和第九晶体管T9导通,因此在第一电源端4的作用下,存储电容Cst的第一端电压维持在 V_{ref} ,即N点电压为 V_{ref} 。此外,由于第十二晶体管T12导通,则R点电压为 V_{dd} 。

[0143] 对于第六晶体管T6而言,虽然第六晶体管T6处于截止状态,但是由于R点的电压高于第一电源端4输出的参考电压 V_{ref} ,则第六晶体管T6中存在由第三电源端7流向第一电源端4的漏电流,从而有效避免了在存储电容Cst的第二端与第一电源端4之间产生漏电流。

[0144] 对于第十晶体管T10而言,虽然第十晶体管T10处于截止状态,但是由于R点的电压高于存储电容Cst的第二端的电压,则此时第十晶体管T10中存在由第三电源端7流向存储电容Cst的第二端的漏电流,此时存储电容Cst的第二端的电压会升高。

[0145] 与此同时,由于第四晶体管T4导通,则D点电压变为 V_{dd} 。对于第三晶体管T3而言,虽然第三晶体管T3处于截止状态,但是由于D点的电压高于数据线中加载的最大电压,则第三晶体管T3中存在由第四电源端8流向数据线的漏电流,从而有效避免了在数据线与第一电源端4之间产生漏电流。

[0146] 对于第二晶体管T2而言,虽然第二晶体管T2处于截止状态,但是由于D点的电压高于Q点电压,则此时第二晶体管T2中存在由第四电源端8流向Q点的漏电流,此时存储电容Cst的第二端的电压会升高。

[0147] 在本实施例中,假定在第二阶段中,通过第二晶体管T2和第十晶体管T10的漏电流使得存储电容Cst的第二端电压升高了 ΔV_m ,则第二阶段结束后,M点电压为 $V_{data}+\Delta V_m$,存储电容Cst的两端电压差为 $V_{ref}-V_{data}-\Delta V_m$ 。相较于第一阶段,存储电容Cst的两端电压差

在第二阶段会减小。

[0148] 由于, M点电压为 $V_{data} + \Delta V_m$, 则Q点电压为 $V_{data} + \Delta V_m$, P点电压为 $V_{data} + \Delta V_m - V_{th}$, 液晶电容 C_{lc} 的两端电压差为 $V_{data} + \Delta V_m - V_{th} - V_{com}$ 。

[0149] 第三阶段, 像素电路处于静态显示模式且对应第二极性显示阶段。此时, 第一控制线S1输出低电平, 第二控制线S2输出高电平, 第三控制线S3输出低电平, 第四控制线S4输出高电平。此时, 第四晶体管T4、第六晶体管T6、第七晶体管T7、第十晶体管T10和第十一晶体管T11导通, 第二晶体管T2、第三晶体管T3、第五晶体管T5、第八晶体管T8、第九晶体管T9和第十二晶体管T12截止。

[0150] 在第三阶段中, 由于第六晶体管T6和第十晶体管T10导通, 则使得存储电容 C_{st} 的第二端与第一电源端4连接, 此时存储电容 C_{st} 的第二端的电压变为 V_{ref} , 即M点电压变为 V_{ref} 。此时, 存储电容 C_{st} 为维持其自身两端电压差 $V_{ref} - V_{data} - \Delta V_m$ 不变, 则存储电容 C_{st} 的第一端的电压会进行自举, 存储电容 C_{st} 的第一端的电压跳变至 $2V_{ref} - V_{data} - \Delta V_m$, 即N点电压为 $2V_{ref} - V_{data} - \Delta V_m$ 。

[0151] 由于第五晶体管T5截止, 且第十一晶体管T11导通, 则S点电压为 V_{dd} 。对于第五晶体管T5而言, 虽然第五晶体管T5处于截止状态, 但是由于S点的电压高于第一电源端4输出的参考电压 V_{ref} , 则第五晶体管T5中存在由第三电源端7流向第一电源端4的漏电流, 从而有效避免了在存储电容 C_{st} 的第一端与第一电源端4之间产生漏电流。

[0152] 对于第九晶体管T9而言, 虽然第九晶体管T9处于截止状态, 但是由于S点的电压高于存储电容 C_{st} 的第一端的电压 (即N点电压 $2V_{ref} - V_{data} - \Delta V_m$), 则此时第九晶体管T9中存在由第三电源端7流向存储电容 C_{st} 的第一端的漏电流, 此时存储电容 C_{st} 的第一端的电压会升高。

[0153] 此外, 第三晶体管T3中存在由第四电源端8流向数据线的漏电流, 从而有效避免了在数据线与第一电源端4之间产生漏电流, 第二晶体管T2中存在由第四电源端8流向Q点的漏电流, 此时存储电容 C_{st} 的第一端的电压会升高。具体原理可参见上述对第二阶段的描述, 此处不再赘述。

[0154] 在本实施例中, 假定在第三阶段中, 通过第二晶体管T2和第九晶体管T9的漏电流使得存储电容 C_{st} 的第一端电压升高了 ΔV_n , 则第三阶段结束后, N点电压为 $2V_{ref} - V_{data} - \Delta V_m + \Delta V_n$, 存储电容 C_{st} 的两端电压差为 $V_{ref} - V_{data} - \Delta V_m + \Delta V_n$ 。相较于第二阶段, 存储电容 C_{st} 的两端电压差在第三阶段会增加。

[0155] 本实施例中, 优选地, 第三电源端7和第四电源端8输出的电压相等, 且第一极性显示阶段与第二极性显示阶段的持续时间相等, 此时可使得第二电压补偿单元和第三电压补偿单元在第一极性显示阶段对存储电容 C_{st} 的第二端的提升电压量 ΔV_m , 与第一电压补偿单元和第三电压补偿单元在第二极性显示阶段对存储电容 C_{st} 的第一端的提升电压量 ΔV_n 相等, 因此, 每执行一次第一极性显示阶段和第二极性显示阶段之后, 存储电容 C_{st} 的两端电压差会恢复至 $V_{ref} - V_{data}$, 从而可有效的防止存储电容 C_{st} 的两端电压差持续增大或持续减小的问题, 进而保证了该像素电路能够长时间的进行静态显示。

[0156] 需要说明的是, 在实际应用中, 由于漏电流为微小电流, 因此存储电容 C_{st} 的第二端在第一极性显示阶段时所提升电压量 ΔV_m 为一个较小值, 存储电容 C_{st} 的第一端在第二极性显示阶段时所提升电压量 ΔV_n 也为一个较小值, 其不会对电压存储单元2所输出的数

据电压或调整电压产生明显影响,即液晶电容C1c的两端电压差所对应的显示灰阶也不会存在明显变化。对于用户而言,该像素电路在静态显示过程中的显示灰阶没有发生变化。

[0157] 本发明实施例三提供的像素电路不仅能够实现液晶电容的两端电压差的极性反转,还能实现长时间的静态显示。

[0158] 需要说明的是,在上述各实施例中,晶体管的控制极具体是指晶体管的栅极,晶体管的第一极和第二极分别是指晶体管的源极和漏极。其中,当第一极为晶体管的源极时,则第二极为晶体管的漏极;当第一极为晶体管的漏极时,则第一极为晶体管的源极。

[0159] 实施例四

[0160] 图7为本发明实施例四提供的一种像素电路的驱动方法的流程图,如图7所示,该像素电路的采用上述实施例一、实施例二或实施例三中提供的像素电路,具体结构可参见上述实施例一、实施例二和实施例三中的内容。该像素电路的驱动方法包括:

[0161] 步骤101、在正常显示模式时,数据写入单元将数据线上的数据电压发送至电压存储单元和电压跟随单元的输入端,电压跟随单元根据数据电压输出相应的数据输出电压,以供液晶电容产生相应的液晶偏转电场。

[0162] 步骤102、在静态显示模式时,电压存储单元将数据电压或调整电压发送至电压跟随单元的输入端,电压跟随单元根据数据电压或调整电压输出相应的数据输出电压,以供液晶电容产生相应的液晶偏转电场。

[0163] 可选地,在步骤102中,电压存储单元将数据电压和调整电压交替发送至电压跟随单元,以供液晶电容的两端电压差实现极性反转。

[0164] 对于本实施例中步骤101和步骤102的具体描述,可参见上述实施例一~实施例三中的相应内容,此处不再赘述。

[0165] 实施例五

[0166] 本发明实施例五提供了一种显示面板,该显示面板包括若干个像素电路,该像素电路采用上述实施例一至实施例三中提供的像素电路,该显示面板能够实现彩色画面的静态显示。

[0167] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

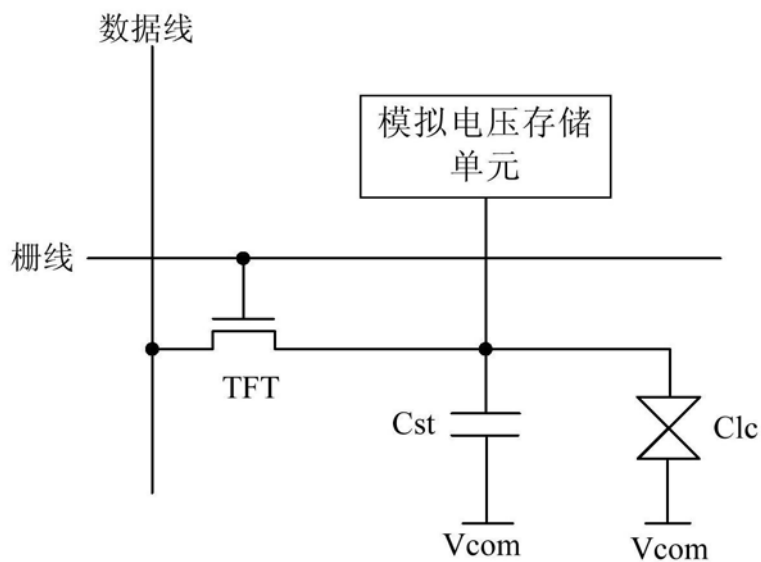


图1

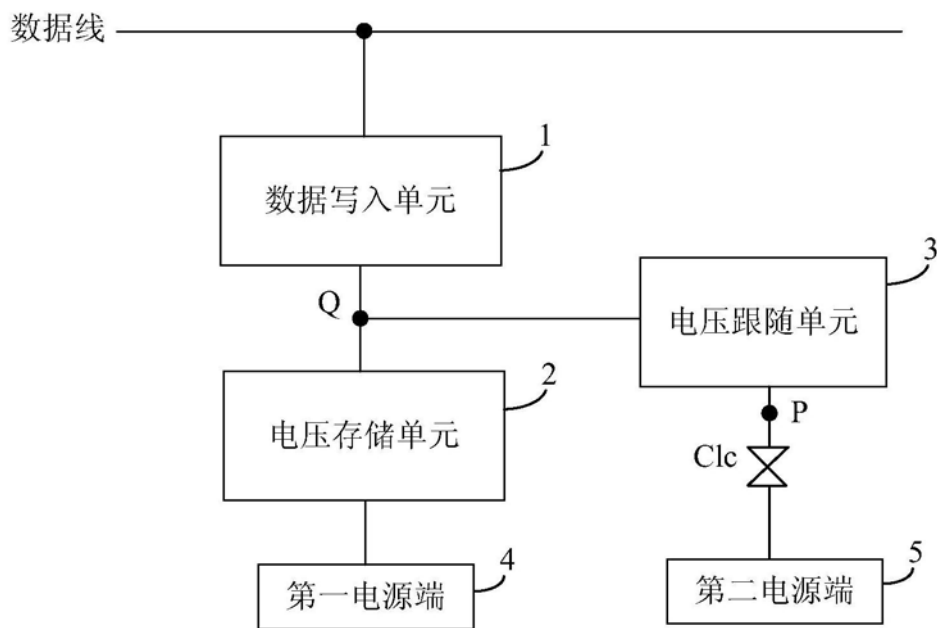


图2

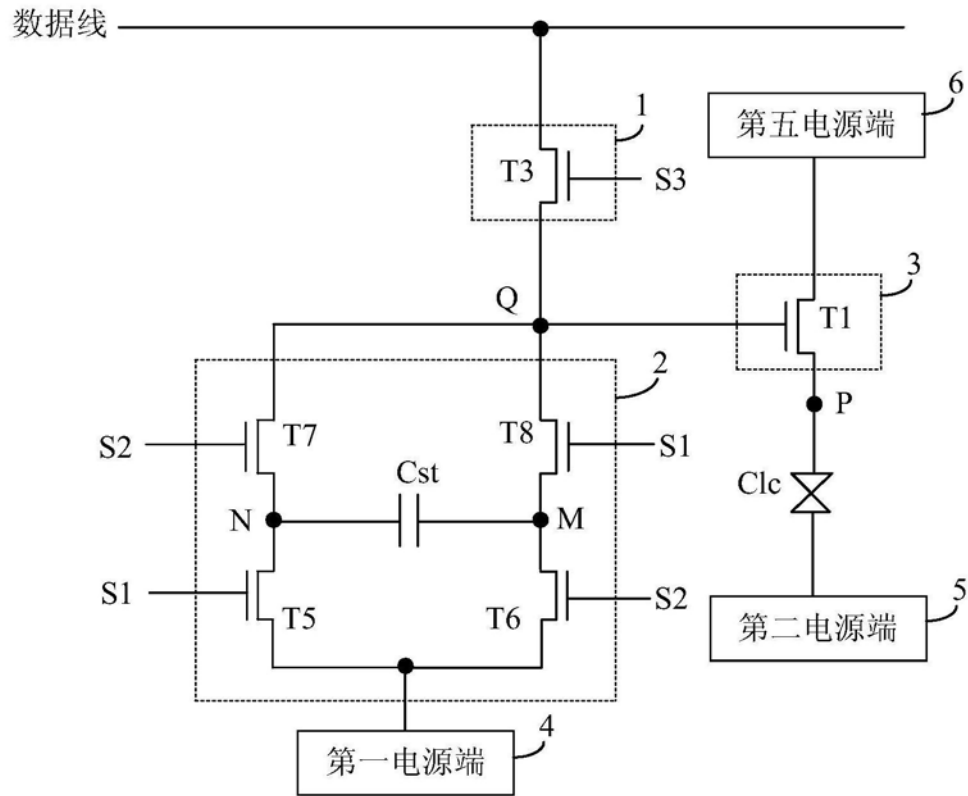


图3

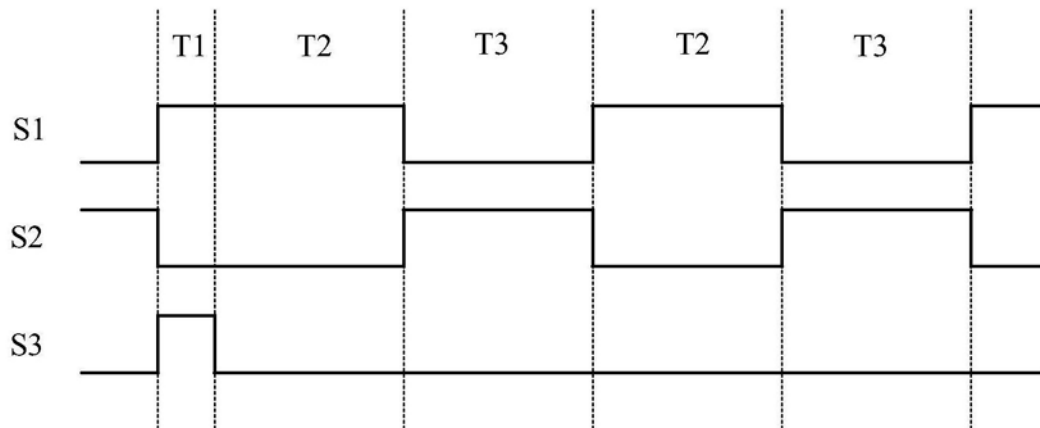


图4

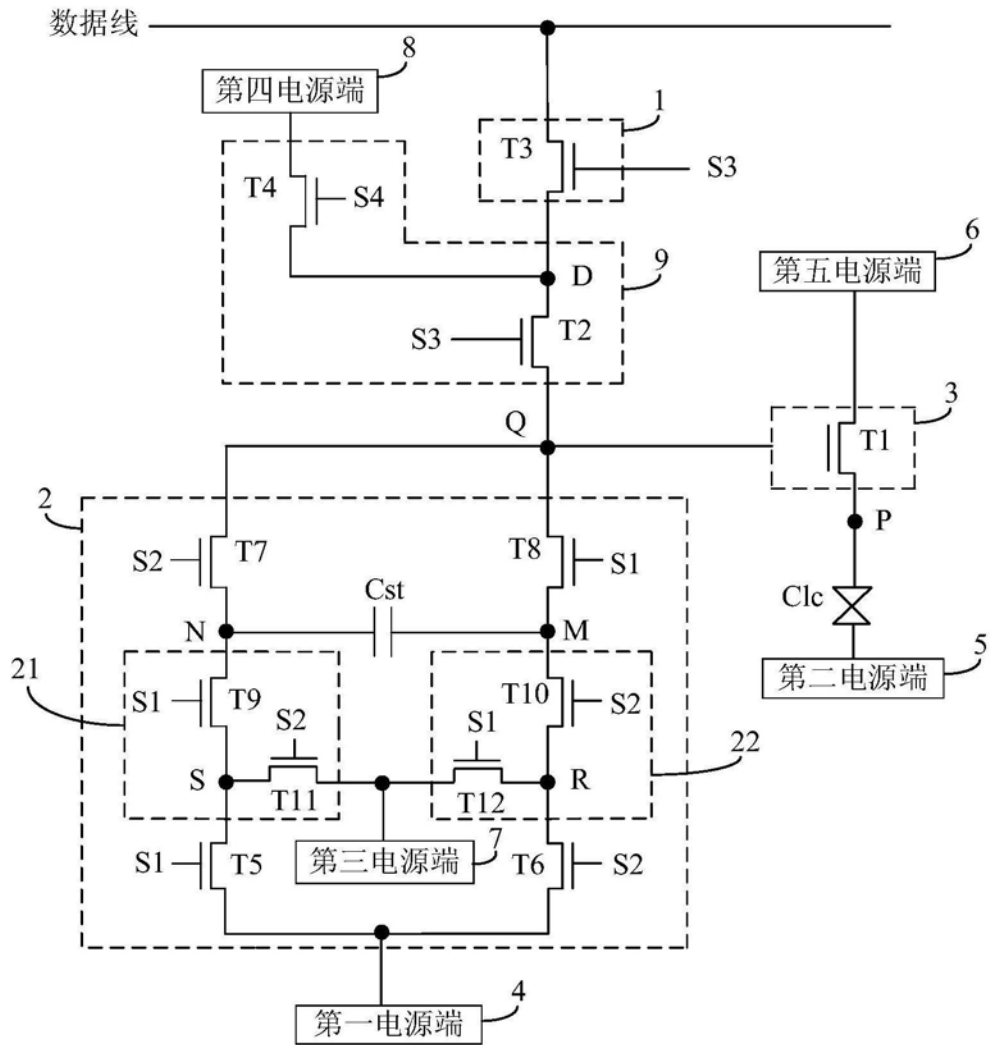


图5

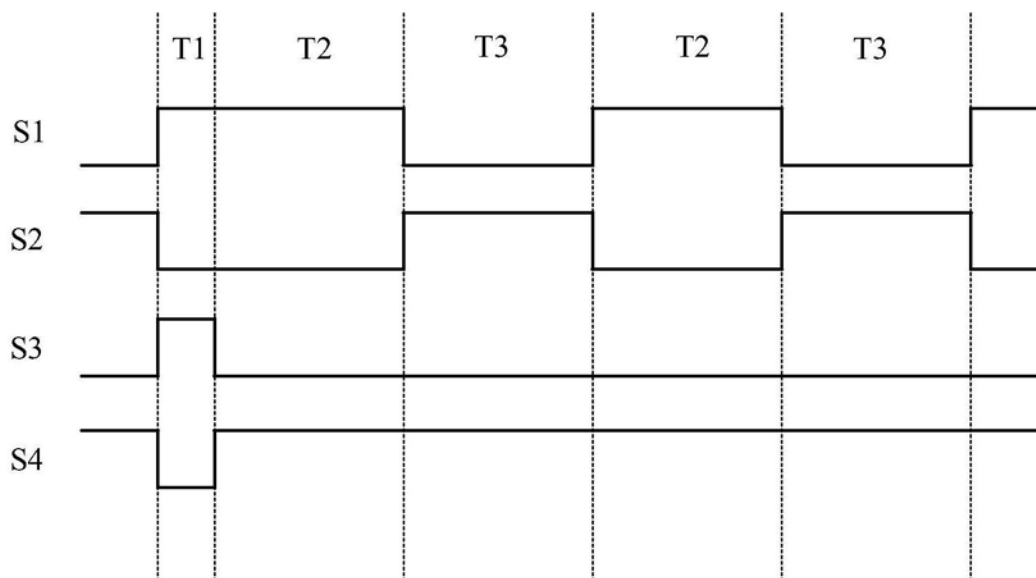


图6

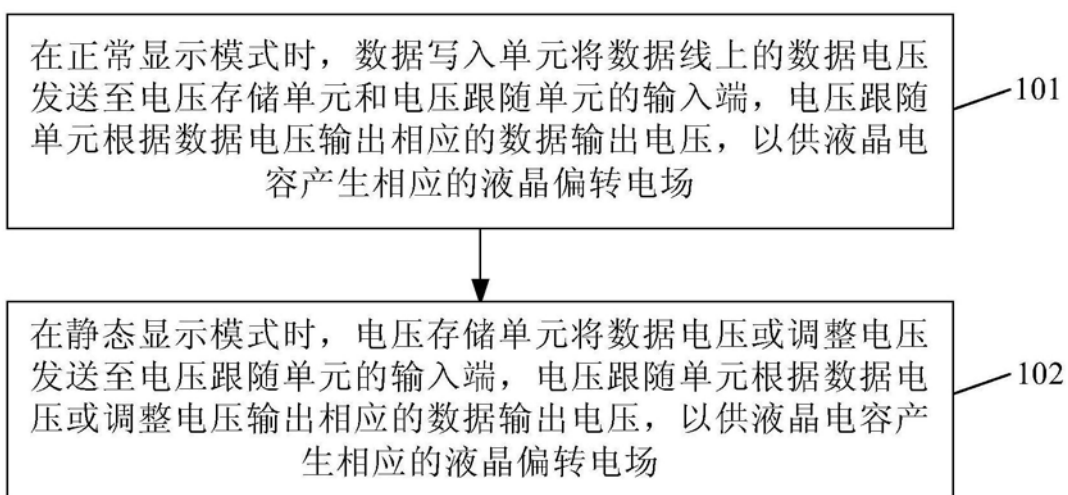


图7

专利名称(译)	像素电路及其驱动方法、显示面板		
公开(公告)号	CN105632440B	公开(公告)日	2018-10-23
申请号	CN201610019077.2	申请日	2016-01-12
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	谭文 陈佳		
发明人	谭文 陈佳		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3651 G09G3/3614 G09G3/3648 G09G2300/0452 G09G2300/0482 G09G2300/0823 G09G2300/0842 G09G2310/08 G09G2320/0204 G09G2320/0214 G09G2320/0242 G09G2320/0295 G09G2320/103 G09G2330/021		
代理人(译)	汪源 陈源		
其他公开文献	CN105632440A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路及其驱动方法、显示面板，该像素电路包括：数据写入单元、电压存储单元、电压跟随单元和液晶电容，其中，数据写入单元用于在像素电路处于正常显示模式时，将数据线上的数据电压发送至电压存储单元和电压跟随单元；电压存储单元用于在像素电路处于正常显示模式时将数据电压进行存储，以及在像素电路处于静态显示模式时，将数据电压或调整电压发送至电压跟随单元的输入端；电压跟随单元用于根据电压存储单元提供的数据电压或调整电压输出相应的数据输出电压，以供液晶电容产生相应的液晶偏转电场。本发明的技术方案可实现显示面板对彩色画面的静态显示。

