



(12) 发明专利申请

(10) 申请公布号 CN 103946741 A

(43) 申请公布日 2014. 07. 23

(21) 申请号 201280055897. 7

(22) 申请日 2012. 11. 12

(30) 优先权数据

2011-253341 2011. 11. 18 JP

(85) PCT国际申请进入国家阶段日

2014. 05. 14

(86) PCT国际申请的申请数据

PCT/JP2012/079258 2012. 11. 12

(87) PCT国际申请的公布数据

W02013/073495 JA 2013. 05. 23

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 守屋由瑞 中西登

(74) 专利代理机构 北京市隆安律师事务所

11323

代理人 权鲜枝

(51) Int. Cl.

G02F 1/1368 (2006. 01)

G02F 1/1343 (2006. 01)

G09F 9/30 (2006. 01)

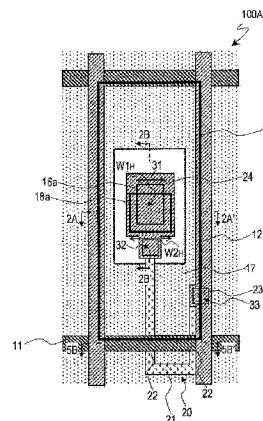
权利要求书3页 说明书14页 附图21页

(54) 发明名称

有源矩阵基板、液晶显示装置以及有源矩阵基板的制造方法

(57) 摘要

有源矩阵基板 (100A) 具备: 薄膜晶体管 (20); 扫描配线 (11), 其与第 1 方向大致平行; 信号配线 (12), 其与正交于第 1 方向的第 2 方向大致平行; 第 1 层间绝缘层 (16), 其覆盖薄膜晶体管; 下层电极 (17), 其设置在第 1 层间绝缘层上; 电介质层 (18), 其设置在下层电极上; 以及上层电极 (19), 其隔着电介质层与下层电极的至少一部分重叠。用于将上层电极与薄膜晶体管的漏极电极 (24) 电连接的第 1 接触孔 (31) 包含: 第 1 开口部 (16a), 其形成于第 1 层间绝缘层; 以及第 2 开口部 (18a), 其形成于电介质层。第 1 开口部的沿着第 1 方向和第 2 方向中的一个方向的宽度比第 2 开口部的沿着上述一个方向的宽度小。从基板的法线方向观看时, 第 2 开口部的轮廓的一部分位于第 1 开口部的轮廓的内侧。



1. 一种有源矩阵基板,具备:

基板;

薄膜晶体管,其支撑于上述基板,具有半导体层、栅极电极、源极电极以及漏极电极;

扫描配线,其与第1方向大致平行地延伸设置,与上述薄膜晶体管的上述栅极电极电连接;

信号配线,其与正交于上述第1方向的第2方向大致平行地延伸设置,与上述薄膜晶体管的上述源极电极电连接;

第1层间绝缘层,其以覆盖上述薄膜晶体管的方式设置;

下层电极,其设置在上述第1层间绝缘层上;

电介质层,其设置在上述下层电极上;以及

上层电极,其设置在上述电介质层上,隔着上述电介质层与上述下层电极的至少一部分重叠,

在上述第1层间绝缘层和上述电介质层中形成有第1接触孔,该第1接触孔使上述漏极电极的一部分露出,用于将上述上层电极与上述漏极电极电连接,

上述第1接触孔包含形成于上述第1层间绝缘层的第1开口部和形成于上述电介质层的第2开口部,

上述第1开口部的沿着上述第1方向和上述第2方向中的一个方向的宽度比上述第2开口部的沿着上述一个方向的宽度小,

从上述基板的法线方向观看时,上述第2开口部的轮廓的一部分位于上述第1开口部的轮廓的内侧。

2. 根据权利要求1所述的有源矩阵基板,

从上述基板的法线方向观看时,上述第1开口部和上述第2开口部各自的轮廓是矩形。

3. 根据权利要求2所述的有源矩阵基板,

从上述基板的法线方向观看时,上述第2开口部的轮廓包含与上述一个方向大致平行的2个边,上述2个边中的一边部分地位于上述第1开口部的轮廓的内侧。

4. 根据权利要求2所述的有源矩阵基板,

从上述基板的法线方向观看时,上述第2开口部的轮廓包含与上述一个方向大致平行的2个边,上述2个边均部分地位于上述第1开口部的轮廓的内侧。

5. 根据权利要求1、2或4中的任一项所述的有源矩阵基板,

上述第1开口部的沿着上述第1方向和上述第2方向中的另一个方向的宽度比上述第2开口部的沿着上述另一个方向的宽度大。

6. 根据权利要求1至5中的任一项所述的有源矩阵基板,

在上述第1接触孔内,上述上层电极与上述漏极电极接触。

7. 根据权利要求1至5中的任一项所述的有源矩阵基板,

还具备连接电极,由同一导电膜形成上述连接电极与上述下层电极,

在上述第1接触孔内,上述连接电极与上述漏极电极接触,上述上层电极与上述连接电极接触。

8. 根据权利要求1至7中的任一项所述的有源矩阵基板,还具备:

栅极绝缘层,其设置在上述半导体层和上述栅极电极之间;以及

第 2 层间绝缘层,其以覆盖上述栅极电极或者上述半导体层的方式设置,

在上述栅极绝缘层和上述第 2 层间绝缘层中的至少上述第 2 层间绝缘层中形成有第 2 接触孔,该第 2 接触孔使上述半导体层的一部分露出,用于将上述漏极电极与上述半导体层电连接,

从上述基板的法线方向观看时,上述第 2 接触孔的至少一部分与上述第 1 接触孔重叠。

9. 根据权利要求 8 所述的有源矩阵基板,

从上述基板的法线方向观看时,上述第 1 接触孔的中心和上述第 2 接触孔的中心错开。

10. 根据权利要求 1 至 9 中的任一项所述的有源矩阵基板,

上述上层电极和上述下层电极均由透明的导电材料形成。

11. 根据权利要求 1 至 10 中的任一项所述的有源矩阵基板,

上述第 1 开口部的沿着上述第 1 方向的宽度比上述第 2 开口部的沿着上述第 1 方向的宽度小。

12. 一种液晶显示装置,

具备:

权利要求 1 至 11 中的任一项所述的有源矩阵基板;

相对基板,其以与上述有源矩阵基板相对的方式配置;以及

液晶层,其设置在上述有源矩阵基板和上述相对基板之间。

13. 根据权利要求 12 所述的液晶显示装置,

具有矩阵状配置的多个像素,

上述上层电极作为像素电极发挥功能。

14. 根据权利要求 13 所述的液晶显示装置,

上述上层电极具有多个狭缝。

15. 根据权利要求 12 至 14 中的任一项所述的液晶显示装置,

上述下层电极、上述电介质层以及上述上层电极构成辅助电容。

16. 一种有源矩阵基板的制造方法,

上述有源矩阵基板具备:

薄膜晶体管,其具有半导体层、栅极电极、源极电极以及漏极电极;

扫描配线,其与第 1 方向大致平行地延伸设置,与上述薄膜晶体管的上述栅极电极电连接;以及

信号配线,其与正交于上述第 1 方向的第 2 方向大致平行地延伸设置,与上述薄膜晶体管的上述源极电极电连接;

上述有源矩阵基板的制造方法包含:

工序 (A),在基板上形成上述薄膜晶体管;

工序 (B),形成层间绝缘层,该层间绝缘膜覆盖上述薄膜晶体管,具有第 1 开口部;

工序 (C),在上述层间绝缘层上形成下层电极;

工序 (D),在上述下层电极上形成具有第 2 开口部的电介质层;以及

工序 (E),在上述电介质层上形成上层电极,该上层电极隔着上述电介质层与上述下层电极的至少一部分重叠,在包含上述第 1 开口部和上述第 2 开口部的接触孔中与上述漏极电极电连接,

上述工序 (B) 和上述工序 (D) 以如下方式执行 :使得上述第 1 开口部的沿着上述第 1 方向和上述第 2 方向中的一个方向的宽度比上述第 2 开口部的沿着上述一个方向的宽度小,且从上述基板的法线方向观看时,上述第 2 开口部的轮廓的一部分位于上述第 1 开口部的轮廓的内侧。

有源矩阵基板、液晶显示装置以及有源矩阵基板的制造方法

技术领域

[0001] 本发明涉及有源矩阵基板,特别是,涉及具有包含上层电极和下层电极的2层结构电极的有源矩阵基板。另外,本发明涉及具备这种有源矩阵基板的液晶显示装置、这种有源矩阵基板的制造方法。

背景技术

[0002] 液晶显示装置具有薄型且低功耗的特征,广泛用于各种各样的领域。特别是,有源矩阵型液晶显示装置具有高对比度比和优异的响应特性,是高性能的,因此用于电视机、监视器、笔记本电脑,近年来,其市场规模在扩大。

[0003] 有源矩阵型液晶显示装置一般具备:有源矩阵基板(有时也被称为“TFT基板”),其按每个像素形成有薄膜晶体管(TFT)作为开关元件;相对基板(有时也被称为“彩色滤光片基板”),其形成有彩色滤光片等;以及液晶层,其设置在有源矩阵基板和相对基板之间。将与电连接于薄膜晶体管的像素电极和共用电极的电位差相应的电场施加到液晶层,利用该电场使液晶层中的液晶分子的取向状态变化,由此能够控制各像素的光透射率来进行显示。

[0004] 在有源矩阵型液晶显示装置中,根据其用途已提出并采用各种各样的显示模式。作为显示模式,可以举出TN(Twisted Nematic:扭曲向列)模式、VA(Vertical Alignment:垂直取向)模式、IPS(In-Plane-Switching:面内开关)模式、FFS(Fringe Field Switching:边缘场开关)模式等。

[0005] 在一部分显示模式中,在有源矩阵基板中采用“2层电极结构”。2层电极结构是如下结构:其在覆盖薄膜晶体管的层间绝缘层上设置下层电极、覆盖下层电极的电介质层以及隔着电介质层与下层电极重叠的上层电极。例如,在一般的FFS模式中,如专利文献1所公开的那样,设置共用电极作为下层电极,设置形成有多个狭缝的像素电极作为上层电极。共用电极和像素电极均由透明的导电材料形成。此外,如专利文献2所公开的那样,在FFS模式中也已知如下构成:设置像素电极作为下层电极,设置形成有多个狭缝的共用电极作为上层电极。

[0006] 另外,出于在后面详述的理由,不论哪种显示模式(即在VA模式等中),都可以考虑采用2层电极结构。

[0007] 在采用上层电极为像素电极的2层电极结构的情况下,为了将像素电极和薄膜晶体管的漏极电极电连接,需要将用于使漏极电极的一部分露出的开口部形成于覆盖薄膜晶体管的层间绝缘层和位于电极间的电介质层两者。以在包含层间绝缘层的开口部和电介质层的开口部的接触孔内与漏极电极接触的方式形成像素电极,由此能够将像素电极与漏极电极电连接。

[0008] 在该情况下,形成电介质层的开口部时的蚀刻会导致层间绝缘层的开口部的锥形部(倾斜侧面)也被挖掘,接触孔的侧面形状变陡。因此,厚度相对较小的像素电极有时在

接触孔内断线（被称为“断开”）。因此，为了避免像素电极的断开所伴有的连接不良，电介质层的开口部形成在从基板的法线方向观看时其整体位于层间绝缘层的开口部的内侧。

[0009] 现有技术文献

[0010] 专利文献

[0011] 专利文献 1：特开 2002-182230 号公报

[0012] 专利文献 2：特开 2011-53443 号公报

发明内容

[0013] 发明要解决的问题

[0014] 然而，电介质层的蚀刻膜厚较大，因此，电介质层的开口部在基板面内方向的完成直径容易较大。因此，对于将电介质层的开口部包含在其内侧的、层间绝缘层的开口部，也必然需要使其直径变大。

[0015] 另一方面，漏极电极不仅是发挥与像素电极电连接的作用，还发挥对层间绝缘层的开口部的锥形部附近的、液晶分子的取向发生了紊乱的区域进行遮光的作用。因此，若层间绝缘层的开口部的直径扩大，则也需要扩大漏极电极的尺寸。

[0016] 漏极电极典型的是与信号配线为同层（即是通过相同导电膜进行图案化而形成的）。因此，若在精细度高的液晶显示装置中，采用水平方向的像素间距与垂直方向的像素间距之比（H/V 比）为 1:3 的标准的像素构成，则在漏极电极的尺寸因上述的理由而较大的情况下，无法充分地确保水平方向的同层间空间。因此，产生对精细度的限制，高精细度的制造变得困难。具体地说，像素密度为 370ppi 以上的制造变得困难。

[0017] 本发明是鉴于上述问题而完成的，其目的在于，提供尽管具有 2 层电极结构也能以比以往高的精细度制造的有源矩阵基板。

[0018] 用于解决问题的方案

[0019] 本发明的实施方式的有源矩阵基板具备：基板；薄膜晶体管，其支撑于上述基板，具有半导体层、栅极电极、源极电极以及漏极电极；扫描配线，其与第 1 方向大致平行地延伸设置，与上述薄膜晶体管的上述栅极电极电连接；信号配线，其与正交于上述第 1 方向的第 2 方向大致平行地延伸设置，与上述薄膜晶体管的上述源极电极电连接；第 1 层间绝缘层，其以覆盖上述薄膜晶体管的方式设置；下层电极，其设置在上述第 1 层间绝缘层上；电介质层，其设置在上述下层电极上；以及上层电极，其设置在上述电介质层上，隔着上述电介质层与上述下层电极的至少一部分重叠，在上述第 1 层间绝缘层和上述电介质层中形成有第 1 接触孔，该第 1 接触孔使上述漏极电极的一部分露出，用于将上述上层电极与上述漏极电极电连接，上述第 1 接触孔包含形成于上述第 1 层间绝缘层的第 1 开口部和形成于上述电介质层的第 2 开口部，上述第 1 开口部的沿着上述第 1 方向和上述第 2 方向中的一个方向的宽度比上述第 2 开口部的沿着上述一个方向的宽度小，从上述基板的法线方向观看时，上述第 2 开口部的轮廓的一部分位于上述第 1 开口部的轮廓的内侧。

[0020] 在某优选的实施方式中，从上述基板的法线方向观看时，上述第 1 开口部和上述第 2 开口部各自的轮廓是矩形。

[0021] 在某优选的实施方式中，从上述基板的法线方向观看时，上述第 2 开口部的轮廓包含与上述一个方向大致平行的 2 个边，上述 2 个边中的一边部分地位于上述第 1 开口部

的轮廓的内侧。

[0022] 在某优选的实施方式中,从上述基板的法线方向观看时,上述第 2 开口部的轮廓包含与上述一个方向大致平行的 2 个边,上述 2 个边均部分地位于上述第 1 开口部的轮廓的内侧。

[0023] 在某优选的实施方式中,上述第 1 开口部的沿着上述第 1 方向和上述第 2 方向中的另一个方向的宽度比上述第 2 开口部的沿着上述另一个方向的宽度大。

[0024] 在某优选的实施方式中,在上述第 1 接触孔内,上述上层电极与上述漏极电极接触。

[0025] 在某优选的实施方式中,根据本发明的有源矩阵基板还具备连接电极,由同一导电膜形成上述连接电极与上述下层电极,在上述第 1 接触孔内,上述连接电极与上述漏极电极接触,上述上层电极与上述连接电极接触。

[0026] 在某优选的实施方式中,根据本发明的有源矩阵基板还具备:栅极绝缘层,其设置在上述半导体层和上述栅极电极之间;以及第 2 层间绝缘层,其以覆盖上述栅极电极或者上述半导体层的方式设置,在上述栅极绝缘层和上述第 2 层间绝缘层中的至少上述第 2 层间绝缘层中形成有第 2 接触孔,该第 2 接触孔使上述半导体层的一部分露出,用于将上述漏极电极与上述半导体层电连接,从上述基板的法线方向观看时,上述第 2 接触孔的至少一部分与上述第 1 接触孔重叠。

[0027] 在某优选的实施方式中,从上述基板的法线方向观看时,上述第 1 接触孔的中心和上述第 2 接触孔的中心错开。

[0028] 在某优选的实施方式中,上述上层电极和上述下层电极均由透明的导电材料形成。

[0029] 在某优选的实施方式中,上述第 1 开口部的沿着上述第 1 方向的宽度比上述第 2 开口部的沿着上述第 1 方向的宽度小。

[0030] 根据本发明的液晶显示装置具备:有源矩阵基板,其具有上述构成;相对基板,其以与上述有源矩阵基板相对的方式配置;以及液晶层,其设置在上述有源矩阵基板和上述相对基板之间。

[0031] 在某优选的实施方式中,根据本发明的液晶显示装置具有矩阵状配置的多个像素,上述上层电极作为像素电极发挥功能。

[0032] 在某优选的实施方式中,上述上层电极具有多个狭缝。

[0033] 在某优选的实施方式中,上述下层电极、上述电介质层以及上述上层电极构成辅助电容。

[0034] 在某优选的实施方式中,根据本发明的液晶显示装置以 VA 模式进行显示。

[0035] 在某优选的实施方式中,根据本发明的液晶显示装置以 FFS 模式进行显示。

[0036] 本发明的实施方式的有源矩阵基板的制造方法是如下有源矩阵基板的制造方法,上述有源矩阵基板具备:薄膜晶体管,其具有半导体层、栅极电极、源极电极以及漏极电极;扫描配线,其与第 1 方向大致平行地延伸设置,与上述薄膜晶体管的上述栅极电极电连接;以及信号配线,其与正交于上述第 1 方向的第 2 方向大致平行地延伸设置,与上述薄膜晶体管的上述源极电极电连接;上述有源矩阵基板的制造方法包含:工序(A),在基板上形成上述薄膜晶体管;工序(B),形成层间绝缘层,该层间绝缘膜覆盖上述薄膜晶体管,具有第 1 开

口部；工序 (C)，在上述层间绝缘层上形成下层电极；工序 (D)，在上述下层电极上形成具有第 2 开口部的电介质层；以及工序 (E)，在上述电介质层上形成上层电极，该上层电极隔着上述电介质层与上述下层电极的至少一部分重叠，在包含上述第 1 开口部和上述第 2 开口部的接触孔中与上述漏极电极电连接，上述工序 (B) 和上述工序 (D) 以如下方式执行：使得上述第 1 开口部的沿着上述第 1 方向和上述第 2 方向中的一个方向的宽度比上述第 2 开口部的沿着上述一个方向的宽度小，且从上述基板的法线方向观看时，上述第 2 开口部的轮廓的一部分位于上述第 1 开口部的轮廓的内侧。

[0037] 发明效果

[0038] 根据本发明的实施方式，能够提供尽管具有 2 层电极结构也能以比以往高的精细度制造的有源矩阵基板。

附图说明

[0039] 图 1 是示意性地示出本发明的优选的实施方式的有源矩阵基板 100A 的图，是示出与 1 个像素对应的区域的俯视图。

[0040] 图 2 是示意性地示出本发明的优选的实施方式的有源矩阵基板 100A 的图，(a) 是沿着图 1 中的 2A-2A' 线的截面图，(b) 是沿着图 1 中的 2B-2B' 线的截面图。

[0041] 图 3 是示意性地示出比较例的有源矩阵基板 1000 的图，是示出与 1 个像素对应的区域的俯视图。

[0042] 图 4 是示意性地示出比较例的有源矩阵基板 1000 的图，是沿着图 3 中的 4A-4A' 线的截面图。

[0043] 图 5 是用于说明有源矩阵基板 100A 的制造方法的工序截面图，(a1) ~ (a3) 与沿着图 1 中的 2A-2A' 线的截面对应，(b1) ~ (b3) 与沿着图 1 中的 5B-5B' 线的截面对应。

[0044] 图 6 是用于说明有源矩阵基板 100A 的制造方法的工序截面图，(a1) ~ (a3) 与沿着图 1 中的 2A-2A' 线的截面对应，(b1) ~ (b3) 与沿着图 1 中的 5B-5B' 线的截面对应。

[0045] 图 7 是用于说明有源矩阵基板 100A 的制造方法的工序截面图，(a1) 和 (a2) 与沿着图 1 中的 2A-2A' 线的截面对应，(b1) 和 (b2) 与沿着图 1 中的 5B-5B' 线的截面对应。

[0046] 图 8 是用于说明有源矩阵基板 100A 的制造方法的工序截面图，(a1) 和 (a2) 与沿着图 1 中的 2A-2A' 线的截面对应，(b1) 和 (b2) 与沿着图 1 中的 5B-5B' 线的截面对应。

[0047] 图 9 是示意性地示出本发明的优选的实施方式的有源矩阵基板 100B 的图，是示出与 1 个像素对应的区域的俯视图。

[0048] 图 10 是示意性地示出本发明的优选的实施方式的有源矩阵基板 100B 的图，(a) 是沿着图 9 中的 10A-10A' 线的截面图，(b) 是沿着图 9 中的 10B-10B' 线的截面图。

[0049] 图 11 是示意性地示出本发明的优选的实施方式的有源矩阵基板 100C 的图，是示出与 1 个像素对应的区域的俯视图。

[0050] 图 12 是示意性地示出本发明的优选的实施方式的有源矩阵基板 100C 的图，(a) 是沿着图 11 中的 12A-12A' 线的截面图，(b) 是沿着图 11 中的 12B-12B' 线的截面图。

[0051] 图 13 是示意性地示出本发明的优选的实施方式的有源矩阵基板 100D 的图，是示出与 1 个像素对应的区域的俯视图。

[0052] 图 14 是示意性地示出本发明的优选的实施方式的有源矩阵基板 100D 的图，(a) 是

沿着图 13 中的 14A-14A' 线的截面图, (b) 是沿着图 13 中的 14B-14B' 线的截面图。

[0053] 图 15 是示意性地示出可使用本发明的优选的实施方式的有源矩阵基板 100A ~ 100D 的液晶显示装置 200 的截面图。

[0054] 图 16 是示出液晶显示装置 200 采用 VA 模式的情况下的像素结构的例子的图, 是示出与 1 个像素对应的区域的俯视图。

[0055] 图 17 是示出液晶显示装置 200 采用 VA 模式的情况下的像素结构的其它例子的图, 是示出与 1 个像素对应的区域的俯视图。

[0056] 图 18 是示出液晶显示装置 200 采用 VA 模式的情况下的像素结构的又一其它例子的图, 是示出与 1 个像素对应的区域的俯视图。

[0057] 图 19 是示出液晶显示装置 200 采用 VA 模式的情况下的像素结构的又一其它例子的图, 是示出与 1 个像素对应的区域的俯视图。

[0058] 图 20 是示出液晶显示装置 200 采用 FFS 模式的情况下的像素结构的例子的图, 是示出与 1 个像素对应的区域的俯视图。

[0059] 图 21 是示出液晶显示装置 200 采用 FFS 模式的情况下的像素结构的其它例子的图, 是示出与 1 个像素对应的区域的俯视图。

具体实施方式

[0060] 以下, 一边参照附图, 一边说明本发明的实施方式。此外, 本发明不限于以下的实施方式。

[0061] (实施方式 1)

[0062] 图 1 和图 2 示出本实施方式的有源矩阵基板 100A。图 1 是示意性地示出有源矩阵基板 100A 的俯视图, 图 2(a) 和图 2(b) 分别是沿着图 1 中的 2A-2A' 线和 2B-2B' 线的截面图。

[0063] 有源矩阵基板 100A 用于以 VA 模式进行显示的液晶显示装置。液晶显示装置具有矩阵状配置的多个像素, 图 1 示出与液晶显示装置的 1 个像素对应的区域。

[0064] 如图 1、图 2(a) 以及图 2(b) 所示, 有源矩阵基板 100A 具备基板 10、薄膜晶体管 (TFT) 20、扫描配线 11 以及信号配线 12。

[0065] 基板 10 透明且具有绝缘性。基板 10 典型的是玻璃基板。

[0066] TFT20 支撑于基板 10。TFT20 具有半导体层 21、栅极电极 22、源极电极 23 以及漏极电极 24。本实施方式的 TFT20 是顶栅型 TFT。另外, TFT20 为具有 2 个栅极 (即设置有 2 个栅极电极 22) 的所谓双栅极结构。

[0067] 扫描配线 (有时也被称为“栅极总线”) 11 与某方向 (第 1 方向) 大致平行地延伸设置。在本实施方式中, 第 1 方向是液晶显示装置的显示面的水平方向。扫描配线 11 与 TFT20 的栅极电极 22 电连接。

[0068] 信号配线 (有时也被称为“源极总线”) 12 与正交于第 1 方向的方向 (第 2 方向) 大致平行地延伸设置。在本实施方式中, 第 2 方向是液晶显示装置的显示面的垂直方向。信号配线 12 与 TFT20 的源极电极 23 电连接。

[0069] 在基板 10 的表面形成有底涂层 13, 在底涂层 13 上设置有 TFT20 的半导体层 21。作为半导体层 21 的材料, 能够使用公知的各种半导体材料, 例如能够使用非晶硅、多晶硅、

连续晶粒硅 (CGS :Continuous Grain Silicon) 等。另外,也可以使用 In-Ga-Zn-O 类半导体 (IGZO) 等氧化物半导体。

[0070] 以覆盖半导体层 21 的方式形成有栅极绝缘层 14,在栅极绝缘层 14 上设置有扫描配线 11 和栅极电极 22。即,栅极绝缘层 14 设置在半导体层 21 和栅极电极 22 之间。在本实施方式中,扫描配线 11 的与半导体层 21 重叠的部分作为栅极电极 22 发挥功能。

[0071] 以覆盖扫描配线 11、栅极电极 22 的方式设置有层间绝缘层 15,在层间绝缘层 15 上设置有信号配线 12、源极电极 23 以及漏极电极 24。在栅极绝缘层 14 和层间绝缘层 15 中形成有使半导体层 21 的一部分露出的接触孔 32 和 33。作为前者的接触孔 32 用于将漏极电极 24 与半导体层 21 电连接。在本实施方式中,在接触孔 32 内,漏极电极 24 与半导体层 21 接触,由此,半导体层 21 和漏极电极 24 相互电连接。作为后者的接触孔 33 用于将源极电极 23 与半导体层 21 电连接。在本实施方式中,在接触孔 33 内,源极电极 23 与半导体层 21 接触,由此,半导体层 21 和源极电极 23 相互电连接。

[0072] 如图 1、图 2(a) 以及图 2(b) 所示,有源矩阵基板 100A 还具备层间绝缘层 16、下层电极 17、电介质层 18 以及上层电极 19。

[0073] 层间绝缘层 16 以覆盖 TFT20 的方式设置。更具体地说,层间绝缘层 16 形成在信号配线 12、源极电极 23、漏极电极 24 等之上。以下,将相对位于上侧的层间绝缘层 16 称为“第 1 层间绝缘层”,将相对位于下侧的层间绝缘层 15 称为“第 2 层间绝缘层”。

[0074] 下层电极 17 设置在第 1 层间绝缘层 16 上。下层电极 17 以在全部的像素中连续的方式形成。但是,下层电极 17 不形成于后述的接触孔 31 附近。

[0075] 电介质层 18 设置在下层电极 17 上。

[0076] 上层电极 19 设置在电介质层 18 上。上层电极 19 隔着电介质层 18 与下层电极 17 的至少一部分重叠。按每个像素独立地 (分离地) 形成有上层电极 19。在本实施方式中,上层电极 19 占每个像素的大致整个像素,是不形成狭缝、开口部的所谓全面 (べた) 电极。另外,上层电极 19 与 TFT20 的漏极电极 24 电连接,经由 TFT20 从信号配线 11 被供应显示信号电压。即,上层电极 19 作为像素电极发挥功能。

[0077] 而另一方面,下层电极 17 被供应辅助电容电压 (Cs 电压),作为辅助电容配线和辅助电容电极发挥功能。即,下层电极 17 及上层电极 19 与位于它们之间的电介质层 18 构成辅助电容。作为像素电极发挥功能的上层电极 19 和作为辅助电容电极发挥功能的下层电极 17 均由透明的导电材料 (例如 ITO) 形成。

[0078] 在第 1 层间绝缘层 16 和电介质层 18 中形成有使漏极电极 24 的一部分露出的接触孔 31。该接触孔 31 用于将上层电极 19 与漏极电极 24 电连接。在本实施方式中,在接触孔 31 内,上层电极 19 与漏极电极 24 接触,由此,漏极电极 24 和上层电极 19 相互电连接。

[0079] 以下,将用于将上层电极 19 与漏极电极 24 电连接的接触孔 31 称为“第 1 接触孔”。另一方面,将用于将漏极电极 24 与半导体层 21 电连接的接触孔 32 称为“第 2 接触孔”,将用于将源极电极 23 与半导体层 21 电连接的接触孔 33 称为“第 3 接触孔”。

[0080] 第 1 接触孔 31 包含:第 1 开口部 16a,其形成于第 1 层间绝缘层 16;以及第 2 开口部 18a,其形成于电介质层 18。在本实施方式中,在从基板 10 的法线方向观看时,第 1 开口部 16a 和第 2 开口部 18a 各自的轮廓是矩形。

[0081] 如图 1 所示,第 1 开口部 16a 的沿着水平方向 (第 1 方向) 的宽度 W_{1H} 比第 2 开

口部 18a 的沿着水平方向的宽度 W_{2H} 小。即,构成第 1 开口部 16a 的轮廓的 4 个边中的与水平方向大致平行的 2 个边比构成第 2 开口部 18a 的轮廓的 4 个边中的与水平方向大致平行的 2 个边短。

[0082] 另外,在从基板 10 的法线方向观看时,第 2 开口部 18a 的轮廓的一部分位于第 1 开口部 16a 的轮廓的内侧。更具体地说,第 2 开口部 18a 的轮廓的与水平方向大致平行的 2 个边中的一方(在此为上边),部分地位于第 1 开口部 16a 的轮廓的内侧。这样,第 2 开口部 18a 的轮廓和第 1 开口部 16a 的轮廓交叉。

[0083] 在本实施方式的有源矩阵基板 100A 中,以如上所述的形状/配置形成第 1 层间绝缘层 16 的第 1 开口部 16a 和电介质层 18 的第 2 开口部 18a,由此能够提高可制造的精细度,能进行比以往高的精细度的制造。以下,一边参照比较例,一边说明其理由。

[0084] 图 3 和图 4 示出比较例的有源矩阵基板 1000。图 3 是示意性地示出有源矩阵基板 1000 的俯视图,图 4 是沿着图 3 中的 4A-4A' 线的截面图。

[0085] 在比较例的有源矩阵基板 1000 中,第 1 层间绝缘层 16 的第 1 开口部 16a 和电介质层 18 的第 2 开口部 18a 的形状/配置与本实施方式的有源矩阵基板 100A 的第 1 开口部 16a 和第 2 开口部 18a 的形状/配置不同。

[0086] 在有源矩阵基板 1000 中,为了避免上层电极 19 的断开所伴有的连接不良,如图 3 和图 4 所示,电介质层 18 的第 2 开口部 18a 形成为在从基板 10 的法线方向观看时其整体位于第 1 层间绝缘层 16 的第 1 开口部 16a 的内侧。即,第 2 开口部 18a 的轮廓的全部位于第 1 开口部 16a 的轮廓的内侧。因此,不仅第 1 开口部 16a 的沿着垂直方向(第 2 方向)的宽度 W_{1V} 比第 2 开口部 18a 的沿着垂直方向的宽度 W_{2V} 大,第 1 开口部 16a 的沿着水平方向(第 1 方向)的宽度 W_{1H} 也比第 2 开口部 18a 的沿着水平方向的宽度 W_{2H} 大。

[0087] 因此,为了以合适的遮光宽度(第 1 开口部 16a 的轮廓至漏极电极 24 的外缘的距离)SW 对第 1 开口部 16a 的锥形部附近进行遮光,需要使漏极电极 24 的沿着水平方向的宽度 W_{3H} 也变大。因此,在采用了水平方向的像素间距与垂直方向的像素间距之比(H/V 比)为 1:3 的标准的像素构成的情况下,若精细度变高,则无法充分地确保水平方向的同层间空间 S。因此,在比较例的有源矩阵基板 1000 中,产生对精细度的限制,高精细度的制造变得困难。具体地说,像素密度为 370ppi 以上的制造变得困难。

[0088] 而另一方面,在本实施方式的有源矩阵基板 100A 中,第 1 开口部 16a 的沿着水平方向(第 1 方向)的宽度 W_{1H} 比第 2 开口部 18a 的沿着水平方向的宽度 W_{2H} 小,因此,能够在确保使遮光宽度 SW 与以往相同的状态下(即不会伴有因取向紊乱而导致的对比度比的下降地),使漏极电极 24 的沿着水平方向的宽度 W_{3H} 变小。因此,能够确保充分的同层间空间 S,从而能够使可制造的精细度(不会使同层间的漏电不良增加的上限值)变高。具体地说,即使将像素密度提高至 450ppi 程度,也完全能够制造。

[0089] 此外,在第 1 开口部 16a 的宽度比第 2 开口部 18a 的宽度小这样的截面($W_{1H} < W_{2H}$ 的图 2(a) 所示的截面)中,有可能发生因第 1 接触孔 31 的侧面形状的变陡而导致的上层电极 19 的断开。然而,在本实施方式的有源矩阵基板 100A 中,第 2 开口部 18a 的轮廓的一部分位于第 1 开口部 16a 的轮廓的内侧,在第 2 开口部 18a 的轮廓位于第 1 开口部 16a 的轮廓的内侧这样的截面(图 2(b) 所示的截面)中抑制了上层电极 19 的断开的发生。在图 2(b) 中,要注意第 1 接触孔 31 的左侧的侧面形状与比较例的有源矩阵基板 1000 是相同的。

因此,能够以这部分(第2开口部18a的轮廓中的位于第1开口部16a的轮廓的内侧的部分,在此为第2开口部18a的轮廓的上边的一部分)为起点充分地(与比较例相比同等以上地)确保上层电极19与漏极电极24的接触面积,因此,能够实现与比较例相比同等以上的连接电阻。

[0090] 这样,在本实施方式的有源矩阵基板100A中,能够在确保了与比较例的有源矩阵基板1000同等的性能、连接电阻的基础上,提高可制造的精细度。另外,在以相同的像素间距(即相同的精细度)进行比较的情况下,在本实施方式的有源矩阵基板100A中,同层间空间S被扩大,因此,能够降低同层间的漏电不良,能够谋求成品率的提高。

[0091] 而且,在本实施方式的有源矩阵基板100A中,构成辅助电容的上层电极19和下层电极17均由透明的导电材料形成,因此,能够不使开口率下降地确保充分的辅助电容值。另外,能够利用下层电极17将作为像素电极发挥功能的上层电极19从扫描配线11和信号配线12电屏蔽,因此,能够防止在上层电极19与扫描配线11、信号配线12之间形成静电电容(寄生电容)。因此,能够降低扫描配线11、信号配线12的负载,能降低功耗。

[0092] 接着,一边参照图5~图8,一边说明本实施方式的有源矩阵基板100A的制造方法的例子。图5~图8是用于说明有源矩阵基板100A的制造方法的工序截面图。图5和图6的(a1)~(a3)以及图7和图8的(a1)和(a2)与沿着图1中的2A-2A'线的截面(包含第1接触孔31的截面)对应,图5和图6的(b1)~(b3)以及图7和图8的(b1)和(b2)与沿着图1中的5B-5B'线的截面(包含TFT20的截面)对应。

[0093] 首先,如图5(a1)和图5(b1)所示,在基板10上形成底涂层13。例如,使用玻璃基板作为基板10,在该玻璃基板的表面利用CVD法形成厚度为50nm~100nm的SiON膜(下层)与厚度为50nm~200nm的SiO₂膜(上层)的层叠膜(SiO₂/SiON膜)作为底涂层13。

[0094] 其次,如图5(a2)和图5(b2)所示,在底涂层13上形成半导体层21。例如,利用公知的方法,形成厚度为30nm~60nm的岛状的多晶硅(poly-Si)层作为半导体层21。

[0095] 接着,如图5(a3)和图5(b3)所示,形成覆盖半导体层21的栅极绝缘层14。例如,利用CVD法形成厚度为50nm~100nm的SiO₂膜作为栅极绝缘层14。

[0096] 其后,如图6(a1)和图6(b1)所示,在栅极绝缘层14上形成扫描配线11和栅极电极22。例如,利用溅射法沉积厚度为30nm~50nm的Ta₂N₅膜(下层)与厚度为300nm~400nm的W膜(上层)的层叠膜,利用光刻法将该层叠膜(W/Ta₂N₅膜)图案化,由此,形成扫描配线11和栅极电极22。

[0097] 其次,如图6(a2)和图6(b2)所示,形成覆盖扫描配线11和栅极电极22的第2层间绝缘层15。例如,利用CVD法形成厚度为100nm~300nm的SiN_x膜(下层)与厚度为400nm~700nm的SiO₂膜(上层)的层叠膜(SiO₂/SiN_x膜)作为第2层间绝缘层15。其后,在栅极绝缘层14和第2层间绝缘层15中,利用蚀刻形成使半导体层21的一部分露出的接触孔32和33(在图6(a2)和图6(b2)中未图示)。

[0098] 接着,如图6(a3)和图6(b3)所示,在第2层间绝缘层15上形成信号配线12、源极电极23(在图6(a3)和图6(b3)中未图示)以及漏极电极24。例如,利用溅射法沉积厚度为30nm~50nm的Ti膜(下层)、厚度为300nm~500nm的Al层(中间层)以及厚度为30nm~50nm的Ti膜(上层)的层叠膜,利用光刻法将该层叠膜(Ti/Al/Ti膜)图案化,由此,形成信号配线12、源极电极23以及漏极电极24。这样,在基板10上能够形成TFT20。

[0099] 其次,如图 7(a1) 和图 7(b1) 所示,形成覆盖 TFT20 且具有第 1 开口部 16a 的第 1 层间绝缘层 16。优选第 1 层间绝缘层 16 包含:包括树脂等有机材料的层。例如,作为第 1 层间绝缘层 16,能够使用厚度为 $2\mu\text{m} \sim 3\mu\text{m}$ 的正型感光性树脂膜形成具有第 1 开口部 16a 的第 1 层间绝缘层 16。

[0100] 接着,如图 7(a2) 和图 7(b2) 所示,在第 1 层间绝缘层 16 上形成下层电极(作为辅助电容配线和辅助电容电极发挥功能)17。例如,利用溅射法形成厚度为 $50\text{nm} \sim 200\text{nm}$ 的 ITO 膜作为下层电极 17。此外,在之后成为第 1 接触孔 31 的区域附近(即第 1 开口部 16a 附近)除去了下层电极 17 的导电膜。

[0101] 其次,如图 8(a1) 和图 8(b1) 所示,在下层电极 17 上形成具有第 2 开口部 18a 的电介质层 18。例如,利用 CVD 法沉积厚度为 $100\text{nm} \sim 300\text{nm}$ 的 SiN_x 膜,在该 SiN_x 膜中利用蚀刻形成第 2 开口部 18a,由此,形成电介质层 18。

[0102] 其后,如图 8(a2) 和图 8(b2) 所示,在电介质层 18 上形成隔着电介质层 18 与下层电极 17 的至少一部分重叠的上层电极(作为像素电极发挥功能)19。例如,利用溅射法沉积厚度为 $50\text{nm} \sim 200\text{nm}$ 的 ITO 膜,利用光刻法将该 ITO 膜图案化,由此,形成上层电极 19。上层电极 19 在包含第 1 层间绝缘层 16 的第 1 开口部 16a 和电介质层 18 的第 2 开口部 18a 的第 1 接触孔 31 中与漏极电极 24 电连接。

[0103] 形成第 1 层间绝缘层 16 的工序和形成电介质层 18 的工序以如下方式执行:使第 1 开口部 16a 的沿着水平方向(第 1 方向)的宽度 W_{1H} 比第 2 开口部 18a 的沿着水平方向的宽度 W_{2H} 小。另外,这 2 个工序以如下方式执行:在从基板 10 的法线方向观看时,使第 2 开口部 18a 的轮廓的一部分位于第 1 开口部 16a 的轮廓的内侧。

[0104] 这样,能够制造本实施方式的有源矩阵基板 100A。

[0105] 此外,在本实施方式中,示例了第 1 开口部 16a 的沿着水平方向(第 1 方向)的宽度 W_{1H} 比第 2 开口部 18a 的沿着水平方向的宽度 W_{2H} 小的情况,但本发明不限于此。在如本实施方式这样,漏极电极 24 由与信号配线 12 相同的导电膜形成的情况下,为了充分地确保水平方向的同层间空间,优选使第 1 开口部 16a 的沿着水平方向的宽度 W_{1H} 比第 2 开口部 18a 的沿着水平方向的宽度 W_{2H} 小,但在要充分地确保垂直方向的同层间空间的情况下,只要使第 1 开口部 16a 的沿着垂直方向(第 2 方向)的宽度比第 2 开口部 18a 的沿着垂直方向的宽度小即可。即,也可以采用使图 1 所示的第 1 开口部 16a 和第 2 开口部 18a 旋转 90° 的构成。

[0106] 另外,在本实施方式中,示例了 VA 模式的液晶显示装置用的像素结构,但即使是其它显示模式的液晶显示装置用的像素结构,也能够适合应用本发明,例如,也可以是 FFS 模式的液晶显示装置用的像素结构。VA 模式的液晶显示装置具备垂直取向型液晶层,而 FFS 模式的液晶显示装置具备水平取向型液晶层。另外,像素内的漏极电极 24 的位置也没有限制,不限于如图 1 等所示例的那样限于像素的中央附近,也可以是与各显示模式用的像素结构(电极结构)相应的最佳的位置。

[0107] (实施方式 2)

[0108] 图 9 和图 10 示出本实施方式的有源矩阵基板 100B。图 9 是示意性地示出有源矩阵基板 100B 的俯视图,图 10(a) 和图 10(b) 分别是沿着图 9 中的 10A-10A' 线和 10B-10B' 线的截面图。以下,以有源矩阵基板 100B 与实施方式 1 的有源矩阵基板 100A 的不同点为

中心进行说明。

[0109] 在有源矩阵基板 100B 中,与实施方式 1 的有源矩阵基板 100A 同样,第 1 开口部 16a 的沿着水平方向(第 1 方向)的宽度 $W1_H$ 比第 2 开口部 18a 的沿着水平方向的宽度 $W2_H$ 小。即,构成第 1 开口部 16a 的轮廓的 4 个边中的与水平方向大致平行的 2 个边比构成第 2 开口部 18a 的轮廓的 4 个边中的与水平方向大致平行的 2 个边短。

[0110] 而且,在有源矩阵基板 100B 中,第 1 开口部 16a 的沿着垂直方向(第 2 方向)的宽度 $W1_V$ 比第 2 开口部 18a 的沿着垂直方向的宽度 $W2_V$ 大。即,构成第 1 开口部 16a 的轮廓的 4 个边中的与垂直方向大致平行的 2 个边比构成第 2 开口部 18a 的轮廓的 4 个边中的与垂直方向大致平行的 2 个边长。

[0111] 因此,在有源矩阵基板 100B 中,在从基板 10 的法线方向观看时,第 2 开口部 18a 的轮廓的与水平方向大致平行的 2 个边(上边和下边)均是部分地位于第 1 开口部 16a 的轮廓的内侧。

[0112] 在本实施方式的有源矩阵基板 100B 中也是:第 1 开口部 16a 的沿着水平方向(第 1 方向)的宽度 $W1_H$ 比第 2 开口部 18a 的沿着水平方向的宽度 $W2_H$ 小。因此,能够在确保使遮光宽度 SW 与以往相同的状态下(即不会伴有因取向紊乱而导致的对比度比的下降地),使漏极电极 24 的沿着水平方向的宽度 $W3_H$ 变小。因此,能够确保充分的同层间空间 S,因此能够提高可制造的精细度。

[0113] 另外,在本实施方式中也是:第 2 开口部 18a 的轮廓的一部分位于第 1 开口部 16a 的轮廓的内侧。而且,在本实施方式中,在从基板 10 的法线方向观看时,第 2 开口部 18a 的轮廓的与水平方向大致平行的 2 个边均是部分地位于第 1 开口部 16a 的轮廓的内侧。因此,在第 2 开口部 18a 的轮廓位于第 1 开口部 16a 的轮廓的内侧这样的截面(图 10(b)所示的截面)中进一步抑制了上层电极 19 的断开的发生。在图 10(b)中,要注意第 1 接触孔 31 的左侧和右侧的侧面形状与比较例的有源矩阵基板 1000 是相同的。因此,能够以这些部分(第 2 开口部 18a 的轮廓的上边和下边的一部分)为起点使上层电极 19 与漏极电极 24 的接触面积比实施方式 1 的有源矩阵基板 100A 进一步变大,从而能够使连接电阻进一步变低。

[0114] 另外,在比较例的有源矩阵基板 1000 中,上层电极 19 与漏极电极 24 的接触面积依赖于电介质层 18 的第 2 开口部 18a 的完成直径。在此,接触面积也包含与矩形的角部对应的部分的面积。因此,除非应用 OPC(Optical Proximity Correction:光学邻近校正)等微细化技术,否则会有如下问题:角部变圆,其结果是,接触面积也变小,完成偏差变大。

[0115] 在本实施方式的有源矩阵基板 100B 中,是上层电极 19 与漏极电极 24 的接触面积不包含矩形的角部的结构,因此,即使不应用 OPC 等微细化技术也能够使连接电阻变低,并且还能够降低完成偏差。

[0116] (实施方式 3)

[0117] 图 11 和图 12 示出本实施方式的有源矩阵基板 100C。图 11 是示意性地示出有源矩阵基板 100C 的俯视图,图 12(a) 和图 12(b) 分别是沿着图 11 中的 12A-12A' 线和 12B-12B' 线的截面图。以下,以有源矩阵基板 100C 与实施方式 2 的有源矩阵基板 100B 的不同点为中心进行说明。

[0118] 如图 11、图 12(a) 以及图 12(b) 所示,有源矩阵基板 100C 还具备用于将上层电极

19 与漏极电极 24 电连接的连接电极 17'。连接电极 17' 由与下层电极 17 相同的导电膜形成。即,连接电极 17' 是在形成下层电极 17 的工序中,使用与下层电极 17 相同的导电材料(在此为透明导电材料)同时形成的。

[0119] 在第 1 接触孔 31 内,该连接电极 17' 与漏极电极 24 接触,并且上层电极 19 与连接电极 17' 接触,由此,上层电极 19 与漏极电极 24 电连接。

[0120] 在本实施方式的有源矩阵基板 100C 中,设置有如上所述的连接电极 17',因此,在电介质层 18 中利用蚀刻形成第 2 开口部 18a 时,第 1 开口部 16a 的锥形部被连接电极 17' 覆盖。因此,防止了第 1 开口部 16a 的锥形部被挖掘而变陡。因此,在第 1 开口部 16a 的宽度比第 2 开口部 18a 的宽度小这样的截面 ($W_{1H} < W_{2H}$ 的图 12(a) 所示的截面) 中,也能够抑制上层电极 19 的断开的发生。另外,通过将连接电极 17' 与上层电极 19 层叠实现了冗长结构,从而还可得到由此带来的提高可靠性的效果。

[0121] (实施方式 4)

[0122] 图 13 和图 14 示出本实施方式的有源矩阵基板 100D。图 13 是示意性地示出有源矩阵基板 100D 的俯视图,图 14(a) 和图 14(b) 分别是沿着图 13 中的 14A-14A' 线和 14B-14B' 线的截面图。以下,以有源矩阵基板 100D 与实施方式 2 的有源矩阵基板 100B 的不同点为中心进行说明。

[0123] 在本实施方式的有源矩阵基板 100D 中,形成于栅极绝缘层 14 和第 2 层间绝缘层 15 的第 2 接触孔 32 的配置与实施方式 2 的有源矩阵基板 100B 不同。

[0124] 在实施方式 2 的有源矩阵基板 100B 中,如图 9 和图 10(b) 所示,在从基板 10 的法线方向观看时,第 2 接触孔 32 与第 1 接触孔 31 不重叠。

[0125] 而另一方面,在本实施方式的有源矩阵基板 100D 中,如图 13 和图 14(b) 所示,在从基板 10 的法线方向观看时,第 2 接触孔 32 的至少一部分与第 1 接触孔 31 重叠。另外,在从基板 10 的法线方向观看时,第 1 接触孔 31 的中心与第 2 接触孔 32 的中心错开。

[0126] 在本实施方式的有源矩阵基板 100D 中,如上所述,第 2 接触孔 32 的至少一部分与第 1 接触孔 31 重叠,因此能够使漏极电极 24 的尺寸进一步变小。因此,能够谋求开口率的进一步提高。

[0127] 此外,在如本实施方式这样采用第 2 接触孔 32 的至少一部分与第 1 接触孔 31 重叠的构成的情况下,如图 13 和图 14(b) 所示例的那样,优选第 1 接触孔 31 的中心与第 2 接触孔 32 的中心错开。这是因为,若第 1 接触孔 31 的中心与第 2 接触孔 32 的中心一致,则在电介质层 18 中形成第 2 开口部 18a 时有如下可能:蚀刻膜厚极度增加,无法使电介质层 18 形成开口。

[0128] 另外,在上述实施方式 1 ~ 4 中,示例了顶栅型 TFT20,但本发明不限于此。作为 TFT20,也可以使用底栅型 TFT。在该情况下,栅极绝缘层 14 以覆盖栅极电极 22 的方式设置。另外,第 2 层间绝缘层 15 以覆盖半导体层 21 的方式设置。而且,第 2 接触孔 32 不形成于栅极绝缘层 14,而仅形成于第 2 层间绝缘层 15。

[0129] (液晶显示装置的构成)

[0130] 在此,说明可使用实施方式 1 ~ 4 的有源矩阵基板 100A ~ 100D 的液晶显示装置的具体构成。

[0131] 图 15 所示的液晶显示装置 200 具备有源矩阵基板 100、相对基板 110 以及液晶层

120。

[0132] 有源矩阵基板 100 例如是实施方式 1 ~ 4 的有源矩阵基板 100A ~ 100D 中的任何一种。

[0133] 相对基板 110 以与有源矩阵基板 100 相对的方式配置。在相对基板 110 中,典型的是设置有彩色滤光片(未图示)。另外,在对液晶层 120 施加纵电场的显示模式(例如 VA 模式)中,在相对基板 110 中设置有与像素电极(图 1 等所示的上层电极 19)相对的相对电极(共用电极;未图示)。在对液晶层 120 施加横电场的显示模式(例如 FFS 模式)中,在有源矩阵基板 100 中设置有共用电极。例如,能够使 2 层电极结构中的下层电极 17 作为共用电极发挥功能。

[0134] 液晶层 120 设置在有源矩阵基板 100 和相对基板 110 之间。作为液晶层 120,在 VA 模式中使用垂直取向型液晶层,在 FFS 模式中使用水平取向型液晶层。

[0135] 在有源矩阵基板 100 和相对基板 110 各自的液晶层 120 侧的表面设置有取向膜 130a 和 130b。作为取向膜 130a 和 130b,根据显示模式使用垂直取向膜或者水平取向膜。

[0136] 另外,典型的是设置有隔着液晶层 120 相互相对的一对偏振板。而且,根据需要,在液晶层 120 的背面侧和/或者观察者侧设置有相位差板。

[0137] 以下,说明液晶显示装置 200 采用了 VA 模式或 FFS 模式的情况下的具体的像素结构的例子。在以下说明的例子中,有源矩阵基板 100 中的第 1 开口部 16a 和第 2 开口部 18a 的形状/配置与实施方式 2 的有源矩阵基板 100B 是相同的。当然,第 1 开口部 16a 和第 2 开口部 18a 的形状/配置也可以与实施方式 1、3 以及 4 的有源矩阵基板 100A、100C 以及 100D 相同。

[0138] 图 16 示出采用了 VA 模式的情况下的像素结构的例子。在图 16 所示的例子中,作为像素电极发挥功能的上层电极 19 是所谓全面电极。在有源矩阵基板 100 上形成有多个柱状间隔物 41。各柱状间隔物 41 配置在扫描配线 11 与信号配线 12 的交叉部。即,在各像素的 4 个角,适当地配置有 4 个柱状间隔物 41。另外,在相对基板 110 的相对电极中,在与各像素的中心对应的区域形成有开口部 43。

[0139] 柱状间隔物 41 具有相对于其侧面使液晶分子垂直地取向的取向限制力。另外,相对电极的开口部 43 在施加电压时表现出使液晶分子倒下至与其边缘正交的方向的取向限制力。因此,当向液晶层 120 施加电压时,在各像素中形成轴对称取向(辐射状倾斜取向)的液晶畴。在图 16 中,用箭头 D 示出施加电压时的液晶分子的取向方向。在 1 个液晶畴内,液晶分子在几乎所有方位取向,因此可得到良好的视角特性。

[0140] 图 17 示出采用了 VA 模式的情况下的像素结构的其它例子。在图 17 所示的例子中,也是在相对基板 110 的相对电极中,在与各像素的中心对应的区域形成有开口部 43。但是,在图 17 所示的例子中,不是在有源矩阵基板 100 上形成有多个柱状间隔物 42,而是在相对基板 110 上形成有多个柱状间隔物 42。另外,各柱状间隔物 42 以与信号配线 12 重叠的方式配置,在垂直方向上位于各像素的中心附近。

[0141] 在图 17 所示的例子中,也是当向液晶层 120 施加电压时,利用柱状间隔物 42 的取向限制力和相对电极的开口部 43 的取向限制力,在各像素中形成轴对称取向的液晶畴。在形成于有源矩阵基板 100 上的柱状间隔物 41 和形成于相对基板 110 上的柱状间隔物 42 中,作用于液晶分子的取向限制力的方向不同,因此,由于这种不同,形成于有源矩阵基板 100

上的柱状间隔物 41 和形成于相对基板 110 上的柱状间隔物 42 的平面配置不同。

[0142] 另外,在图 17 所示的例子中,在作为像素电极发挥功能的上层电极 19 的左上角部和左下角部形成有切口部 19c。这是为了限制形成于像素间的取向中心的位置而提高显示质量。在向液晶层 120 施加电压时,不仅在相对电极的开口部 43 的中央(像素的中央)形成取向中心,还在上下方向(显示面的垂直方向)上相邻的 2 个像素之间形成取向中心。用于形成该像素间的取向中心的取向限制力有时因单元厚度、像素电极的电极图案的完成状况、预倾角(在应用了如特开 2002-357830 号公报所公开的 PSA 技术的情况下)等诸条件的影响而变弱,因此,左右方向的取向中心的位置有时以像素为单位产生偏差。该偏差成为显示的粗糙、视角偏于左右方向时的色感异常这样的显示质量下降的原因。通过在上层电极 19 中形成切口部 19c,能够限制上下像素间的取向中心的位置。具体地说,当如上所述将切口部 19c 形成于上层电极 19 的左侧(左上角部和左下角部)时,能够将取向中心固定到像素电极彼此(上层电极 19 彼此)的间隔较窄的一侧(即未形成切口部 19c 的右侧)。

[0143] 此外,在图 17 所示的例子中,扫描配线 11 以横穿像素的中心附近的方式配置,但扫描配线 11 的位置不限于此。不过,在相对基板 110 上形成有柱状间隔物 42 的情况下,为了防止柱状间隔物 42 附近的漏光,优选在相对基板 110 侧设置延伸于水平方向的带状的黑矩阵(遮光层)对柱状间隔物 42 的周围 $3\mu\text{m} \sim 5\mu\text{m}$ 的区域进行遮光。因此,如图 17 所示,通过将扫描配线 11 配置为横穿像素的中心附近而与相对基板 110 侧的黑矩阵重叠,能够实现高开口率。

[0144] 图 18 和图 19 示出采用了 VA 模式的情况下的像素结构的又一其它例子。在图 18 和图 19 所示的例子中,在有源矩阵基板 100 上形成有多个柱状间隔物 41。各柱状间隔物 41 配置在扫描配线 11 与信号配线 12 的交叉部。即,在各像素的 4 个角适当地配置有 4 个柱状间隔物 41。另外,在相对基板 110 的相对电极中,在与各像素的中心对应的区域形成有开口部 43。

[0145] 而且,在图 18 和图 19 所示的例子中,作为像素电极发挥功能的上层电极 19 具有多个狭缝 19s。在图 18 所示的例子中,多个狭缝 19s 与相对于水平方向和垂直方向成 45° 角的方向大致平行地延伸。另外,在图 19 所示的例子中,多个狭缝 19s 与垂直方向大致平行地延伸。这些狭缝 19s 在施加电压时表现出使液晶分子相对于狭缝 19s 的延伸设置方向大致平行地倒下的取向限制力。

[0146] 在图 18 和图 19 所示的例子中,当向液晶层 120 施加电压时,利用柱状间隔物 41 的取向限制力、相对电极的开口部 43 的取向限制力以及上层电极(像素电极)19 的多个狭缝 19s 的取向限制力进行取向限制。在图 18 和图 19 所示的例子中,与图 16 所示的例子相比,与上层电极 19 的多个狭缝 19s 的取向限制力的附加对应地,能够使取向状态进一步稳定化,另外,能够提高响应速度。另外,在图 18 和图 19 所示的例子中,在上层电极 19 的形成有狭缝 19s 的区域(位于像素的上侧的部分和位于下侧的部分)和未形成狭缝 19s 的区域(位于像素的中央的部分)中,向液晶层 120 的有效施加电压不同。因此,在 1 个像素内能够混杂多个不同的 γ 特性(显示亮度的灰度级依赖性)并将它们合成来进行显示,因此能够降低 γ 特性的视角依赖性。所谓 γ 特性的视角依赖性,是从正面方向观测时的 γ 特性与从倾斜方向观测时的 γ 特性不同这样的问题,从倾斜方向观察中间灰度级显示时的颜色变化(被称为“泛白”、“颜色偏移”。)被视觉识别。

[0147] 图 20 和图 21 示出采用了 FFS 模式的情况下的像素结构的例子。在图 20 和图 21 所示的例子中,作为像素电极发挥功能的上层电极 19 具有多个狭缝 19s。多个狭缝 19s 与垂直方向大致平行地延伸。另外,下层电极 17 作为共用电极发挥功能。

[0148] 在图 20 和图 21 所示的例子中,当向上层电极 19 和下层电极 17 之间给予电位差时,生成横电场(倾斜电场),利用横电场控制液晶分子的取向状态。在向液晶层 120 施加横电场的显示模式中,液晶分子的取向方向在显示面内(液晶层 120 的层面内)变化,因此可得到良好的视角特性。

[0149] 此外,在图 20 所示的例子中,在有源矩阵基板 100 上形成有多个柱状间隔物 41,而在图 21 所示的例子中,在相对基板 110 上形成有多个柱状间隔物 42。

[0150] 工业上的可利用性

[0151] 根据本发明的实施方式,能够提供尽管具有 2 层电极结构也能以比以往高的精细度制造的有源矩阵基板。本发明能够广泛用于各种显示模式的液晶显示装置用的有源矩阵基板。

[0152] 附图标记说明

[0153]	10	基板
[0154]	11	扫描配线
[0155]	12	信号配线
[0156]	13	底涂层
[0157]	14	栅极绝缘层
[0158]	15	第 2 层间绝缘层
[0159]	16	第 1 层间绝缘层
[0160]	16a	第 1 开口部(第 1 层间绝缘层的开口部)
[0161]	17	下层电极
[0162]	18	电介质层
[0163]	18a	第 2 开口部(电介质层的开口部)
[0164]	19	上层电极(像素电极)
[0165]	19s	狭缝
[0166]	20	薄膜晶体管(TFT)
[0167]	21	半导体层
[0168]	22	栅极电极
[0169]	23	源极电极
[0170]	24	漏极电极
[0171]	31	第 1 接触孔
[0172]	32	第 2 接触孔
[0173]	33	第 3 接触孔
[0174]	41、42	柱状间隔物
[0175]	43	相对电极的开口部
[0176]	100、100A、100B、100C、100D	有源矩阵基板

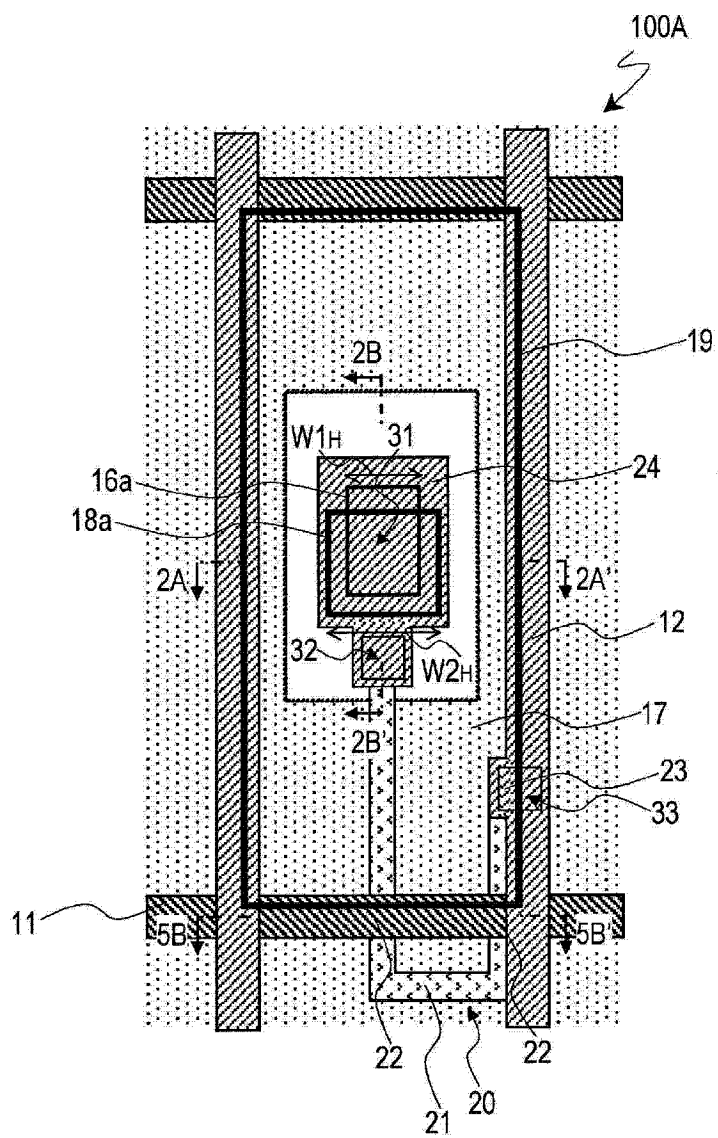


图 1

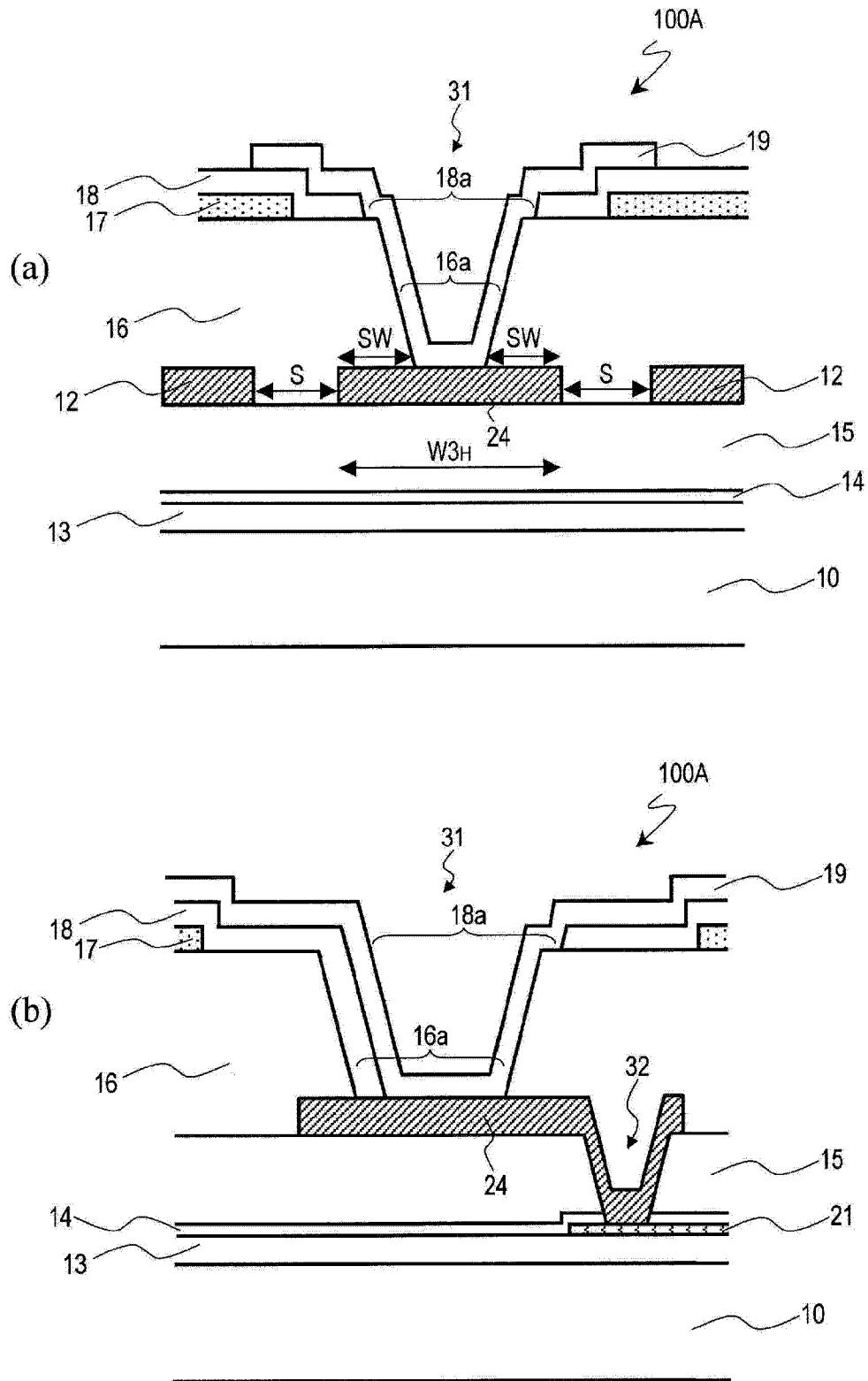


图 2

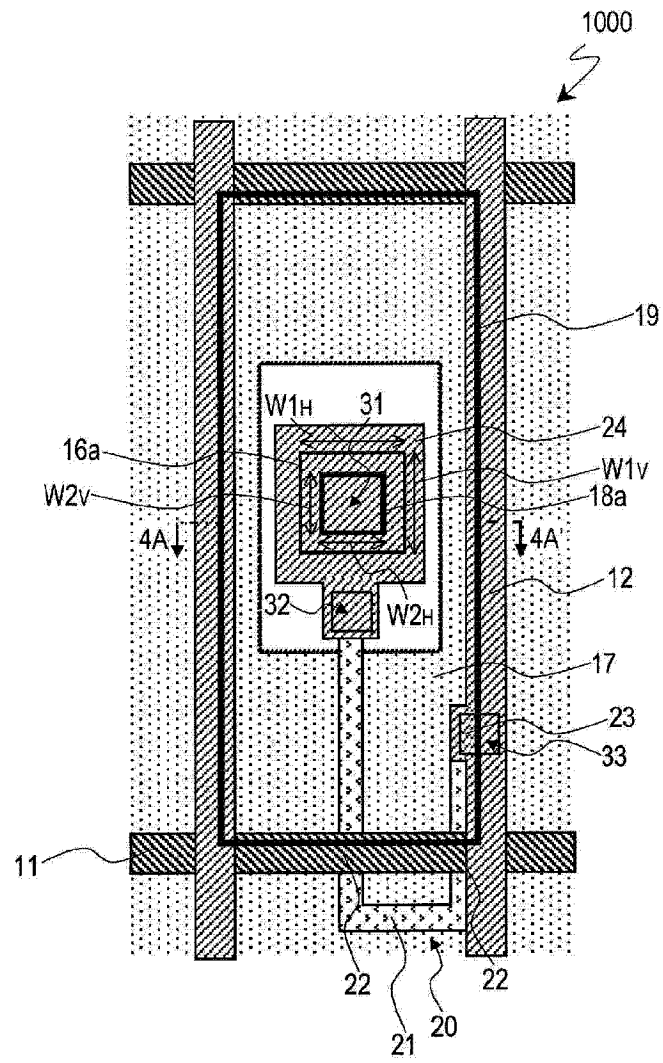


图 3

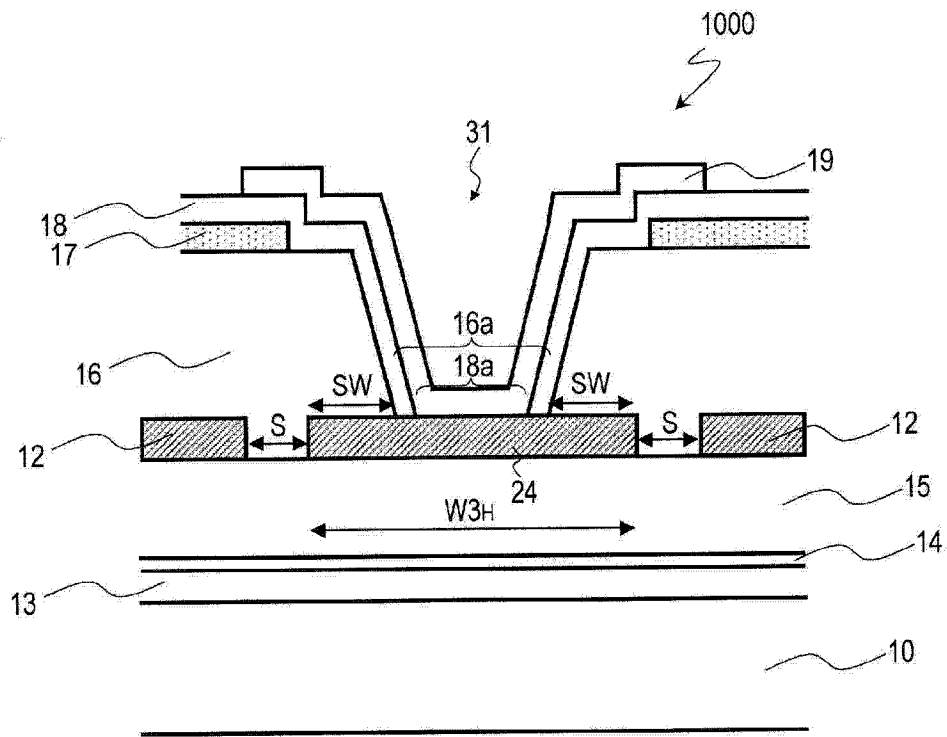


图 4

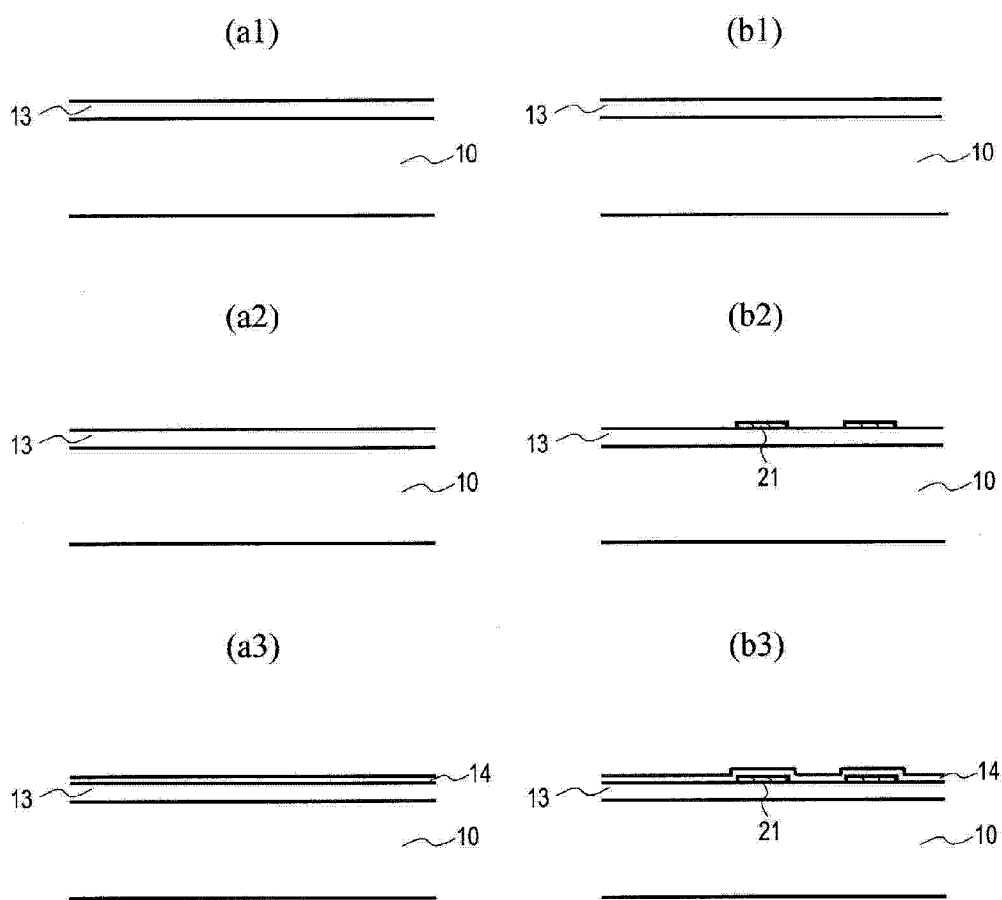


图 5

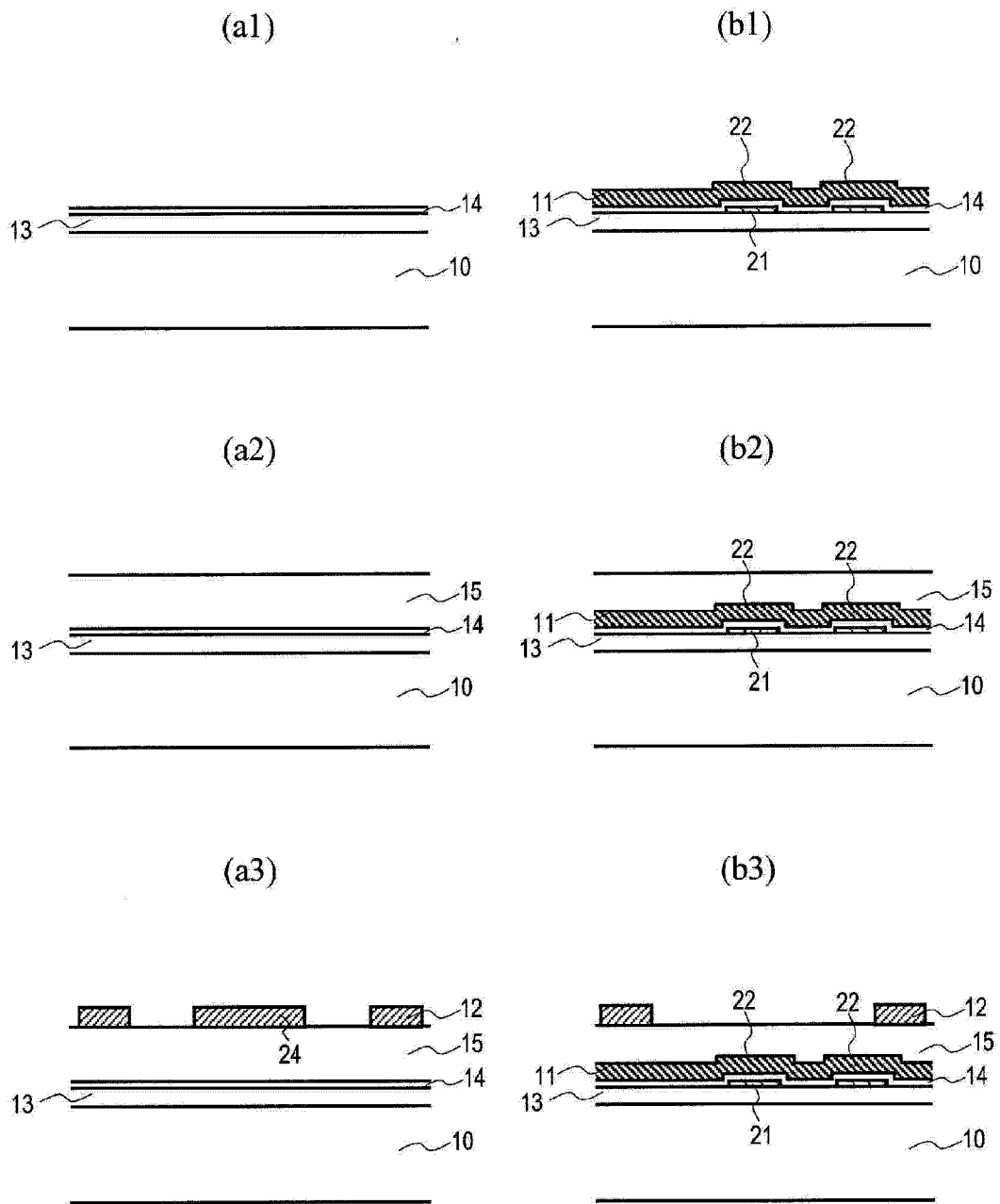


图 6

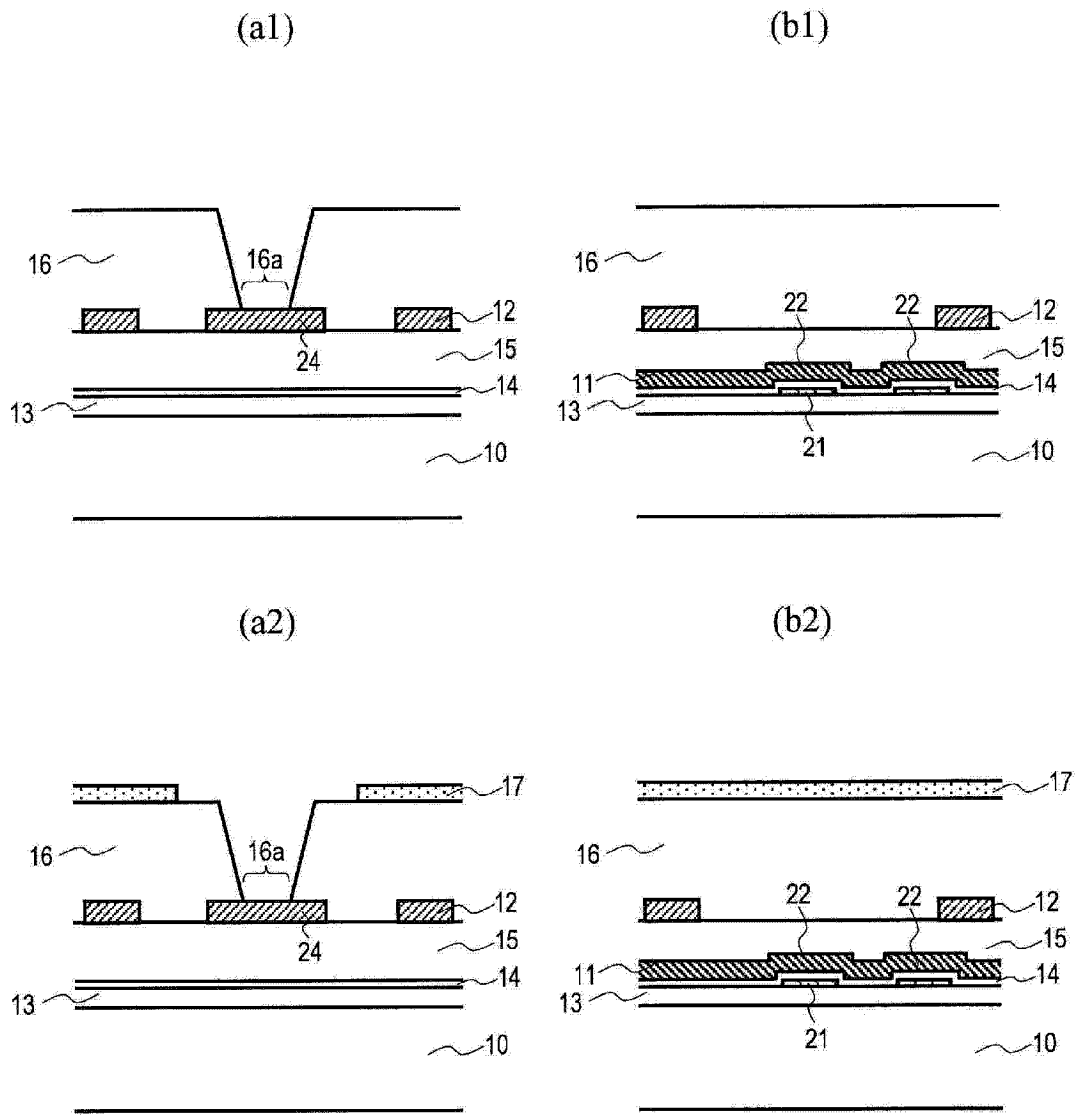


图 7

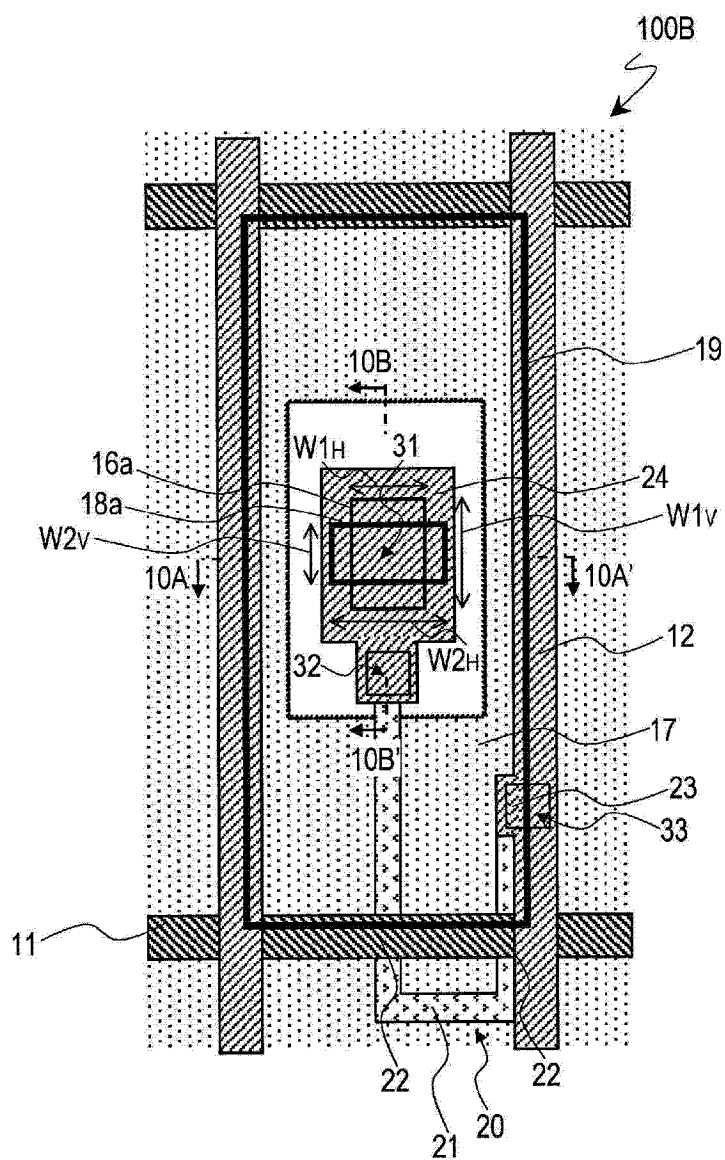


图 9

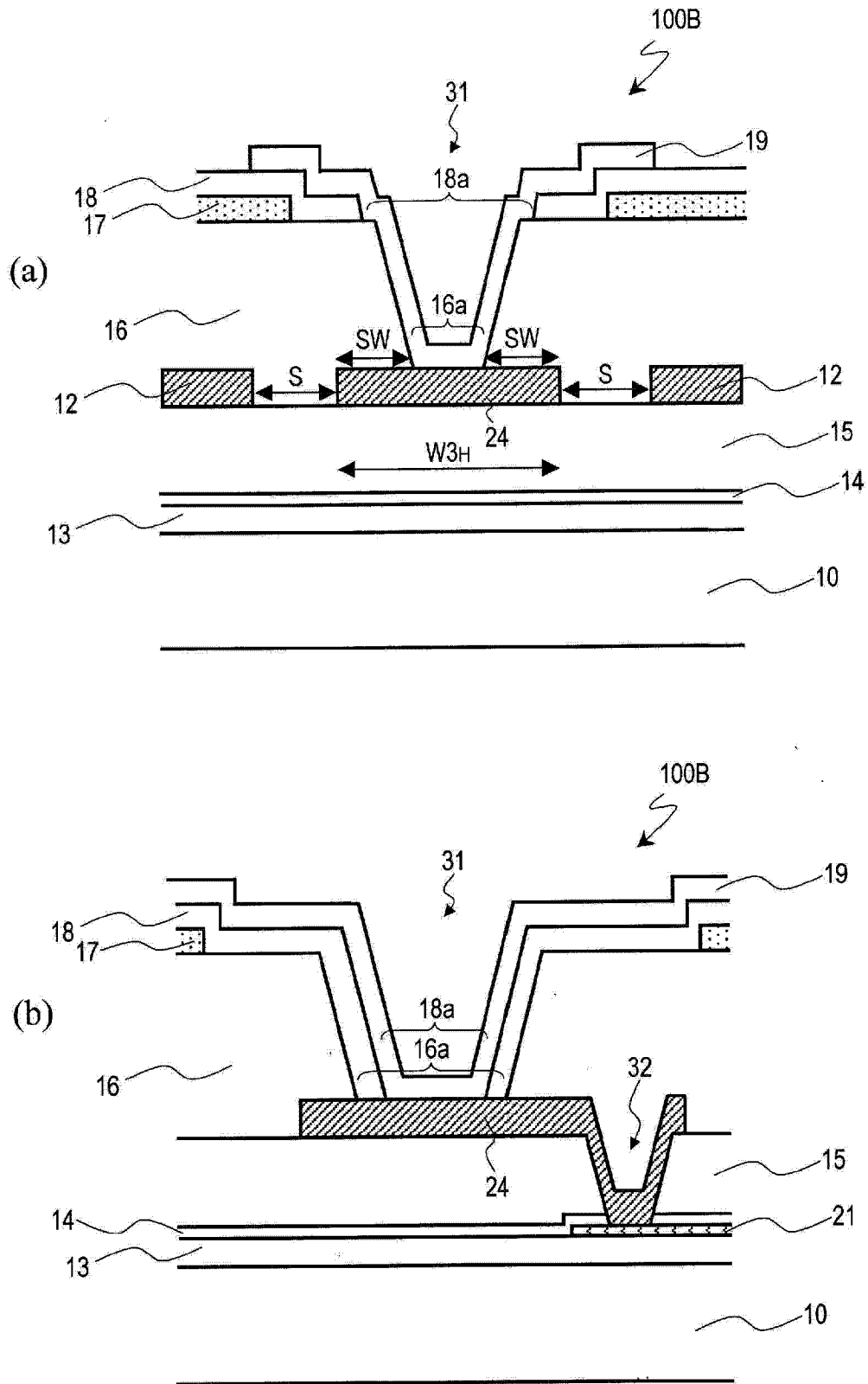


图 10

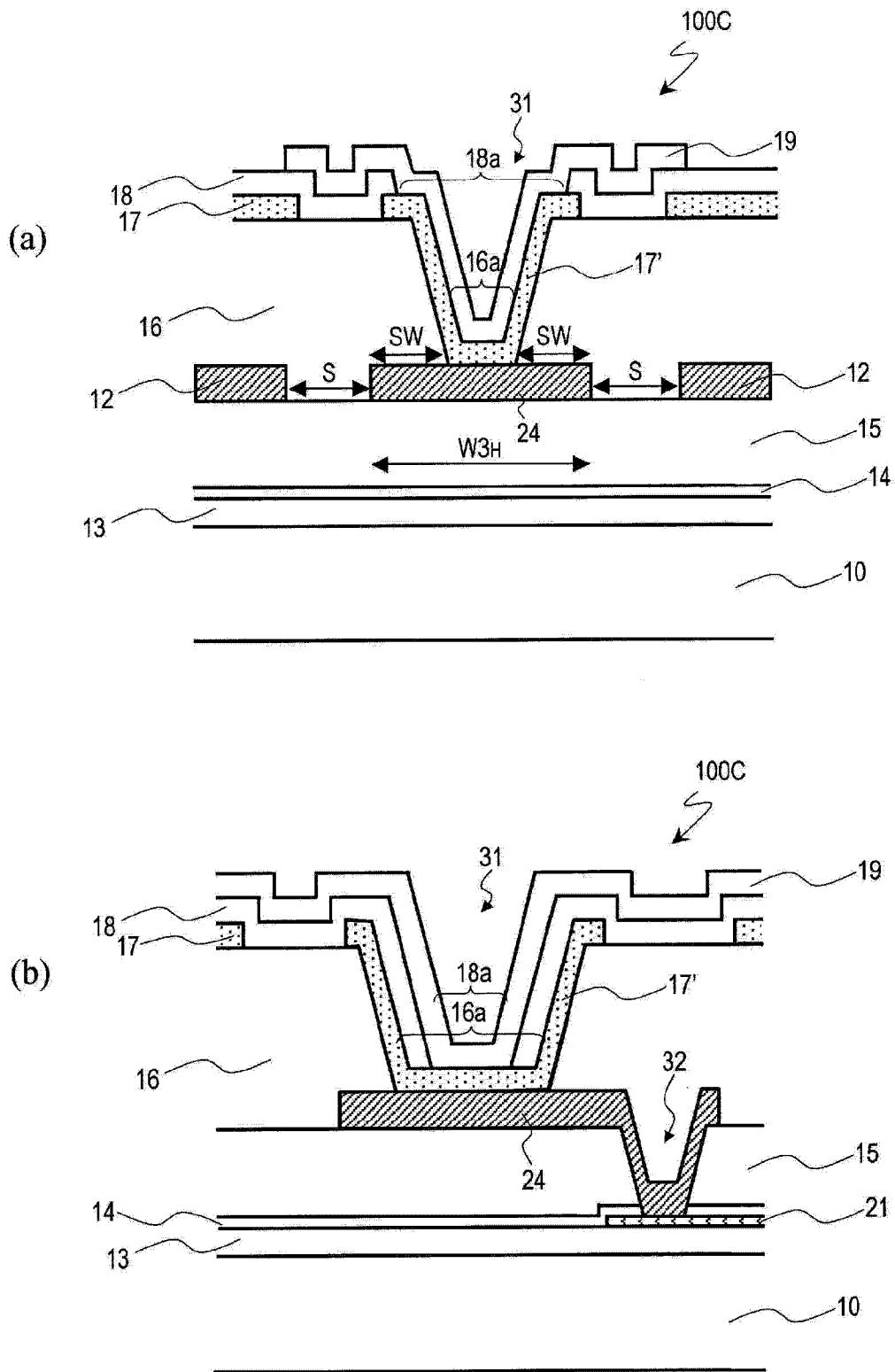


图 12

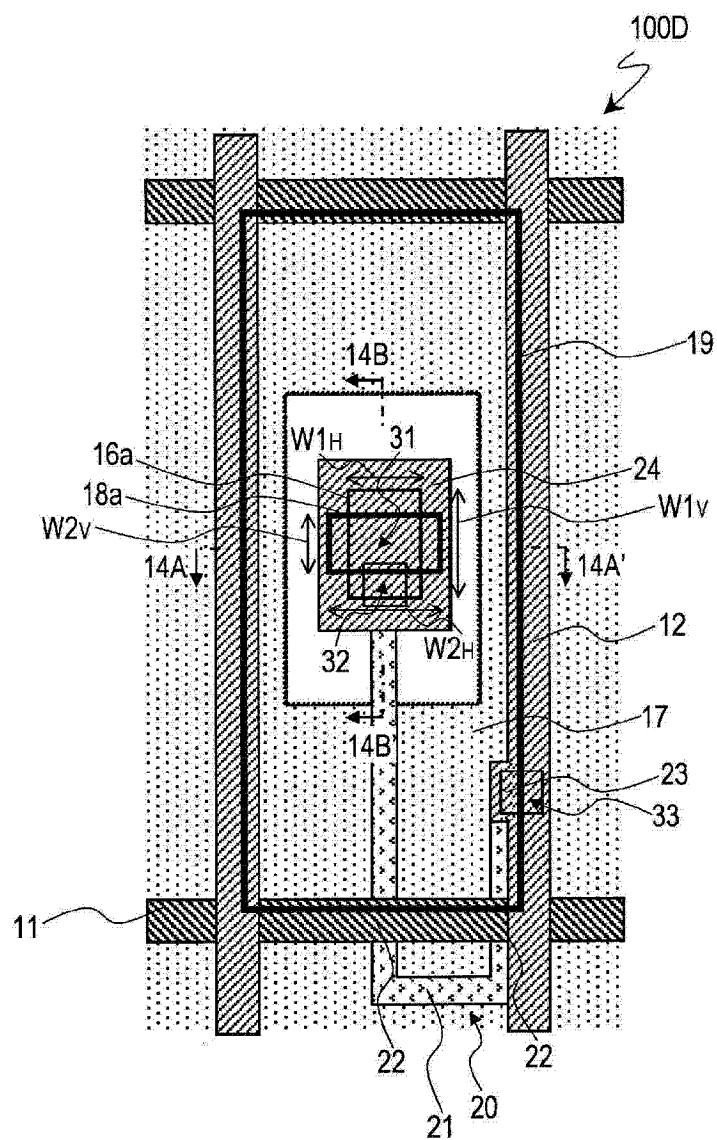


图 13

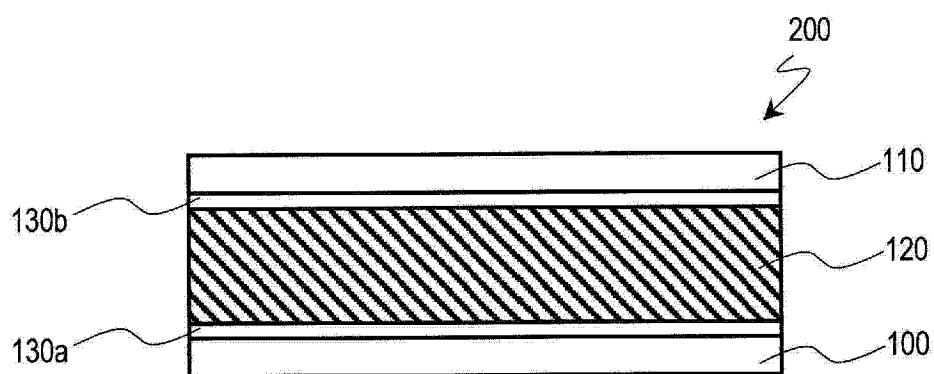


图 15

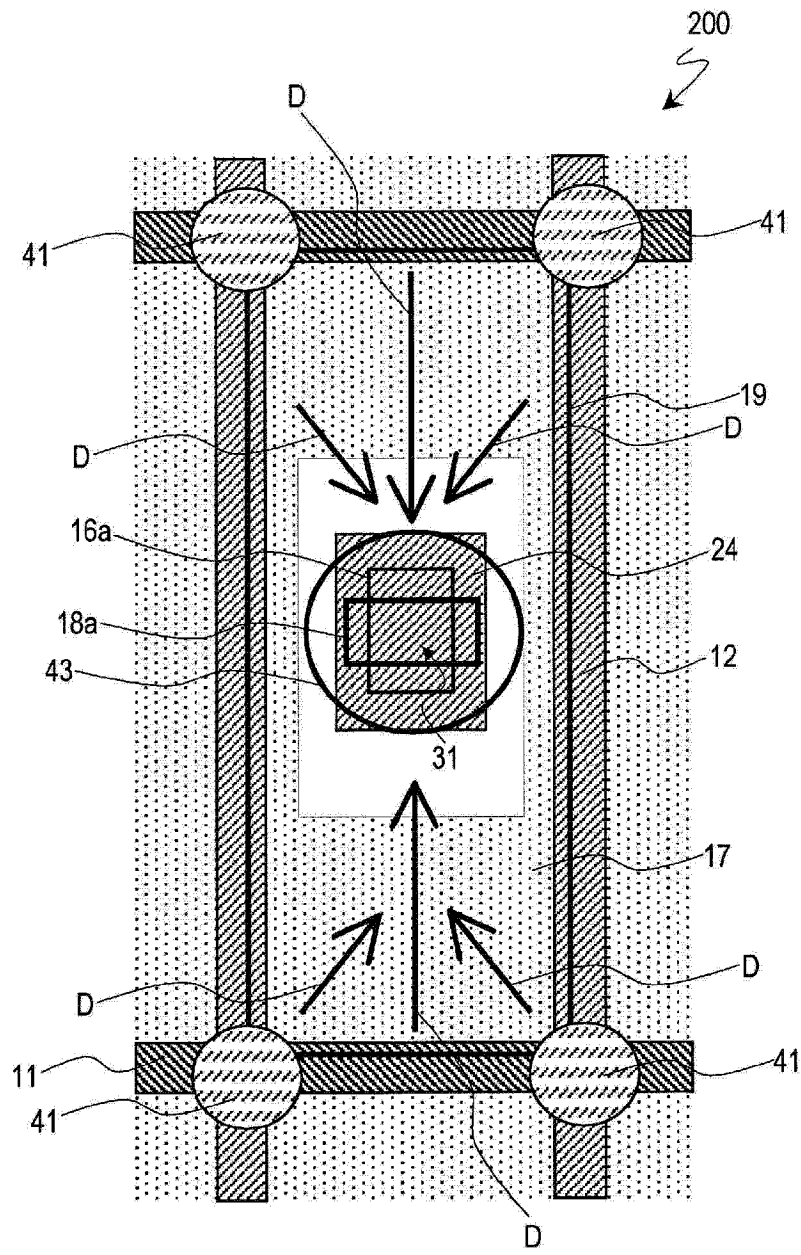


图 16

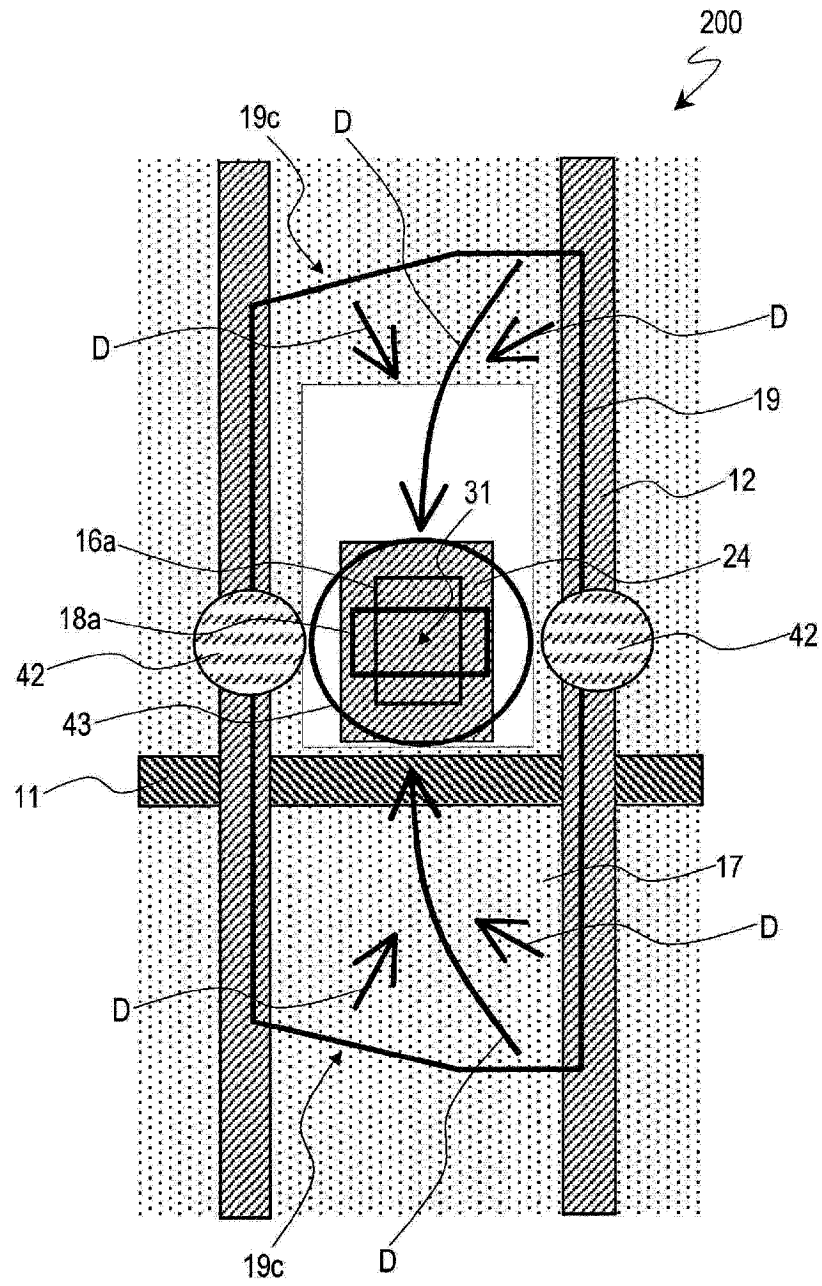


图 17

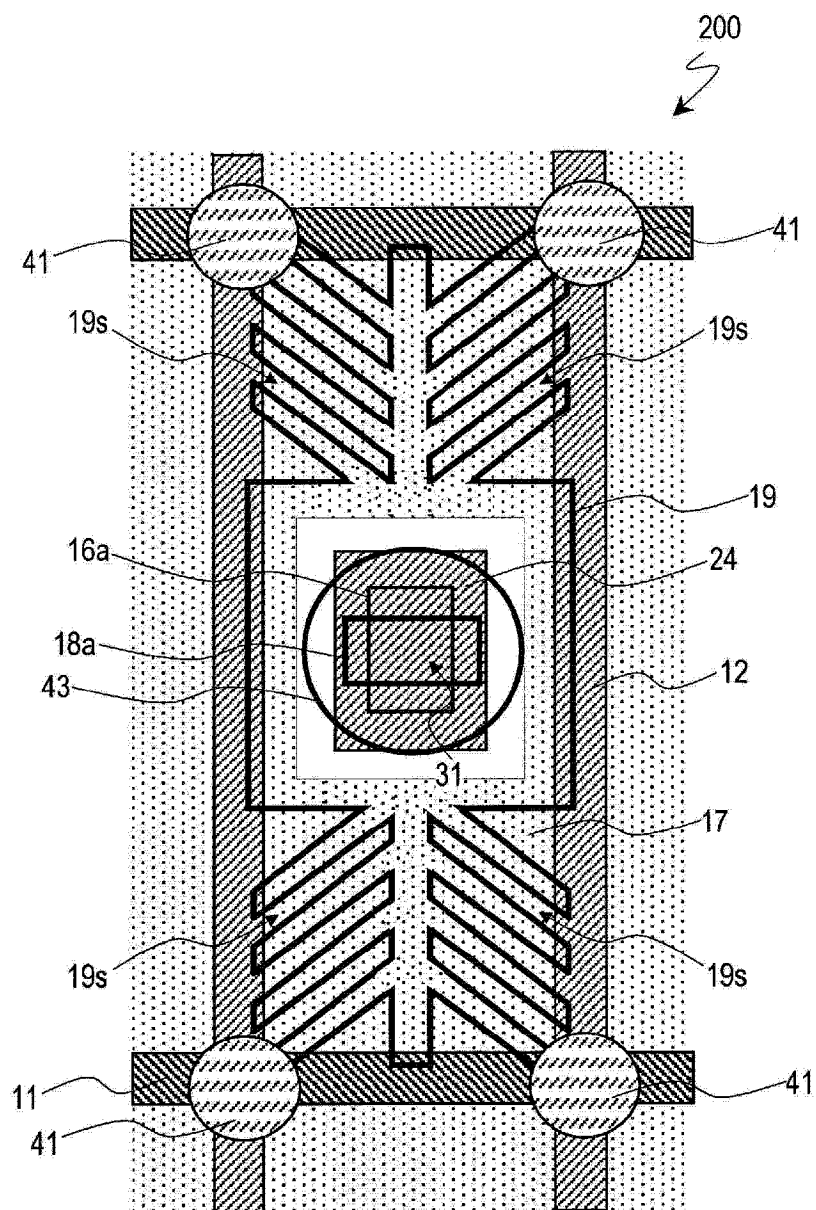


图 18

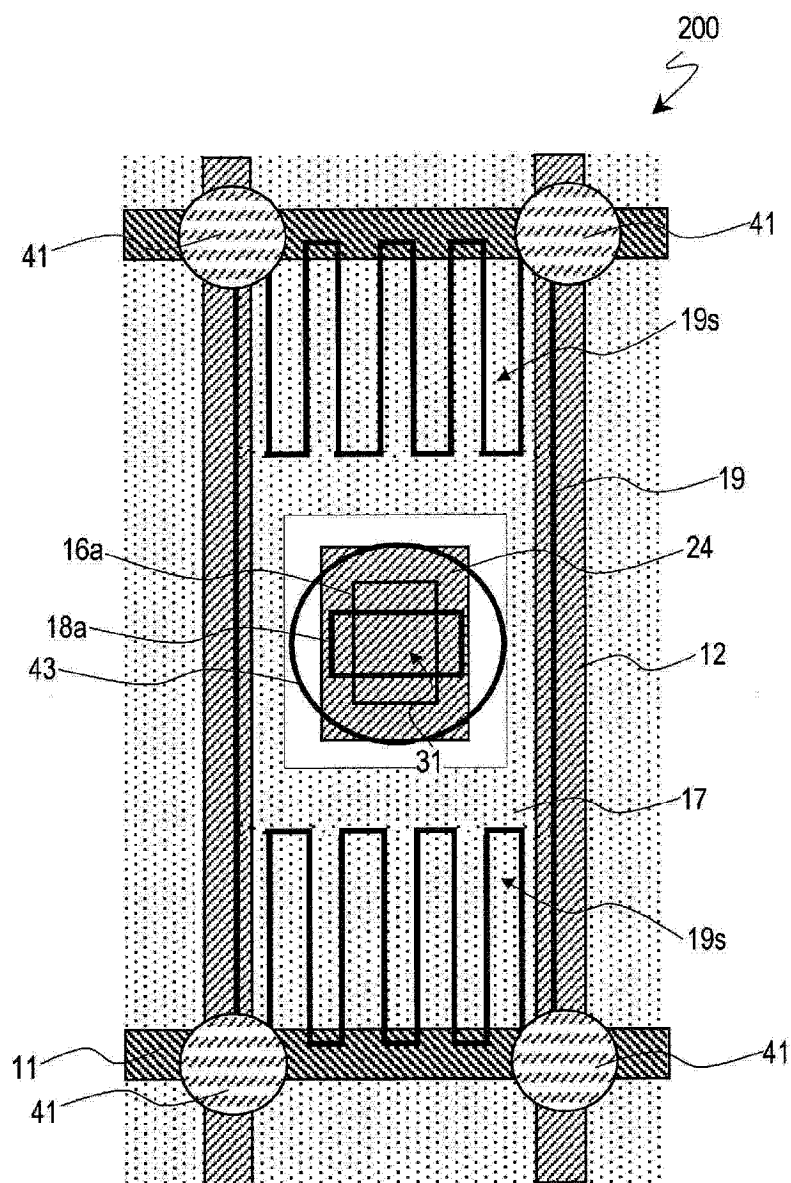


图 19

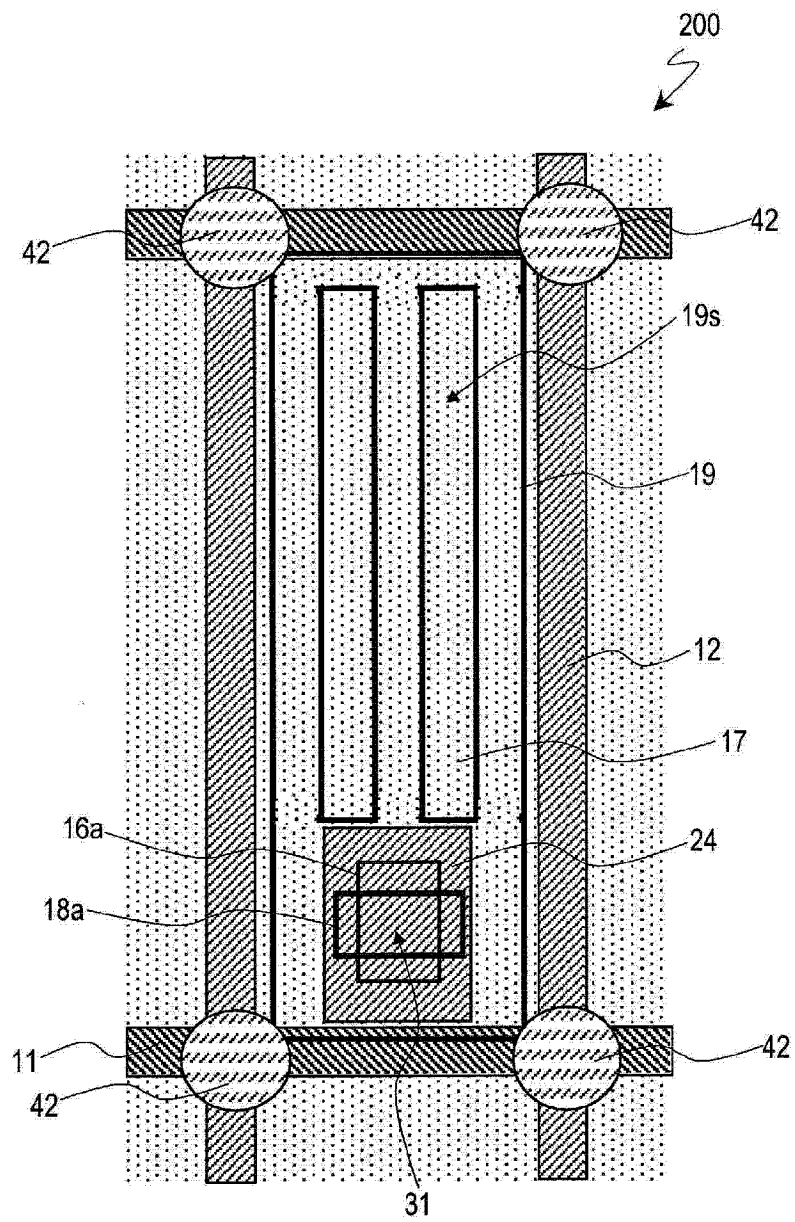


图 21

专利名称(译)	有源矩阵基板、液晶显示装置以及有源矩阵基板的制造方法		
公开(公告)号	CN103946741A	公开(公告)日	2014-07-23
申请号	CN201280055897.7	申请日	2012-11-12
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	守屋由瑞 中西登		
发明人	守屋由瑞 中西登		
IPC分类号	G02F1/1368 G02F1/1343 G09F9/30		
CPC分类号	G02F1/136286 G02F1/136227 G02F2001/134372 G02F2001/13629 G02F2201/40 H01L27/124 H01L27/1248 H01L27/1259		
优先权	2011253341 2011-11-18 JP		
其他公开文献	CN103946741B		
外部链接	Espacenet SIPO		

摘要(译)

有源矩阵基板(100A)具备：薄膜晶体管(20)；扫描配线(11)，其与第1方向大致平行；信号配线(12)，其与正交于第1方向的第2方向大致平行；第1层间绝缘层(16)，其覆盖薄膜晶体管；下层电极(17)，其设置在第1层间绝缘层上；电介质层(18)，其设置在下层电极上；以及上层电极(19)，其隔着电介质层与下层电极的至少一部分重叠。用于将上层电极与薄膜晶体管的漏极电极(24)电连接的第1接触孔(31)包含：第1开口部(16a)，其形成于第1层间绝缘层；以及第2开口部(18a)，其形成于电介质层。第1开口部的沿着第1方向和第2方向中的一个方向的宽度比第2开口部的沿着上述一个方向的宽度小。从基板的法线方向观看时，第2开口部的轮廓的一部分位于第1开口部的轮廓的内侧。

