



(12)发明专利申请

(10)申请公布号 CN 110335572 A

(43)申请公布日 2019. 10. 15

(21)申请号 201910573179.2

(22)申请日 2019.06.27

(71)申请人 重庆惠科金渝光电科技有限公司
地址 400000 重庆市巴南区界石镇石景路1号

申请人 惠科股份有限公司

(72)发明人 曹军红

(74)专利代理机构 深圳市世纪恒程知识产权代理事务所 44287

代理人 胡海国

(51)Int.Cl.

G09G 3/36(2006.01)

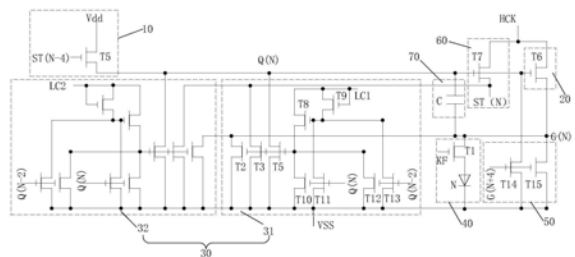
权利要求书2页 说明书8页 附图2页

(54)发明名称

阵列基板行驱动电路单元与其驱动电路及液晶显示面板

(57)摘要

本发明公开一种阵列基板行驱动电路单元与其驱动电路及液晶显示面板,其中,所述阵列基板行驱动电路单元包括:上拉控制模块;上拉模块;至少一个下拉模块,所述下拉模块与所述上拉控制模块、所述上拉模块连接,用于在接收行扫描信号时,根据直流低压信号将所述上拉控制信号与当前级的阵列基板行驱动电路单元的行扫描信号同时下拉至低电平;分压模块,所述分压模块与所述上拉模块电性连接,用于在所述下拉模块将所述上拉控制信号与所述当前级阵列基板行驱动电路单元的行扫描信号同时下拉至低电平时,增加下拉时的下降沿。本发明技术方案在降低高电位与低电位之间的差值,以降低画素的馈通电压,从而改善液晶显示面板的均一性。



1. 一种阵列基板行驱动电路单元,其中,阵列基板行驱动电路由多级阵列基板行驱动电路单元级联构成,其特征在于,所述阵列基板行驱动电路单元包括:

上拉控制模块,用于在接收到直流高压信号与级传信号时,输出上拉控制信号;

上拉模块,所述上拉模块与所述上拉控制模块电性连接,用于在接收到所述上拉控制信号及高频时钟信号时,输出当前级的阵列基板行驱动电路单元的行扫描信号;

至少一个下拉模块,所述下拉模块与所述上拉控制模块、所述上拉模块连接,用于在接收行扫描信号时,根据直流低压信号将所述上拉控制信号与当前级的阵列基板行驱动电路单元的行扫描信号同时下拉至低电平;

分压模块,所述分压模块与所述上拉模块电性连接,用于在所述下拉模块将所述上拉控制信号与所述当前级阵列基板行驱动电路单元的行扫描信号同时下拉至低电平时,增加下拉时的下降沿。

2. 如权利要求1所述的阵列基板行驱动电路单元,其特征在于,所述分压模块包括电子开关和分压元件;

所述电子元件的一端用于接收下降沿产生信号,所述电子元件的另一端与所述上拉模块连接以接收所述上拉模块输出的行扫描信号,所述电子元件的再一端经所述分压元件接收直流低压信号。

3. 如权利要求2所述的阵列基板行驱动电路单元,其特征在于,所述电子开关为第一场效应晶体管,所述第一场效应晶体管的栅极用于接收下降沿产生信号,所述第一场效应晶体管的源极与所述上拉模块电性连接,以接收所述上拉模块输出的行扫描信号,所述第一场效应晶体管的漏极经所述分压元件接收直流低压信号。

4. 如权利要求1所述的阵列基板行驱动电路单元,其特征在于,所述阵列基板行驱动电路单元包括两个所述下拉模块,两个所述下拉模块均与所述上拉控制模块及所述上拉模块电性连接。

5. 如权利要求1所述的阵列基板行驱动电路单元,其特征在于,所述阵列基板行驱动电路单元还包括:

下拉维持模块,所述下拉维持模块与所述上拉模块及所述上拉控制模块电性连接。

6. 如权利要求1所述的阵列基板行驱动电路单元,其特征在于,所述阵列基板行驱动电路单元还包括自举模块,所述自举模块的一端与所述上拉控制模块输出所述上拉控制信号的一端电性连接,所述自举模块的另一端与所述上拉模块的输出的当前级阵列基板行驱动电路电路单元的行扫描信号的一端电性连接。

7. 如权利要求1所述的阵列基板行驱动电路单元,其特征在于,所述阵列基板行驱动电路单元还包括级传模块,所述级传模块与所述上拉控制模块电性连接。

8. 如权利要求7所述的阵列基板行驱动电路单元,其特征在于,所述下拉模块包括第二场效应晶体管、第三场效应晶体管以及第四场效应晶体管,所述第二场效应晶体管的源极、所述第三场效应晶体管的源极以及所述第四场效应晶体管的源极分别连接直流低压信号,所述第二场效应晶体管的栅极、所述第三场效应晶体管的栅极以及所述第四场效应晶体管的栅极相互电性连接,所述第二场效应晶体管的漏极与所述上拉模块的输出当前级阵列基板行驱动电路电路单元的行扫描信号的一端电性电性连接,所述第三场效应晶体管的漏极与所述级传模块输出的级传信号电性连接,所述第四场效应晶体管的漏极与所述上拉控制

模块输出所述上拉控制信号的一端电性连接。

9. 一种阵列基板行驱动电路,其特征在于,所述阵列基板行驱动电路包括多级如权利要求1-8任一项所述的阵列基板行驱动电路单元,多级所述阵列基板行驱动电路单元级联构成所述阵列基板行驱动电路。

10. 一种液晶显示面板,其特征在于,所述液晶显示面板包括集成电路以及如权利要求9所述的阵列基板行驱动电路,所述集成电路的输出端与所述阵列基板行驱动电路的电路单元中的第一场效应晶体管的栅极电性连接。

阵列基板行驱动电路单元与其驱动电路及液晶显示面板

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种阵列基板行驱动电路单元与其驱动电路及液晶显示面板。

背景技术

[0002] GOA技术(Gate Driver on Array)即阵列基板行驱动技术,是运用液晶显示面板的原有阵列制程将水平扫描线的驱动电路制作在显示区周围的基板上,使之能替代外接集成电路板(Integrated Circuit, IC)来完成水平扫描线的驱动;GOA技术能减少外接IC的焊接(bonding)工序,并能有机会提升产能并降低产品成本,而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0003] 目前,部分用于栅极驱动的外接集成电路(Gate IC)能够输出具有两个下降沿的输出信号波形,以降低馈通电压,但对于GOA电路并不适用;现有的GOA电路,只能输出具有一个下降沿的输出信号,TFT(Thin Film Transistor, 场效应晶体管)的栅极关闭前后由恒压高电位(VGH)直接降低至恒压低电位(VGL),且液晶显示面板的像素充电时的馈通电压不能降低,不利于提升液晶面板的显示均一性。

发明内容

[0004] 本发明的主要目的是提出一种阵列基板行驱动电路单元,旨在降低高电位与低电位之间的差值,以降低画素的馈通电压,从而改善液晶显示面板的均一性。

[0005] 为实现上述目的,本发明提出的一种阵列基板行驱动电路单元,其中,阵列基板行驱动电路由多级阵列基板行驱动电路单元级联构成,所述阵列基板行驱动电路单元包括:

[0006] 上拉控制模块,用于在接收到直流高压信号与级传信号时,输出上拉控制信号;

[0007] 上拉模块,所述上拉模块与所述上拉控制模块电性连接,用于在接收到所述上拉控制信号及高频时钟信号时,输出当前级的阵列基板行驱动电路单元的行扫描信号;

[0008] 至少一个下拉模块,所述下拉模块与所述上拉控制模块、所述上拉模块连接,用于在接收行扫描信号时,根据直流低压信号将所述上拉控制信号与当前级的阵列基板行驱动电路单元的行扫描信号同时下拉至低电平;

[0009] 分压模块,所述分压模块与所述上拉模块电性连接,用于在所述下拉模块将所述上拉控制信号与所述当前级阵列基板行驱动电路单元的行扫描信号同时下拉至低电平时,增加下拉时的下降沿。

[0010] 可选地,所述分压模块包括电子开关和分压元件;

[0011] 所述电子元件的一端用于接收下降沿产生信号,所述电子元件的另一端与所述上拉模块连接以接收所述上拉模块输出的行扫描信号,所述电子元件的再一端经所述分压元件接收直流低压信号。

[0012] 可选地,所述电子开关为第一场效应晶体管,所述第一场效应晶体管的栅极用于接收下降沿产生信号,所述第一场效应晶体管的源极与所述上拉模块电性连接,以接收所

述上拉模块输出的行扫描信号,所述第一场效应晶体管的漏极经所述分压元件接收直流低压信号。

[0013] 可选地,所述阵列基板行驱动电路单元包括两个所述下拉模块,两个所述下拉模块均与所述上拉控制模块及所述上拉模块电性连接。

[0014] 可选地,所述阵列基板行驱动电路单元还包括:

[0015] 下拉维持模块,所述下拉维持模块与所述上拉模块及所述上拉控制模块电性连接。

[0016] 可选地,所述阵列基板行驱动电路单元还包括自举模块,所述自举模块的一端与所述上拉控制模块输出所述上拉控制信号的一端电性连接,所述自举模块的另一端与所述上拉模块的输出的当前级阵列基板行驱动电路电路单元的行扫描信号的一端电性连接。

[0017] 可选地,所述阵列基板行驱动电路单元还包括级传模块,所述级传模块与所述上拉控制模块电性连接。

[0018] 可选地,所述下拉模块包括第二场效应晶体管、第三场效应晶体管以及第四场效应晶体管,所述第二场效应晶体管的源极、所述第三场效应晶体管的源极以及所述第四场效应晶体管的源极分别连接直流低压信号,所述第二场效应晶体管的栅极、所述第三场效应晶体管的栅极以及所述第四场效应晶体管的栅极相互电性连接,所述第二场效应晶体管的漏极与所述上拉模块的输出当前级阵列基板行驱动电路电路单元的行扫描信号的一端电性电性连接,所述第三场效应晶体管的漏极与所述级传模块输出的级传信号电性连接,所述第四场效应晶体管的漏极与所述上拉控制模块输出所述上拉控制信号的一端电性连接。

[0019] 本发明还提出一种阵列基板行驱动电路,所述阵列基板行驱动电路包括多级如上所述的阵列基板行驱动电路单元,多级所述阵列基板行驱动电路单元级联构成所述阵列基板行驱动电路。

[0020] 本发明还提出一种液晶显示面板,所述液晶显示面板包括集成电路以及如上所述的阵列基板行驱动电路,所述集成电路的输出端与所述阵列基板行驱动电路的电路单元中的第一场效应晶体管的栅极电性连接。

[0021] 本发明技术方案中下拉模块在接收行扫描信号,根据直流低压信号将上拉控制信号与当前级的阵列基板行驱动电路单元的行扫描信号同时下拉至低电平,在下拉的过程中,增加分压模块,通过分压模块分压功能,以使下拉模块将上拉控制信号与当前级阵列基板行驱动电路单元的行扫描信号同时下拉至低电平时,增加下降沿,进而当前级阵列基板行驱动电路单元输出的波形具有两个下降沿,以降低高电位与低电位之间的差值,以降低画素的馈通电压,从而改善液晶显示面板的均一性。

附图说明

[0022] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图示出的结构获得其他的附图。

[0023] 图1为本发明阵列基板行驱动电路单元的模块示意图；

[0024] 图2为本发明阵列基板行驱动电路单元的电路示意图；

[0025] 图3为本发明阵列基板行驱动电路单元的时序图。

[0026] 附图标号说明：

[0027]

标号	名称	标号	名称
10	上拉控制模块	50	下拉维持模块
20	上拉模块	60	级传模块
30	下拉模块	70	自举模块
31	第一下拉模块	Vdd	直流高压信号
32	第二下拉模块	ST(N)	当前级阵列基板行驱动电路单元的级传信号
40	分压模块	ST(N-4)	第一阵列基板行驱动电路单元的级传信号
Q(N)	当前级上拉控制信号	KF	下降沿产生信号
Q(N-2)	第二阵列基板行驱动电路单元的上拉控制模块输出的上拉控制信号	HCK	时钟信号
Q(N-4)	第一阵列基板行驱动电路单元的上拉控制模块输出的上拉控制信号	LC1	第一低频信号
G(N+4)	第三阵列基板行驱动电路单元的上拉模块输出的行扫描信号	LC2	第二低频信号
VSS	直流低压信号	T8	第八场效应晶体管体
T1	第一场效应晶体管	T9	第九场效应晶体管
T2	第二场效应晶体管	T10	第十场效应晶体管
T3	第三场效应晶体管	T11	第十一场效应晶体管

[0028]

T4	第四场效应晶体管	T12	第十二场效应晶体管
T5	第五场效应晶体管	T13	第十三场效应晶体管
T6	第六场效应晶体管	T14	第十四场效应晶体管
T7	第七场效应晶体管	T15	第十五场效应晶体管
G(N)	行扫描信号		

[0029] 本发明目的的实现、功能特点及优点将结合实施例,参照附图做进一步说明。

具体实施方式

[0030] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 需要说明,若本发明实施例中有涉及方向性指示(诸如上、下、左、右、前、后……),则该方向性指示仅用于解释在某一特定姿态(如附图所示)下各部件之间的相对位置关系、运动情况等,如果该特定姿态发生改变时,则该方向性指示也相应地随之改变。

[0032] 另外,若本发明实施例中有涉及“第一”、“第二”等的描述,则该“第一”、“第二”等的描述仅用于描述目的,而不能理解为指示或暗示其相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。另外,各个实施例之间的技术方案可以相互结合,但是必须是以本领域普通技术人员能够实现为基础,当技术方案的结合出现相互矛盾或无法实现时应当认为这种技术方案的结合不存在,也不在本发明要求的保护范围之内。

[0033] 请参照图1-3所示,本发明提出一种阵列基板行驱动电路单元,其中,阵列基板行驱动电路由多级阵列基板行驱动电路单元级联构成,所述阵列基板行驱动电路单元包括:

[0034] 上拉控制模块10,用于在接收到直流高压信号Vdd与级传信号时,输出上拉控制信号Q(N);

[0035] 上拉模块20,所述上拉模块20与所述上拉控制模块10电性连接,用于在接收到所述上拉控制信号Q(N)及高频时钟信号HCK时,输出当前级的阵列基板行驱动电路单元的行扫描信号G(N);

[0036] 至少一个下拉模块30,所述下拉模块30与所述上拉控制模块10、所述上拉模块20连接,用于在接收行扫描信号G(N)时,根据直流低压信号VSS将所述上拉控制信号Q(N)与当前级的阵列基板行驱动电路单元的行扫描信号G(N)同时下拉至低电平;

[0037] 分压模块40,所述分压模块40与所述上拉模块20电性连接,用于在所述下拉模块30将所述上拉控制信号Q(N)与当前级阵列基板行驱动电路单元的行扫描信号G(N)同时下拉至低电平时,增加下拉时的下降沿。

[0038] 由于阵列基板行驱动电路由多级阵列基板行驱动电路单元级联构成,其中,当前级阵列基板行驱动电路单元对显示区域内的对应级别的水平扫描线充电;上拉控制模块10

包括第五场效应晶体管T5,第五场效应晶体管T5的源极与第一阵列基板行驱动电路单元的行扫描信号G(N)Q(N-4)连接,第五场效应晶体管T5的栅极与第一阵列基板行驱动电路单元的级传信号ST(N-4)连接,第五场效应晶体管T5的漏极输出当前级阵列基板行驱动电路单元的上拉控制信号Q(N)。

[0039] 若当前级阵列基板行驱动电路单元为首级阵列基板行驱动电路单元,则第五场效应晶体管T5的栅极接收初始信号STV,并根据初始信号STV输出上拉控制信号Q(N),初始信号STV负责启动首级阵列基板行驱动电路单元;若当前级阵列基板行驱动电路单元不是首级阵列基板行驱动电路单元,则第五场效应晶体管T5的栅极接收第一阵列基板行驱动电路单元的级传信号ST(N-4),并根据接收的第一阵列基板行驱动电路单元的级传信号ST(N-4)及直流高压信号Vdd,输出当前级阵列基板行驱动电路单元的上拉控制信号Q(N),当前级阵列基板行驱动电路单元由第一阵列基板行驱动电路单元的行扫描信号G(N)Q(N-4)及第一阵列基板行驱动电路单元的级传信号ST(N-4)启动,从而实现逐级打开阵列基板行驱动电路,实现行扫描驱动,以使水平扫描线可以被逐级充电。

[0040] 上拉模块20与上拉控制模块10电性连接,并接收上拉控制模块10输出的上拉控制信号Q(N)与时钟信号HCK,根据上拉控制信号Q(N)与时钟信号HCK输出当前级阵列基板行驱动电路单元的行扫描信号G(N);上拉模块20包括第六场效应晶体管T6,第六场效应晶体管T6的源极与时钟信号HCK连接,第六场效应晶体管T6的栅极与当前级上拉控制模块10输出的上拉控制信号Q(N),第六场效应晶体管T6的漏极输出当前级阵列基板行驱动电路单元的行扫描信号G(N)。

[0041] 阵列基板行驱动电路单元还包括级传模块60,级传模块60与上拉控制模块10电性连接,级传模块60包括第七场效应晶体管T7,其中,第七场效应晶体管T7的源极连接时钟信号HCK,第七场效应晶体管T7的栅极与上拉模块20的第六场效应晶体管T6相互连接,并同时接入上拉控制模块10输出的上拉控制信号Q(N),第七场效应晶体管T7的漏极用于输出当前级阵列基板行驱动电路单元的级传信号ST(N),第七场效应晶体管T7根据当前级的上拉控制信号Q(N),将接收的时钟信号HCK输出成与当前级阵列基板行驱动电路单元的行扫描信号G(N)同步的当前级阵列基板行驱动电路单元的级传信号ST(N)。

[0042] 下拉模块30与上拉控制模块10及上拉模块20连接,当下拉模块30接收到第二阵列基板行驱动电路单元Q(N-2)输出的行扫描信号G(N)时,根据直流低压信号VSS将上拉控制模块10输出的上拉控制信号Q(N)与当前级阵列基板行驱动电路单元的行扫描信号G(N)同时下拉至低电平,以使上拉控制模块10输出的上拉控制信号Q(N)与当前级阵列基板行驱动电路单元的行扫描信号G(N)维持在关闭状态;下拉模块30包括第二场效应晶体管T2、第三场效应晶体管T3以及第四场效应晶体管T4,第二场效应晶体管T2的源极、第三场效应晶体管T3的源极以及第四场效应晶体管T4的源极分别连接直流低压信号VSS,第二场效应晶体管T2的栅极、第三场效应晶体管T3的栅极以及第四场效应晶体管T4的栅极相互电性连接,第二场效应晶体管T2的漏极与上拉模块20的输出当前级阵列基板行驱动电路单元的行扫描信号G(N)的一端电性电性连接,第三场效应晶体管T3的漏极与当前级的级传模块60输出的级传信号电性连接,第四场效应晶体管T4的漏极与所述上拉控制模块10输出上拉控制信号Q(N)的一端电性连接。

[0043] 分压模块40与上拉模块20电性连接及直流低压信号VSS连接,用于根据下降沿产

生信号KF,在下拉模块30将上拉控制信号Q(N)与当前级阵列基板行驱动电路单元的行扫描信号G(N)同时下拉至低电平时,增加下拉时的下降沿;其中,分压模块40包括电子开关与分压元件,所述电子元件的一端用于接收下降沿产生信号KF,所述电子元件的另一端与所述上拉模块20连接以接收所述上拉模块20输出的行扫描信号G(N),所述电子元件的再一端经所述分压元件接收直流低压信号VSS,需要说明的是,下降沿产生信号KF为集成电路输出的控制下降沿产生的信号。

[0044] 需要说明的是,所述第二阵列基板行驱动电路单元为位于所述当前级阵列基板行驱动电路单元前面的阵列基板行驱动电路单元,所述第一阵列基板行驱动电路单元为位于所述第二阵列基板行驱动电路单元前面的阵列基板行驱动电路单元。

[0045] 本实施例技术方案中下拉模块30在接收行扫描信号G(N),根据直流低压信号VSS将上拉控制信号Q(N)与当前级的阵列基板行驱动电路单元的行扫描信号G(N)同时下拉至低电平,在下拉的过程中,增加分压模块40,通过分压模块40分压功能,以使下拉模块30将上拉控制信号Q(N)与当前级阵列基板行驱动电路单元的行扫描信号G(N)同时下拉至低电平时,增加下降沿,进而当前级阵列基板行驱动电路单元输出的波形具有两个下降沿,以降低高电位与低电位之间的差值,以降低画素的馈通电压,从而改善液晶显示面板的均一性。

[0046] 进一步地,所述电子开关为第一场效应晶体管T1,所述第一场效应晶体管T1的栅极用于接收下降沿产生信号KF,所述第一场效应晶体管T1的源极与所述上拉模块20电性连接,以接收所述上拉模块20输出的行扫描信号G(N),所述第一场效应晶体管T1的漏极经所述分压元件接收直流低压信号VSS。

[0047] 第一场效应晶体管T1在接收到下降沿产生信号KF时,根据下降沿产生信号KF,在下拉模块30将上拉控制信号Q(N)与当前级阵列基板行驱动电路单元的行扫描信号G(N)同时下拉至低电平时,增加下拉时的下降沿;需要说明的是,第一场效应晶体管T1也可为薄膜晶体管,分压元件为二极管,分压元件的正极与第一场效应晶体管T1的漏极连接,所述分压元件的负极接入直流低压信号VSS;由于二极管具有只允许电流有单一方向流过的,若反向是则阻断的技术特点,当输入的下降沿产生信号KF为高电平时,从第一场效应晶体管T1输出的信号为高电平,分压元件才能将第一场效应晶体管T1输出的信号导通输入直流低压信号VSS,而当输入的下降沿产生信号KF为低电平时,第一场效应晶体管T1输出的信号为低电平,二极管无法导通。

[0048] 进一步地,所述阵列基板行驱动电路单元包括两个所述下拉模块30,两个所述下拉模块30均与所述上拉控制模块10及所述上拉模块20电性连接。

[0049] 为了增加元件的使用寿命,通过轮流驱动两个下拉模块30,以减缓元件的受损程度,增加元件的使用寿命;其中,两个下拉模块30内元件的连接数量以及连接方式相同,其连接不同的是,两个下拉模块30连接的低频信号不同,两个下拉模块30分为第一下拉模块31与第二下拉模块32,第一下拉模块31与第一低频信号LC1连接,且第一下拉模块31同时与上拉控制模块10、上拉模块20以及直流低压信号VSS连接,根据第一低频信号LC1与直流低压信号VSS将上拉控制信号Q(N)与当前级的行扫描信号G(N)维持在关闭状态,第二下拉模块32与第二低频信号LC2连接,且第二下拉模块32同时与上拉控制模块10、上拉模块20以及直流低压信号VSS连接,根据第二低频信号LC2与直流低压信号VSS将上拉控制信号Q(N)与当前级的行扫描信号G(N)维持在关闭状态。

[0050] 需要说明的是,在第一下拉模块31中,第一低频信号LC1接入时,需流经第九场效应晶体管T9与第八场效应晶体管T8,其中,第八场效应晶体管T8的漏极与所述第二场效应晶体管T2的栅极、所述第三场效应晶体管T3的栅极以及所述第四场效应晶体管T4的栅极相互连接,第九场效应晶体管T9的源极和栅极以及第八场效应晶体管T8的源极同时接入第一低频信号LC1,第九场效应晶体管T9的漏极与第八场效应晶体管T8的栅极连接;第二下拉模块32的电路连接方式与第一下拉模块31的电路连接方式相同。

[0051] 进一步地,第一下拉模块31还包括第十场效应晶体管T10、第十一场效应晶体管T11、第十二场效应晶体管T12以及第十三场效应晶体管T13,第十场效应晶体管T10的源极、第十一场效应晶体管T11的源极、第十二场效应晶体管T12的源极以及第十三场效应晶体管T13的源极同时连接直流低压信号VSS,第十场效应晶体管T10的栅极与第十一场效应晶体管T11的栅极相互连接,且接入当前级上拉控制单元输出的上拉控制信号Q(N),第十场效应晶体管T10的漏极与第八场效应晶体管T8的漏极同时与所述第二场效应晶体管T2的栅极、所述第三场效应晶体管T3的栅极以及所述第四场效应晶体管T4的栅极相互连接,第十一场效应晶体管T11的漏极与第九场效应晶体管T9的漏极连接,第十二场效应晶体管T12的栅极与第十三场效应晶体管T13的栅极相互连接,且接入第二阵列基板行驱动电路单元的上拉控制模块10输出的上拉控制信号Q(N-2),第十二场效应晶体管T12的漏极与第十场效应晶体管的漏极及第八场效应晶体管T8的漏极相连,第十三场效应晶体管T13的漏极与第十一场效应晶体管T11的漏极及第九场效应晶体管T9的漏极相连。

[0052] 进一步地,所述阵列基板行驱动电路单元还包括:下拉维持模块50,所述下拉维持模块50与所述上拉模块20及所述上拉控制模块10电性连接。

[0053] 下拉维持模块50与上拉控制模块10、上拉模块20以及直流低压信号VSS连接,在接收到第三阵列基板行驱动电路单元的上拉模块输出的行扫描信号G(N+4)G(N+4)时,根据第三阵列基板行驱动电路单元的上拉模块输出的行扫描信号G(N+4)G(N+4)与直流低压信号VSS将当前级的上拉控制信号Q(N)与当前级的行扫描信号G(N)维持在关闭状态。

[0054] 其中,下拉位置模块包括第十四场效应晶体管T14与第十五场效应晶体管T15,第十四场效应晶体管T14的栅极与第十五场效应晶体管T15的栅极相互连接,并接入第三阵列基板行驱动电路单元的上拉模块输出的行扫描信号G(N+4)G(N+4),第十四场效应晶体管T14的源极与第十五场效应晶体管T15的源极同时接入直流低压信号VSS,第十四场效应晶体管T14的漏极与当前级上拉控制模块10输出的上拉控制信号Q(N)连接,第十五场效应晶体管T15的漏极与当前级上拉模块20输出的行扫描信号G(N)连接。

[0055] 需要说明的是,第三阵列基板行驱动电路单元为位于当前级阵列基板行驱动电路单元的后面的阵列基板行驱动电路单元。

[0056] 进一步地,所述阵列基板行驱动电路单元还包括自举模块70,所述自举模块70的一端与所述上拉控制模块10输出所述上拉控制信号Q(N)的一端电性连接,所述自举模块70的另一端与所述上拉模块20的输出当前级阵列基板行驱动电路电路单元的行扫描信号G(N)的一端电性连接。

[0057] 自举模块70包括自举电容,自举电容的一端与上拉控制模块10输出所述上拉控制信号Q(N)的一端电性连接,自举电容的另一端与上拉模块20的输出的当前级阵列基板行驱动电路电路单元的行扫描信号G(N)的一端电性连接,自举电容主要用于维持第六场效

应晶体管T6的栅极与源极之间的电压,以稳定第六场效应晶体管T6的输出。

[0058] 本申请还提出一种阵列基板行驱动电路,所述阵列基板行驱动电路包括多级如上所述的阵列基板行驱动电路单元,该阵列基板行驱动电路单元的具体电路参照上述实施例,由于本阵列基板行驱动电路采用了上述所有实施例的全部技术方案,因此至少具有上述实施例的技术方案所带来的所有有益效果,在此不再一一赘述,多级所述阵列基板行驱动电路单元级联构成所述阵列基板行驱动电路,以降低高电位与低电位之间的差值,以降低画素的馈通电压,从而改善液晶显示面板的均一性,有利于窄边框的液晶显示面板显示。

[0059] 请再次参照图1-3所示,本申请还一种液晶显示面板,所述液晶显示面板包括集成电路以及如上所述的阵列基板行驱动电路,该阵列基板行驱动电路的具体电路参照上述实施例,由于本液晶显示面板采用了上述所有实施例的全部技术方案,因此至少具有上述实施例的技术方案所带来的所有有益效果,在此不再一一赘述,所述集成电路的输出端与所述阵列基板行驱动电路的电路单元中的第一场效应晶体管T1的栅极电性连接。集成电路输出的控制下降沿产生的信号,第一场效应晶体管T1根据接收的下降沿产生信号KF,决定阵列基板行驱动电路的电路单元中的二极管是否导通,且第一场效应晶体管T1在接收到下降沿产生信号KF时,根据下降沿产生信号KF,在下拉模块30将上拉控制信号Q(N)与当前级阵列基板行驱动电路单元的行扫描信号G(N)同时下拉至低电平时,增加下拉时的下降沿,进而当前级阵列基板行驱动电路单元输出的波形具有两个下降沿,以降低高电位与低电位之间的差值,以降低画素的馈通电压,从而改善液晶显示面板的均一性,有利于窄边框的液晶显示面板显示。

[0060] 以上所述仅为本发明的优选实施例,并非因此限制本发明的专利范围,凡是在本发明的构思下,利用本发明说明书及附图内容所作的等效结构变换,或直接/间接运用在其他相关的技术领域均包括在本发明的专利保护范围内。

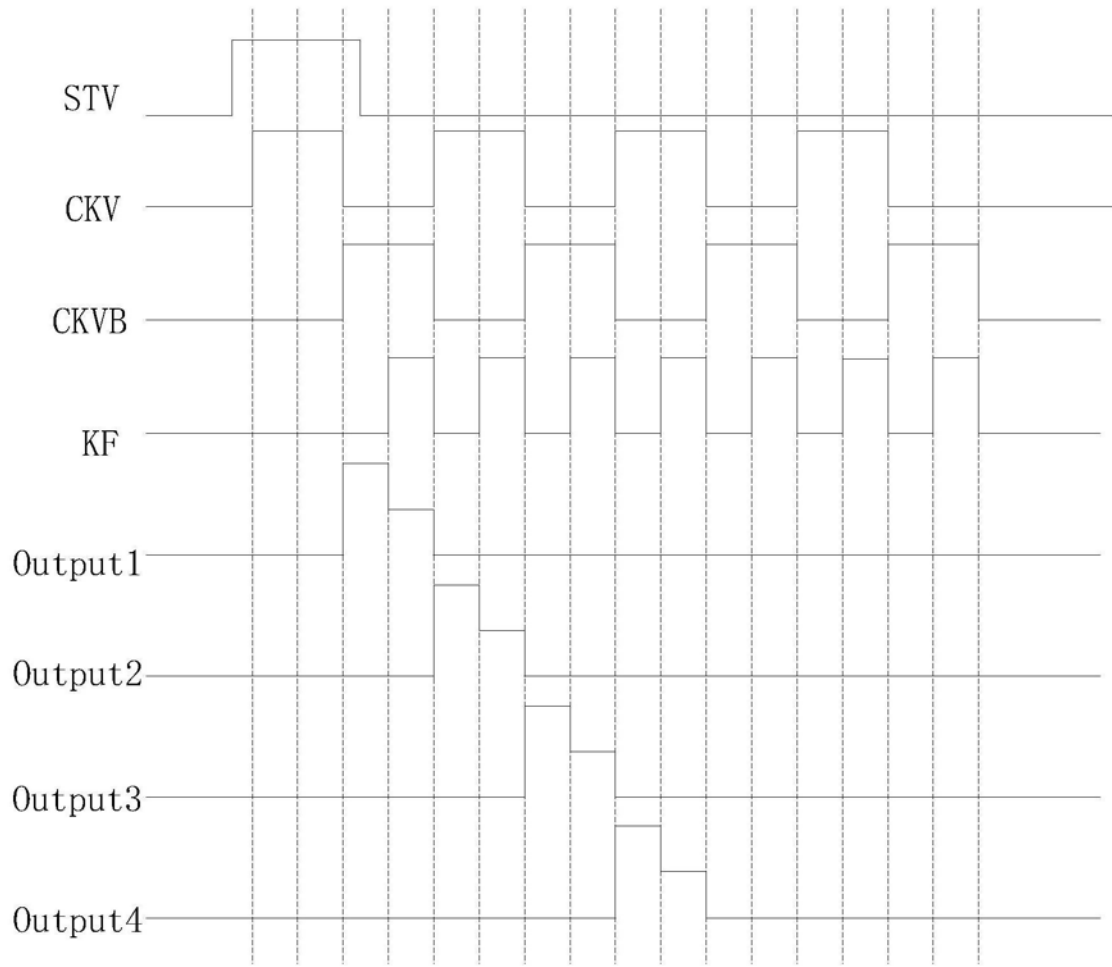


图3

专利名称(译)	阵列基板行驱动电路单元与其驱动电路及液晶显示面板		
公开(公告)号	CN110335572A	公开(公告)日	2019-10-15
申请号	CN201910573179.2	申请日	2019-06-27
[标]申请(专利权)人(译)	重庆惠科金渝光电科技有限公司 惠科股份有限公司		
申请(专利权)人(译)	重庆惠科金渝光电科技有限公司 惠科股份有限公司		
当前申请(专利权)人(译)	重庆惠科金渝光电科技有限公司 惠科股份有限公司		
[标]发明人	曹军红		
发明人	曹军红		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3674		
代理人(译)	胡海国		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种阵列基板行驱动电路单元与其驱动电路及液晶显示面板，其中，所述阵列基板行驱动电路单元包括：上拉控制模块；上拉模块；至少一个下拉模块，所述下拉模块与所述上拉控制模块、所述上拉模块连接，用于在接收行扫描信号时，根据直流低压信号将所述上拉控制信号与当前级的阵列基板行驱动电路单元的行扫描信号同时下拉至低电平；分压模块，所述分压模块与所述上拉模块电性连接，用于在所述下拉模块将所述上拉控制信号与所述当前级阵列基板行驱动电路单元的行扫描信号同时下拉至低电平时，增加下拉时的下降沿。本发明技术方案在降低高电位与低电位之间的差值，以降低画素的馈通电压，从而改善液晶显示面板的均一性。

