



(12)发明专利申请

(10)申请公布号 CN 109254462 A

(43)申请公布日 2019.01.22

(21)申请号 201811337263.6

(22)申请日 2018.11.12

(71)申请人 成都中电熊猫显示科技有限公司
地址 610200 四川省成都市双流区公兴街
道青栏路1778号

(72)发明人 杨桂冬 八木敏文 陈盈惠

(74)专利代理机构 北京同立钧成知识产权代理
有限公司 11205
代理人 张子青 刘芳

(51) Int. Cl.

G02F 1/1362(2006.01)

G02F 1/1345(2006.01)

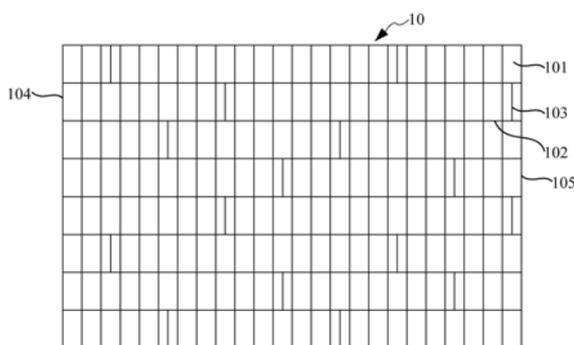
权利要求书1页 说明书7页 附图1页

(54)发明名称

阵列基板及液晶显示面板

(57)摘要

本发明提供一种阵列基板及液晶显示面板,该阵列基板包括:连接线、第一电源线以及阵列设置的多个储存电容,每行储存电容均通过一个横向设置的连接线路电连接,第一电源线沿纵向设置,且各连接线的一端均与第一电源线电连接;第一电源线的输入端与信号源电连接;相邻的两个连接线之间设置有纵接线,纵接线与相邻的两个连接线路电连接;纵接线与相邻两连接线路之间的第一电源线并联,以减小相邻两连接线路之间的第一电源线的电阻,减小相邻两连接线路之间的电压差,进而减小了靠近输入端的连接线路与其他连接线路之间的电压差,提高了显示效果。



1. 一种阵列基板,其特征在于,包括:连接线、第一电源线以及阵列设置的多个储存电容,每行所述储存电容均通过一个横向设置的所述连接线电连接,所述第一电源线沿纵向设置,且各所述连接线的一端均与所述第一电源线电连接;所述第一电源线的输入端与信号源电连接;相邻的两个所述连接线之间设置有纵接线,所述纵接线与相邻的两个所述连接线电连接。

2. 根据权利要求1所述的阵列基板,其特征在于,相邻的两个所述连接线之间间隔的设置有多条所述纵接线。

3. 根据权利要求1所述的阵列基板,其特征在于,一端与同一所述连接线连接且另一端与不同所述连接线连接的两个所述纵接线位于不同的直线上。

4. 根据权利要求1所述的阵列基板,其特征在于,所述纵接线位于蓝色像素区内。

5. 根据权利要求4所述的阵列基板,其特征在于,所述纵接线位于所述蓝色像素区内的暗线处。

6. 根据权利要求1-5任一项所述的阵列基板,其特征在于,所述纵接线与所述连接线同层设置,且一体成型。

7. 根据权利要求1-5任一项所述的阵列基板,其特征在于,所述纵接线与所述连接线异层设置,且所述纵接线与所述连接线之间通过第一过孔连接。

8. 根据权利要求1-5任一项所述的阵列基板,其特征在于,所述阵列基板还包括沿纵向设置的第二电源线,所述第二电源线与各所述连接线的另一端电连接,且所述第二电源线的输入端与所述信号源电连接。

9. 根据权利要求8所述的阵列基板,其特征在于,所述第一电源线、第二电源线与所述连接线异层设置,且所述第一电源线、第二电源线与所述连接线通过第二过孔电连接。

10. 一种液晶显示面板,其特征在于,包括:权利要求1-9任一项所述的阵列基板。

阵列基板及液晶显示面板

技术领域

[0001] 本发明涉及显示设备技术领域,尤其涉及一种阵列基板及液晶显示面板。

背景技术

[0002] 随着显示技术的逐渐发展,液晶显示面板逐渐应用在电视、电脑等显示设备上。

[0003] 液晶显示面板包括背光源、阵列基板、液晶层以及彩膜基板;阵列基板上具有阵列设置的多个像素区,每一像素区内设置有像素电极、薄膜晶体管以及储存电容,薄膜晶体管与像素电极电连接,储存电容的一个极板与薄膜晶体管电连接,储存电容的另一极板与连接线连接;连接线沿阵列基板的横向设置,每一连接线用于连接一行储存电容,各连接线的一端均与一根纵向设置的电源线电连接,电源线的输入端与信号源电连接。工作时薄膜晶体管控制与其连接的像素电极带电,进而驱动该像素电极正对的液晶层内的液晶偏转,使背光源发出的光线射入到彩膜基板上,以实现液晶显示面板的显示。

[0004] 然而,由于液晶显示面板的面积较大,用于连接各连接线的电源线较长,电源线一般由金属构成,金属的电阻较大使得靠近电源线输入端的连接线的电压与其他连接线的电压不等,导致液晶显示面板的亮度不均匀,显示效果差。

发明内容

[0005] 有鉴于此,本发明实施例提供一种阵列基板及液晶显示面板,以解决用于连接各连接线的电源线较长,电源线一般由金属构成,金属的电阻较大使得靠近电源线输入端的连接线的电压与其他连接线的电压不等,导致液晶显示面板的亮度不均匀,显示效果差的技术问题。

[0006] 本发明实施例提供了一种阵列基板,包括:连接线、第一电源线以及阵列设置的多个储存电容,每行所述储存电容均通过一个横向设置的所述连接线电连接,所述第一电源线沿纵向设置,且各所述连接线的一端均与所述第一电源线电连接;所述第一电源线的输入端与信号源电连接;相邻的两个所述连接线之间设置有纵接线,所述纵接线与相邻的两个所述连接线电连接。

[0007] 如上所述的阵列基板,优选地,相邻的两个所述连接线之间间隔的设置有多条所述纵接线。

[0008] 如上所述的阵列基板,优选地,一端与同一所述连接线连接且另一端与不同所述连接线连接的两个所述纵接线位于不同的直线上。

[0009] 如上所述的阵列基板,优选地,所述纵接线位于蓝色像素区内。

[0010] 如上所述的阵列基板,优选地,所述纵接线位于所述蓝色像素区内的暗线处。

[0011] 如上所述的阵列基板,优选地,所述纵接线与所述连接线同层设置,且一体成型。

[0012] 如上所述的阵列基板,优选地,所述纵接线与所述连接线异层设置,且所述纵接线与所述连接线之间通过第一过孔连接。

[0013] 如上所述的阵列基板,优选地,所述阵列基板还包括沿纵向设置的第二电源线,所

述第二电源线与各所述连接线的另一端电连接,且所述第二电源线的输入端与所述信号源电连接。

[0014] 如上所述的阵列基板,优选地,所述第一电源线、第二电源线与所述连接线异层设置,且所述第一电源线、第二电源线与所述连接线通过第二过孔电连接。

[0015] 本发明实施例还提供一种液晶显示面板,包括:如上所述的阵列基板。

[0016] 本发明提供的阵列基板及液晶显示面板,每行储存电容均通过一个横向设置的连接线电连接,第一电源线沿纵向设置,且各连接线的一端均与第一电源线电连接,第一电源线的输入端与信号源电连接,相邻两个连接线之间设置有纵接线,纵接线与相邻两连接线之间的第一电源线并联,以减小相邻两连接线之间的第一电源线的电阻,减小相邻两连接线之间的电压差,进而减小了靠近输入端的连接线与其他连接线之间的电压差,提高了显示效果。

附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图1为本实施例提供的阵列基板的结构示意图一;

[0019] 图2为本实施例提供的阵列基板的结构示意图二。

[0020] 附图标记说明:

[0021] 10、阵列基板;

[0022] 101、像素区;

[0023] 102、连接线;

[0024] 103、纵接线;

[0025] 104、第一电源线;

[0026] 105、第二电源线;

[0027] 106、第一点;

[0028] 107、第二点;

[0029] 1021、第一连接线;

[0030] 1022、第二连接线;

[0031] 1023、第三连接线;

[0032] 1024、第四连接线;

[0033] 1025、第五连接线;

[0034] 1031、第一纵接线;

[0035] 1032、第二纵接线;

[0036] 1041、第一导线。

具体实施方式

[0037] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例

中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 图1为本实施例提供的阵列基板的结构示意图;图2为本实施例提供的阵列基板的结构示意图二。

[0039] 请参照图1和图2。本实施例提供一种阵列基板10,包括:连接线102、第一电源线104以及多个阵列设置的储存电容,每行储存电容均通过一个横向设置的连接线102电连接,第一电源线104沿纵向设置,且各连接线102的一端均与第一电源线104电连接;第一电源线104的输入端与信号源电连接;相邻的两个连接线102之间设置有纵接线103,纵接线103与相邻的两个连接线102电连接。

[0040] 本实施例中,阵列基板10上具有阵列设置的多个像素区101,每个像素区101内设置一个储存电容以及一个薄膜晶体管,储存电容具有相对设置的第一极板以及第二极板,第一极板与该储存电容所在的像素区101内的薄膜晶体管电连接,第二极板与连接线102电连接。

[0041] 具体地,液晶显示面板包括背光源、阵列基板10、液晶层以及彩膜基板,阵列基板10上每个像素区内还设置有一个第一电极,阵列基板10上的薄膜晶体管与该薄膜晶体管所在的像素区101内的第一电极电连接,彩膜基板上设置有第二电极。使用时,薄膜晶体管控制与该薄膜晶体管所在的像素区101内的第一电极带电,以使第一电极和第二电极之间形成电场,使得液晶层内的液晶分子发生偏转,由背光源发出的光线经阵列基板10以及液晶层射出,以显示图像。

[0042] 本实施例中,每个连接线102横向设置,并且每行存储电容对应设置一个连接线102。参照附图1,连接线102横向设置,并且位于相邻两行像素区101之间,以免连接线102位于像素区101内,避免连接线102阻挡光线,以便于光线经像素区101内穿过。在一个可实现的方式中,像素区101上部的连接线102与该像素区101内的储存电容电连接;在其他的实现方式中,像素区101下部的连接线102与该像素区101内的存储电容电连接。

[0043] 本实施例中,继续参照图1,第一电源线104沿纵向设置,第一电源线104位于阵列基板10的最左端,每个连接线102的最左端均与第一电源线104连接。以图1所述方位为例,第一电源线104的输入端可以位于第一电源线104的上端,当然第一电源线104的输入端也可以位于第一电源线104的下端。信号源通过第一电源线104以及连接线102将电流输送至储存电容,以为储存电容充电。

[0044] 本实施例中连接线102可以为主要铜、银等金属材质构成的金属导线,当然连接线102还可以为主要由氧化铟锡等非金属导电材质构成的非金属导线,只要能够将信号源发出的电流输送至储存电容即可。

[0045] 本实施例中相邻两个横向设置的连接线102之间设置有纵接线103,纵接线103可以将相邻的两个连接线102连接起来,纵接线103与将相邻两连接线之间的第一电源线104并联,以减小相邻两连接线102之间的第一电源线104的电阻,进而减小两相邻两连接线102之间的电压差。进一步地,各相邻的两个连接线102之间均设置纵接线103,所有的纵接线103与整个第一电源线104并联以减小整个第一电源线104的电阻,进而减小了任意两个连接线102之间的电压差。

[0046] 另一方面,参照图2,由于每一行像素区101内均设置有纵接线103,此时任取一个连接线102上的第一点106以及其他连接线102上的第二点107,此时第一点106与第二点107之间通过由第一点106所在的连接线102上的第一连接线1021、第二点107所在的连接线102上的第二连接线1022以及两连接线102之间的第一电源线104上的第一导线1041构成的第一通路连接;第一点106和第二点107还通过由两连接线102之间的第一纵接线1031、第二纵接线1032、第一点106所在的连接线102上的第三连接线1023、第二点107所在的连接线102上的第四连接线1024以及第一纵接线1031和第二纵接线1032间的第五连接线1025构成的第二通路连接。即第一点106和第二点107在通过第一通路连接的同时还通过第二通路连接,并且第一通路和第二通路并联,可以减小第一点106与第二点107之间的电压差值;即设置在每一行像素区101内的纵接线103可以减小任意两个位于不同连接线102上的点的电压差值,以提高任意两个位于不同连接线102上的点之间的电压均匀性,提高显示效果。

[0047] 具体地,纵接线103可以为主要由铜、银等金属材质构成的金属线,或者纵接线103为主要由氧化铜锡等非金属导电材质构成的非金属导线,只要能够实现相邻两连接线102之间的电连接即可。纵接线103可以呈弧线状;或者纵接线103呈折线状,即纵接线103由多个依次设置的呈直线状的导电线构成,相邻导电线之间呈一定的夹角;在一个较佳的实现方式中,纵接线103呈直线状,可以减小纵接线103的长度,以减小纵接线103的电阻,另外与呈弧线状和折线状的纵接线103相比,呈直线状的纵接线103还可以减小纵接线103的挡光面积,以使更多的光线穿过阵列基板10。

[0048] 在一个可实现的方式中,纵接线103与连接线102异层设置,并且纵接线103与连接线102之间通过第一过孔电连接。纵接线103与连接线102位于不同的膜层之中,与纵接线103与连接线102同层设置相比,可以减小同一膜层内导线的数量,以免同一膜层内导线数量过多进而阻挡光线穿过。

[0049] 具体地,阵列基板10包括衬底基板;制作时,在衬底基板上形成第一绝缘层,之后在第一绝缘层上形成第一导电层,对第一导电层进行图形化以形成多个横向设置的连接线102;之后在第一导电层上形成第二绝缘层,在第二绝缘层上形成第二导电层,对第二导电层进行图案化以形成纵接线103;之后在纵接线103的一端开设第一孔洞,第一孔洞的底端延伸至连接线102,在纵接线103的另一端开设第二孔洞,第二孔洞的底端延伸至与第一孔洞正对的连接线102相邻的连接线102,之后在第一孔洞的侧壁形成导电材料以形成第一过孔,导电材料将连接线102和纵接线103的一端连接起来;或者在第一孔洞内填充导电材料,填充在第一孔洞内的导电材料将连接线102与纵接线103连接起来;在第二孔洞的侧壁上形成导电材料,或者在第二孔洞内填充导电材料,第二孔洞内的导电材料将纵接线103的另一端与第二孔洞正对的连接线102连接起来,使得相邻的两个连接线102通过纵接线103电连接。当然,第一导电层与第二绝缘层也可以间隔设置,即第一导电层与第二绝缘层之间可以具有其他的膜层。

[0050] 或者,在衬底基板上形成第一绝缘层,之后在第一绝缘层上形成第一导电层,对第一导电层进行图形化以形成纵接线103;之后在第一导电层上形成第二绝缘层,在第二绝缘层上形成第二导电层,对第二导电层进行图案化以形成多个横向设置的连接线102;之后在各纵接线103的两端对应的连接线102上开设孔洞,孔洞的底端延伸至其正对的纵接线103;在孔洞的侧壁形成导电材料以形成第一过孔,导电材料将连接线102和纵接线103连接起

来,或者在孔洞内填充导电材料,导电材料将连接线102与纵接线103连接起来。当然,第一导电层与第二绝缘层也可以间隔设置,即第一导电层与第二绝缘层之间可以具有其他的膜层。

[0051] 在一个可实现的方式中,纵接线103还可以与连接线102同层设置,相应的,纵接线103与连接线102一体成型。纵接线103与连接线102一体成型,与纵接线103和连接线102分开加工相比,简化了纵接线103和连接线102的加工工艺,加快了阵列基板10的生产速度。

[0052] 具体地,制作时可以在阵列基板10的衬底基板上形成绝缘层,之后在绝缘层上形成导电层,再对导电层进行图案化,以形成多个沿行设置的连接线102,以及相邻两个连接线102之间的纵接线103,并且纵接线103的一端与一个连接线102电连接,该连接线102相邻的连接线102与纵接线103的另一端电连接。通过一次图形化工艺即可形成连接线102和纵接线103,简化了纵接线103和连接线102的加工工艺,加快了阵列基板10的生产速度。

[0053] 本实施例提供的阵列基板10的工作过程为:信号源通过第一电源线104和连接线102向像素区101内存储电容的第二极板供电,当该像素区101内的薄膜晶体管控制储存电容的第一极板带电时,薄膜晶体管和连接线102向储存电容内充电;当该像素区101内的薄膜晶体管停止向储存电容供电时,储存电容向外放电,以持续向薄膜晶体管供电。

[0054] 本实施例提供的阵列基板10,通过使每行储存电容均通过一个横向设置的连接线102电连接,第一电源线104沿纵向设置,且各连接线102的一端均与第一电源线104电连接,第一电源线104的输入端与信号源电连接;相邻两个连接线102之间设置有纵接线103,纵接线103与将相邻两连接线之间的第一电源线104并联,以减小相邻两连接线102之间的第一电源线104的电阻,减小相邻两连接线102之间的电压差,进而减小了靠近输入端的连接线102与其他连接线102之间的电压差,提高了显示效果。

[0055] 本实施例中,相邻的两个连接线102之间间隔的设置有多条纵接线103。相邻两个连接线102通过多条纵接线103连接,可以进一步减小两个连接线102之间的电压差。

[0056] 相邻的两个连接线102之间的多条纵接线103同层设置,并且沿横向间隔的设置。继续参照图1,以8行24列共192个像素区101构成的阵列基板10为例,相邻的两个连接线102之间设置两个纵接线103;当然在其他的实现方式中,相邻两个连接线102之间纵接线103的数量还可以为三个、四个等。

[0057] 本实施例中,一端与同一连接线102连接且另一端与不同连接线102连接的两个纵接线103位于不同的直线上。同一连接线102两侧纵接线103位于不同的纵向直线上,使得各纵接线103在阵列基板10上杂乱的设置;以免纵接线103位于同一纵向直线上导致的,具有纵接线103的一列像素区101的亮度较暗。

[0058] 参见图1,以8行24列共192个像素区101构成的阵列基板10为例,相邻的两行像素区101之间设置有一个连接线102,两个纵接线103设置在一行像素区101内,以连接像素区101上下两侧的两个连接线102;其中从上到下的第一行像素区101内的一个纵接线103位于从左到右的第三个像素区101内,第一行像素区101内的另一纵接线103位于从右到左的第七个像素区101内,第一行内两个纵接线103之间间隔十四个像素区101;第二行像素区101内的一个纵接线103位于从左到右的第九个像素区101内,第二行像素区101的另一纵接线103位于从右到左的第一个像素区101内,即第二行像素区101内的两个纵接线103间隔十四个像素区101;第三行像素区101内的一个纵接线103位于从左到右的第六个像素区101内,第三行

像素区101的另一纵接线103向位于从右到左的第十个像素区101内,即第三行像素区101内的两个纵接线103间隔八个像素区101;第四行像素区101内的一个纵接线103位于从左到右的第十二个像素区101内,第四行像素区101的另一纵接线103位于从右到左的第四个像素区101内,即第四行像素区101内的两个纵接线103间隔八个像素区101;第五行像素区101内的一个纵接线103位于从左到右的第九个像素区101内,第五行像素区101的另一纵接线103位于从右到左的第一个像素区101内,即第五行像素区101内的两个纵接线103间隔十四个像素区101;第六行像素区101内的一个纵接线103位于从左到右的第三个像素区101内,第六行像素区101的另一纵接线103位于从右到左的第七个像素区101内,即第六行像素区101内的两个纵接线103间隔十四个像素区101;第七行像素区101内的一个纵接线103位于从左到右的第十二个像素区101内,第七行像素区101的另一纵接线103位于从右到左的第四个像素区101内,即第七行像素区101内的两个纵接线103间隔八个像素区101;第八行像素区101内的一个纵接线103位于从左到右的第六个像素区101内,第八行像素区101的另一纵接线103向位于从右到左的第十个像素区101内,即第八行像素区101内的两个纵接线103间隔八个像素区101。在其他实现方式中,每行像素区101内的纵接线103可以多于两个,并且各行像素区101内的纵接线103的排列方式可以有多种。

[0059] 本实施例中,纵接线103位于蓝色像素区内。像素区101包括正对红色滤光片的红色像素区、正对绿色滤光片的绿色像素区以及正对蓝色滤光片的蓝色像素区,在每行像素区101内红色像素区、绿色像素区以及蓝色像素区依次交替设置,并且每列像素区101的颜色相同。连接线102设置在蓝色像素区内,与连接线102设置在红色像素区和绿色像素区相比,对显示效果的影响较小,以提高显示效果。

[0060] 进一步地,纵接线103位于蓝色像素区内的暗线处。

[0061] 在使用光配向的液晶显示器中,由于配向突变会在像素区101对应的液晶层上形成呈十字形的黑纹,暗线为阵列基板10上与黑纹对应的区域,纵接线103位于暗线处,与纵接线103位于像素区101的其他位置相比,纵接线103不会阻挡光线穿过阵列基板10,提高了开口率。

[0062] 本实施例中,阵列基板10还包括沿纵向设置的第二电源线105,第二电源线105与各连接线102的另一端电连接,且第二电源线105的输入端与信号源电连接。

[0063] 需要说明的是,第一电源线104的输入端与第二电源线105的输入端位于阵列基板10的同一侧。参照图1所示的方位,第一电源线104的输入端位于第一电源线104的上端,相应的第二电源线105的输入端位于第二电源线105的上端;或者,第一电源线104的输入端位于第一电源线104的下端,相应的第二电源线105的输入端位于第二电源线105的下端。两个电源线同时向连接线102供电,可以进一步减小各连接线102之间的电压差。

[0064] 具体地,第一电源线104和第二电源线105可以同层设置,并且第一电源线104与第二电源线105一体成型;当然第一电源线104和第二电源线105还可以异层设置。第一电源线104和第二电源线105之间通过导线连接。

[0065] 在一个可实现的方式中,当第一电源线104和第二电源线105同层设置时,第一电源线104、第二电源线105以及连接线102可以同层设置,即第一电源线104、第二电源线105以及连接线102一体成型,以进一步提高阵列基板10的生产速度。

[0066] 在其他的可实现的方式中,当第一电源线104和第二电源线105同层设置时,第一

电源线104、第二电源线105与连接线102异层设置,且第一电源线104、第二电源线105与连接线102通过第二过孔电连接。

[0067] 进一步地,制作时,可以在阵列基板10的衬底基板上形成第一中间膜层,在第一中间膜层上形成第一导电膜层,之后对第一导电膜层进行图案化以形成第一电源线104和第二电源线105,之后在第一导电膜层上形成第二中间膜层,在第二中间膜层上形成第二导电膜层,对第二导电膜层进行图案化以形成连接线102,在连接线102的一端开设贯穿至第一电源线104的第三孔洞,并在连接线102的另一端开设贯穿至第二电源线105的第四孔洞,在第三孔洞和第四孔洞的侧壁上形成导电层,以形成第二过孔,第三孔洞内的导电层可以将连接线102的一端与第一电源线104连接起来,第二孔洞内的导电层可以将连接线102的另一端与第二电源线105连接起来。

[0068] 当然,在其他实现方式中,制作时,可以在阵列基板10的衬底基板上形成第一中间膜层,在第一中间膜层上形成第一导电膜层,之后对第一导电膜层进行图案化以形成连接线102,之后在第一导电膜层上形成第二中间膜层,在第二中间膜层上形成第二导电膜层,对第二导电膜层进行图案化以形成第一电源线104和第二电源线105,在第一电源线104上开设贯穿至连接线102一端的第三孔洞,并在第二电源线105上开设贯穿至连接线102另一端的第四孔洞,在第三孔洞和第四孔洞的侧壁上形成导电层,以形成第二过孔,第三孔洞内的导电层可以将连接线102的一端与第一电源线104连接起来,第二孔洞内的导电层可以将连接线102的另一端与第二电源线105连接起来。

[0069] 继续参照图1和图2。在其他实施例中,还提供一种液晶显示面板,包括:背光源、液晶层以及如上所述的阵列基板10;背光源、阵列基板10以及液晶层依次层叠设置。

[0070] 在本发明中,除非另有明确的规定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸的连接,或一体成型,可以是机械连接,也可以是电连接或者彼此可通讯;可以是直接相连,也可以通过中间媒体间接连接,可以是两个元件内部的连通或者两个元件的互相作用关系,除非另有明确的限定。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0071] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

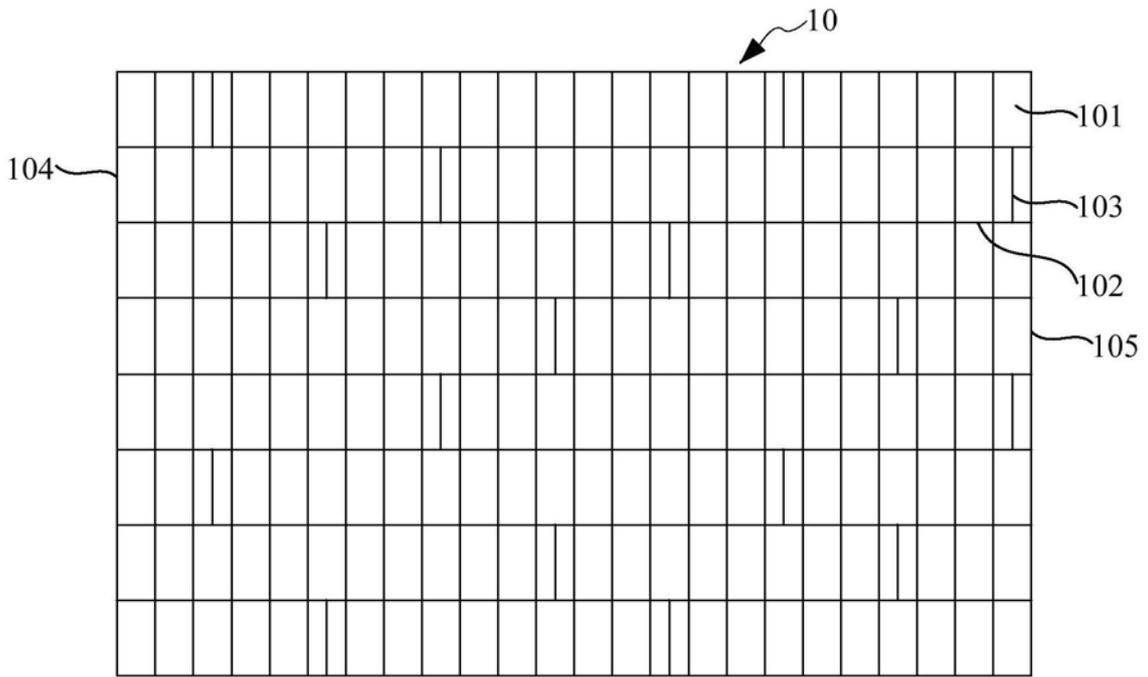


图1

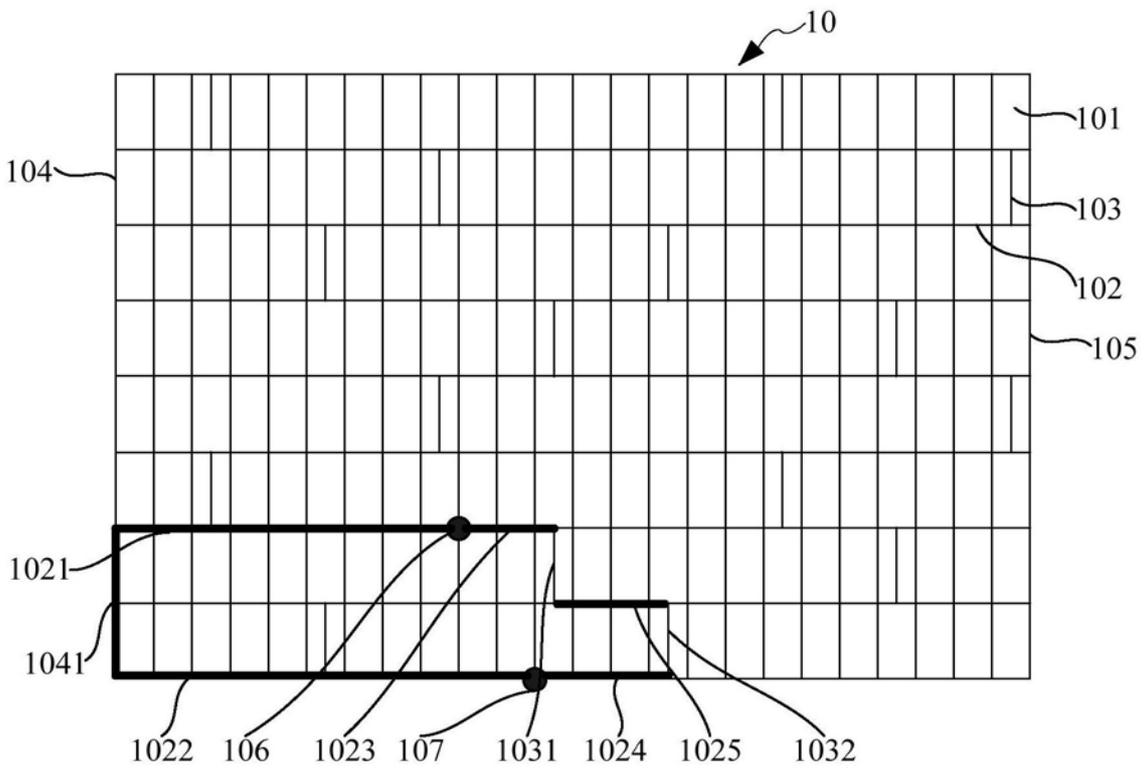


图2

专利名称(译)	阵列基板及液晶显示面板		
公开(公告)号	CN109254462A	公开(公告)日	2019-01-22
申请号	CN201811337263.6	申请日	2018-11-12
[标]发明人	杨桂冬 八木敏文 陈盈惠		
发明人	杨桂冬 八木敏文 陈盈惠		
IPC分类号	G02F1/1362 G02F1/1345		
CPC分类号	G02F1/136213 G02F1/1345 G02F1/136227		
代理人(译)	张子青 刘芳		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基板及液晶显示面板，该阵列基板包括：连接线、第一电源线以及阵列设置的多个储存电容，每行储存电容均通过一个横向设置的连接线电连接，第一电源线沿纵向设置，且各连接线的一端均与第一电源线电连接；第一电源线的输入端与信号源电连接；相邻的两个连接线之间设置有纵接线，纵接线与相邻的两个连接线电连接；纵接线与相邻两连接线之间的第一电源线并联，以减小相邻两连接线之间的第一电源线的电阻，减小相邻两连接线之间的电压差，进而减小了靠近输入端的连接线与其他连接线之间的电压差，提高了显示效果。

