



(12) 发明专利

(10) 授权公告号 CN 103412449 B

(45) 授权公告日 2015. 11. 18

(21) 申请号 201310311215. 0

JP 2010014828 A, 2010. 01. 21,

(22) 申请日 2013. 07. 23

JP 4368007 B2, 2009. 11. 18,

CN 101750826 A, 2010. 06. 23,

(73) 专利权人 合肥京东方光电科技有限公司

地址 230011 安徽省合肥市铜陵北路 2177 号

专利权人 京东方科技集团股份有限公司

审查员 秦琦冰

(72) 发明人 姜清华 李小和 刘永 邵贤杰
李红敏

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

(56) 对比文件

CN 101750826 A, 2010. 06. 23,

CN 101866918 A, 2010. 10. 20,

CN 201845776 U, 2011. 05. 25,

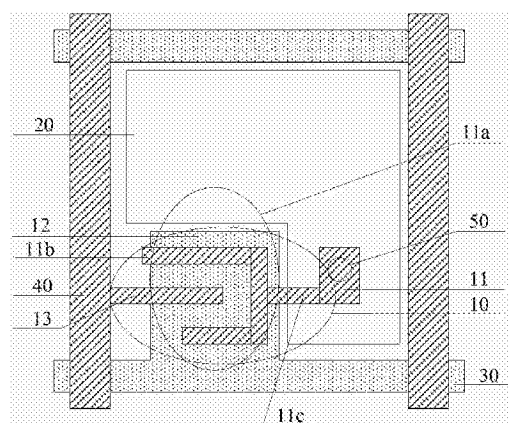
权利要求书1页 说明书14页 附图8页

(54) 发明名称

一种阵列基板及其制作方法、显示装置

(57) 摘要

本发明涉及显示技术领域,特别涉及一种阵列基板及其制作方法、显示装置,以解决 TFT-LCD 在相邻像素单元的第一金属层与第二金属层之间的错位量不同时存在画面品质不良的问题。本发明实施例提供一种阵列基板,包括 TFT, TFT 包括源极、栅极和漏极,栅极位于第一金属层,源极和漏极位于第二金属层;在所述第一金属层与第二金属层之间产生错位的情况下,所述源极和栅极的交叠面积恒定不变。本发明实施例在一定程度上避免或减少了画面品质不良问题的发生。



1. 一种阵列基板,包括薄膜晶体管 TFT,所述 TFT 包括源极、栅极和漏极,所述栅极位于第一金属层,所述源极和漏极位于第二金属层,其特征在于,

所述源极和栅极的形状满足:在所述第一金属层与第二金属层之间产生错位的情况下,所述源极和栅极的交叠面积恒定不变;

所述源极包括与栅极的交叠区域、以及在水平方向上分别位于所述栅极两侧的第一部分区域和第二部分区域;

在所述第一金属层与第二金属层之间产生错位的情况下,所述第一部分区域的增/减底面积与所述第二部分区域的减/增底面积相等;

所述第一部分区域、第二部分区域和与栅极的交叠区域组成的图案为类似“士”字型的图案;

其中,所述第一部分区域位于所述“士”字型的第一边和/或第二边在第一水平方向上延伸出所述栅极的位置处;以及

所述第二部分区域位于所述“士”字型的第一边和/或第二边在与第一水平方向相反的第二水平方向上延伸出所述栅极的位置处,所述第一边与第二边相互平行。

2. 如权利要求 1 任一所述的阵列基板,其特征在于,还包括与所述漏极连接的数据线,所述第一部分区域和第二部分区域与所述数据线之间的最小距离值不小于设定的阈值。

3. 一种显示装置,其特征在于,包括如权利要求 1-2 任一所述的阵列基板。

4. 一种如权利要求 1 所述的阵列基板的制作方法,其特征在于,该方法包括:

在衬底基板上形成栅极,其中所述栅极位于第一金属层;

在所述衬底基板上形成覆盖所述栅极的栅极绝缘层;

在所述栅极绝缘层上依次形成半导体活化层、以及位于所述半导体活化层上的源极和漏极,其中所述源极和漏极位于第二金属层;

其中,在所述第一金属层与第二金属层之间产生错位的情况下,所述源极和栅极的交叠面积恒定不变;

所述源极包括与栅极的交叠区域、以及在水平方向上分别位于所述栅极两侧的第一部分区域和第二部分区域;

在所述第一金属层与第二金属层之间产生错位的情况下,所述第一部分区域的增/减底面积与所述第二部分区域的减/增底面积相等;

所述第一部分区域、第二部分区域和与栅极的交叠区域组成的图案为类似“士”字型的图案;

其中,所述第一部分区域位于所述“士”字型的第一边和/或第二边在第一水平方向上延伸出所述栅极的位置处;以及

所述第二部分区域位于所述“士”字型的第一边和/或第二边在与第一水平方向相反的第二水平方向上延伸出所述栅极的位置处,所述第一边与第二边相互平行。

一种阵列基板及其制作方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种阵列基板及其制作方法、显示装置。

背景技术

[0002] TFT-LCD (Thin-Film Transistor Liquid Crystal Display, 薄膜晶体管液晶显示器) 包括彩膜基板、阵列基板和位于所述彩膜基板与阵列基板之间的液晶层,所述阵列基板包括透明基板、以及位于所述透明基板内侧的多个相互平行的栅线和与所述栅线垂直交叉且电性绝缘的多个数据线,其中,两相邻栅线和两相邻数据线围成一个像素单元。

[0003] 每个像素单元包括像素电极、存储电容 C_s 、液晶电容 C_{lc} 和作为开关器件的 TFT (薄膜晶体管), C_s 和 C_{lc} 并行连接于像素电极,且所述像素电极与 TFT 连接。如图 1 所示,像素单元的 TFT10 包括源极 11、栅极 12 和漏极 13,所述源极 10 通过通孔 50 电连接于像素电极 20,所述栅极 12 与栅线 30 连接,所述漏极 13 与数据线 40 连接,所述栅线 30 和栅极 12 位于第一金属层,数据线 40、漏极 13 和源极 11 位于第二金属层,且所述源极 11 与所述栅极 12 交叠。由于所述源极与所述栅极交叠,因而形成寄生电容 C_{gs} ,其中 C_{gs} 的大小和所述源极与栅极的交叠面积有关。

[0004] 针对一个像素单元,在与所述像素单元的 TFT 的栅极连接的栅线上施加有开启电压时,所述 TFT 处于导通状态,与所述 TFT 的漏极连接的数据线上的数据电压施加到像素电极上,对与并行连接于所述像素电极的 C_s 和 C_{lc} 进行充电。在与所述 TFT 的栅极连接的栅线上施加有关闭电压以使该 TFT 处于关闭状态时,施加到像素电极上的电压会由于寄生电

容 C_{gs} 的存在而发生跳变,且所述像素电极上的电压跳变量 $\Delta V_p = \frac{C_{gs}}{C_{gs} + C_s + C_{lc}} \Delta V_g$, 其中,

ΔV_g 为栅极上施加的开启电压与关闭电压之差。

[0005] 在实际应用中,由于工艺上的不稳定性,第一金属层与第二金属层之间会产生错位的情况,从而会导致像素单元的源极与栅极的交叠面积发生变化。若相邻像素单元的第一金属层与第二金属层之间的错位量不同时,则会造成相邻像素单元的源极与栅极的交叠面积的变化量不同,从而使得相邻像素单元的寄生电容 C_{gs} 的变化量不同,使得相邻像素单元的寄生电容 C_{gs} 在第一金属层与第二金属层之间产生错位后不同(所述相邻像素单元的寄生电容 C_{gs} 在第一金属层与第二金属层之间产生错位前是相同的),而在相邻像素单元的寄生电容 C_{gs} 不同时,相邻像素单元的像素电极上的电压跳变量不同,使得相邻像素的灰度不均匀,从而引起画面品质不良,比如,出现 Flicker (画面闪烁) 和 Mura (画面灰度不均匀) 等。

[0006] 综上所述,目前的 TFT-LCD 在相邻像素单元的第一金属层与第二金属层之间的错位量不同时存在画面品质不良的问题。

发明内容

[0007] 本发明实施例提供一种阵列基板及其制作方法、显示装置,用以解决现有技术

中存在的 TFT-LCD 在相邻像素单元的第一金属层与第二金属层之间的错位量不同时会在画面品质不良的问题。

[0008] 根据本发明实施例的第一个方面,提供一种阵列基板,包括薄膜晶体管 TFT,所述 TFT 包括源极、栅极和漏极,所述栅极位于第一金属层,所述源极和漏极位于第二金属层;

[0009] 所述源极和栅极的形状满足:在所述第一金属层与第二金属层之间产生错位的情况下,所述源极和栅极的交叠面积恒定不变。

[0010] 在本发明实施例中,针对阵列基板,在所述第一金属层与第二金属层之间产生错位的情况下,像素单元的源极和栅极的交叠面积恒定不变,因而每个像素单元的源极和栅极的交叠面积的变化量均相同(变化量为 0),从而保证在第一金属层与第二金属层之间产生错位后,相邻像素单元的源极和栅极的交叠面积仍然相同,使得相邻像素单元的寄生电容 C_{gs} 相同,进而实现在一定程度上保证相邻像素的灰度均匀,避免或减少画面品质不良问题的发生。

[0011] 较佳地,所述源极包括与栅极的交叠区域、以及在水平方向上分别位于所述栅极两侧的第一部分区域和第二部分区域;

[0012] 在所述第一金属层与第二金属层之间产生错位的情况下,所述第一部分区域的增/减底面积与所述第二部分区域的减/增底面积相等。

[0013] 在本发明实施例中,通过改进 TFT 包括的源极,实现在所述第一金属层与第二金属层之间产生错位的情况下,保证所述源极和栅极的交叠面积恒定不变。

[0014] 较佳地,所述第一部分区域、第二部分区域和与栅极的交叠区域组成的图案包括开口朝向水平方向的“U”字型图案和与所述“U”字型的封闭边连接且横向放置的“L”字型图案;

[0015] 其中,所述第一部分区域位于所述“U”字型的一侧边延伸出所述栅极的位置处,或位于所述“U”字型的两个侧边延伸出所述栅极的位置处,所述第二部分区域位于所述“L”字型延伸出所述栅极的位置处。

[0016] 较佳地,所述第一部分区域、第二部分区域和与栅极的交叠区域组成的图案为类似“士”字型的图案;

[0017] 其中,所述第一部分区域位于所述“士”字型的第一边和/或第二边在第一水平方向上延伸出所述栅极的位置处;以及

[0018] 所述第二部分区域位于所述“士”字型的第一边和/或第二边在与第一水平方向相反的第二水平方向上延伸出所述栅极的位置处,所述第一边与第二边相互平行。

[0019] 在本发明实施例中,提供了具体的 TFT 包括的源极的结构,以便本领域技术人员可以很容易地实现本发明的技术方案。需要说明的是,本发明实施例中的所述具体源极结构只用于解释本发明,而并不用于限制本发明,其它可以用于实现本发明技术方案的结构也在本发明的保护范围之内。

[0020] 较佳地,所述阵列基板还包括与所述漏极连接的数据线,所述第一部分区域和第二部分区域与所述数据线之间的最小距离值不小于设定的阈值。

[0021] 在本发明实施例中,通过使第一部分区域和第二部分区域与数据线之间的最小距离值不小于设定的阈值,可以避免源极与数据线之间发生短路,保证 TFT 具有较好的电性能。

[0022] 较佳地,所述栅极包括相互分开的第一部分区域和第二部分区域,所述源极包括与所述第一部分区域交叠的第三部分区域和与所述第二部分区域交叠的第四部分区域;

[0023] 在所述第一金属层与第二金属层之间产生错位的情况下,所述第三部分区域的增/减底面积与所述第四部分区域的减/增底面积相等。

[0024] 在本发明实施例中,通过改进 TFT 包括的栅极和源极,实现在所述第一金属层与第二金属层之间产生错位的情况下,保证所述源极和栅极的交叠面积恒定不变。

[0025] 较佳地,所述源极的图案为由所述第三部分区域、第四部分区域和位于所述第一部分区域和第二部分区域之间的区域组成的类似倒“T”字型的图案;

[0026] 其中,所述第三部分区域位于所述倒“T”字型在第一水平方向上与所述第一部分区域交叠的位置处,所述第四部分区域位于所述倒“T”字型在与所述第一水平方向相反的第二水平方向上与所述第二部分区域交叠的位置处。

[0027] 在本发明实施例中,提供了一种具体的 TFT 包括的源极和栅极的结构,以便本领域技术人员可以很容易地实现本发明的技术方案。需要说明的是,本发明实施例中的所述具体源极和栅极结构只用于解释本发明,而并不用于限制本发明,其它可以用于实现本发明技术方案的结构也在本发明的保护范围之内。

[0028] 根据本发明实施例的第二个方面,提供一种显示装置,包括所述的阵列基板。

[0029] 在本发明实施例中,由于所述显示装置包括的阵列基板能够在一定程度上保证相邻像素的灰度均匀,因而所述显示装置能够在一定程度上避免或减少画面品质不良问题的发生。

[0030] 根据本发明实施例的第三个方面,提供一种所述阵列基板的制作方法,包括:

[0031] 在衬底基板上形成栅极,其中所述栅极位于第一金属层;

[0032] 在所述衬底基板上形成覆盖所述栅极的栅极绝缘层;

[0033] 在所述栅极绝缘层上依次形成半导体活化层、以及位于所述半导体活化层上的源极和漏极,其中所述源极和漏极位于第二金属层;

[0034] 其中,在所述第一金属层与第二金属层之间产生错位的情况下,所述源极和栅极的交叠面积恒定不变。

[0035] 在本发明实施例中,针对阵列基板,在所述第一金属层与第二金属层之间产生错位的情况下,像素单元的源极和栅极的交叠面积恒定不变,因而每个像素单元的源极和栅极的交叠面积的变化量均相同(变化量为 0),从而能够实现在一定程度上保证相邻像素的灰度均匀,避免或减少画面品质不良问题的发生。

[0036] 与现有技术相比,采用本发明实施例的方案,使得当第一金属层与第二金属层之间产生错位的情况下,即使相邻像素单元的第一金属层与第二金属层之间产生的错位量不同,相邻像素单元的栅极和源极的交叠面积也能够相同,使得相邻像素单元的寄生电容 C_{gs} 相同,从而保证相邻像素单元的像素电极上的电压跳变量相同,使得相邻像素的灰度均匀,进而实现在一定程度上避免或减少 Flicker 和 Mura 等画面品质不良问题的发生。

附图说明

[0037] 图 1 为现有技术中像素单元的的结构示意图;

[0038] 图 2 为本发明实施例中阵列基板包括的像素单元的第一种结构示意图;

[0039] 图 3 为本发明实施例中阵列基板包括的像素单元的第二种结构示意图；
[0040] 图 4 为本发明实施例中阵列基板包括的像素单元的第三种结构示意图；
[0041] 图 5 为本发明实施例中阵列基板包括的像素单元的第四种结构示意图；
[0042] 图 6 为本发明实施例中阵列基板包括的像素单元的第五种结构示意图；
[0043] 图 7 为本发明实施例中阵列基板包括的像素单元的第六种结构示意图；
[0044] 图 8 为本发明实施例制作阵列基板的方法流程示意图；
[0045] 图 9A～图 9H 为本发明实施例阵列基板制作过程中阵列基板包括的像素单元的结构示意图。

具体实施方式

[0046] 本发明实施例提供的阵列基板包括 TFT，TFT 包括源极、栅极和漏极，栅极位于第一金属层，源极和漏极位于第二金属层；在所述第一金属层与第二金属层之间产生错位的情况下，所述源极和栅极的交叠面积恒定不变。

[0047] 由于在第一金属层与第二金属层之间产生错位之前，相邻像素单元的源极和栅极的交叠面积相同，在第一金属层与第二金属层之间产生错位之后，相邻像素单元的源极和栅极的交叠面积的变化量不同，从而造成第一金属层与第二金属层之间产生错位后相邻像素单元的源极和栅极的交叠面积不同；

[0048] 因而本发明实施例中的阵列基板的结构能够保证在所述第一金属层与第二金属层之间产生错位的情况下，源极和栅极的交叠面积恒定不变，即，本发明实施例中的阵列基板能够保证在第一金属层与第二金属层之间产生错位之后，相邻像素单元的源极和栅极的交叠面积的变化量相同，使得第一金属层与第二金属层之间产生错位后相邻像素单元的源极和栅极的交叠面积相同，从而保证实现在一定程度上保证相邻像素的灰度均匀，避免或减少画面品质不良问题的发生。

[0049] 下面结合说明书附图对本发明实施例作进一步详细描述。

[0050] 本发明实施例提供的阵列基板，包括 TFT，TFT 包括源极、栅极和漏极，栅极位于第一金属层，源极和漏极位于第二金属层；

[0051] 所述源极和栅极的形状满足：在第一金属层与第二金属层之间产生错位的情况下，源极和栅极的交叠面积恒定不变。

[0052] 需要说明的是，由于在本发明实施例中，阵列基板包括多个像素单元，每个像素单元包括一个 TFT，且本发明实施例提供的阵列基板包括的每个像素单元中的 TFT 的实施方式类似，下面将以本发明实施例的阵列基板包括的一个像素单元的实施方式为例，对本发明实施例的方案进行说明。

[0053] 较佳地，本发明实施例提供的阵列基板的像素单元，包括 TFT，TFT 包括源极、栅极和漏极，栅极位于第一金属层，源极和漏极位于第二金属层；

[0054] 所述源极和栅极的形状满足：在第一金属层与第二金属层之间产生错位的情况下，源极和栅极的交叠面积恒定不变。

[0055] 需要说明的是，本发明实施例是以栅极是底栅为例进行的介绍，具体实施中，其他类型的栅极（比如，顶栅等）的实施方式与本发明实施例的栅极（底栅）的实施方式类似，在此不再赘述。

[0056] 具体实施中,由于工艺不稳定等自然因素而造成的第一金属层与第二金属层之间产生的错位量一般都比较小(即,在预设错位量范围内)。

[0057] 具体实施中,预设错位量范围的下限值可以为 0,即,第一金属层与第二金属层之间未产生错位。

[0058] 较佳地,为了实现在第一金属层与第二金属层之间产生错位的情况下,保证源极和栅极的交叠面积恒定不变,需要对源极和 / 或栅极进行改进,下面将分别进行介绍。

[0059] 一、本发明实施例通过改进源极实现保证在第一金属层与第二金属层之间产生错位的情况下,源极和栅极的交叠面积恒定不变。

[0060] 较佳地,源极(或者,源极的横向截面图案)包括与栅极(或者,栅极的横向截面图案)的交叠区域、以及在水平方向上分别位于栅极(或者,栅极的横向截面图案)两侧的第一部分区域和第二部分区域;

[0061] 在第一金属层与第二金属层之间产生错位的情况下,第一部分区域的增 / 减底面积(或者,增 / 减面积)与第二部分区域的减 / 增底面积(或者,减 / 增面积)相等。

[0062] 需要说明的是,本发明实施例中括号内给出的是一种从源极和栅极的横向截面图案角度对本方案进行描述的方式。

[0063] 当然,本发明实施例的阵列基板(像素单元)的薄膜晶体管(TFT)的源极和漏极制作工艺相同,名称上可以互换;可以将与数据线连接的作为漏极,与像素电极连接的作为源极;反之亦然。

[0064] 其中,本发明实施例的阵列基板(像素单元)还包括与栅极垂直连接的栅线,与漏极垂直连接的数据线,与栅线平行的方向为水平方向,以及与数据线平行的方向为垂直方向,比如,如图 2 所示,与栅线 30 平行的方向为水平方向,与数据线 40 平行的方向为垂直方向。其中,本发明实施例的位于栅极(或者,栅极的横向截面图案)一侧的第一部分区域相对栅极(或者,栅极的横向截面图案)的底面积(或者,面积)会在第一金属层与第二金属层之间产生错位后发生变化,比如,在第一金属层与第二金属层之间产生错位前,位于栅极一侧的第一部分区域(相对栅极)的底面积为 A,在第一金属层与第二金属层之间产生错位后,位于栅极一侧的第一部分区域(相对栅极)的底面积会变化为 B。

[0065] 具体实施中,本发明实施例的位于栅极(或者,栅极的横向截面图案)另一侧的第二部分区域的实施方式与本发明实施例的第一部分区域的实施方式类似,在此不再赘述。

[0066] 实施中,第一部分区域和第二部分区域为在水平方向上分别位于所述栅极两侧的区域,在所述第一金属层与第二金属层之间产生错位的情况下,第一部分区域的增 / 减底面积与所述第二部分区域的减 / 增底面积相等,从而确保了源极与栅极的交叠区域的面积恒定,保证源极和栅极的交叠面积恒定不变;

[0067] 当第二金属层相对第一金属层发生左(右)错位(即,水平方向上的错位)时,第一部分区域的面积会增大(缩小),即源极与栅极间的寄生电容 C_{gs} 会缩小(增大),而相应地,第二部分区域的面积会缩小(增大),即源极与栅极间的寄生电容 C_{gs} 会增大(缩小),由于第一部分区域的增 / 减面积可以通过第二部分区域的减 / 增面积来补偿,从而确保了源极与栅极间的总寄生电容 C_{gs} 恒定不变,避免 Flicker 和 Mura 的发生;

[0068] 当第二金属层相对第一金属层发生上(下)错位(即,垂直方向上的错位)时,由于源极(或者,源极的横向截面图案)与栅极(或者,栅极的横向截面图案)的交叠区域与栅极

(或者,栅极的横向截面图案)的两边缘之间的距离值比较大,因而不会影响源极和栅极的交叠面积;

[0069] 当第二金属层相对第一金属层发生一定角度的错位时,一定角度的错位可以分解为水平方向上的错位和垂直方向上的错位,而水平方向上的错位和垂直方向上的错位的实施方式与上述水平方向上的错位和垂直方向上的错位的实施方式类似,在此不再赘述。

[0070] 较佳地,与栅极(或者,栅极的横向截面图案)的交叠区域的形状可以为能保证 TFT 电性能的任何形状。

[0071] 较佳地,与栅极(或者,栅极的横向截面图案)的交叠区域的形状可以根据需要或经验设计,比如,根据 TFT 包括的源极的形状设计。

[0072] 较佳地,第一部分区域和第二部分区域的形状可以为任何形状(比如,圆形、长方形或椭圆形),只需要满足在第一金属层与第二金属层之间产生错位的情况下,第一部分区域的增/减面积与第二部分区域的减/增面积相等即可。

[0073] 较佳地,第一部分区域和第二部分区域的形状可以根据需要或经验设计。

[0074] 需要说明的是,任何包括与栅极(或者,栅极的横向截面图案)的交叠区域、以及在水平方向上分别位于栅极(或者,栅极的横向截面图案)两侧的第一部分区域和第二部分区域的源极结构均适用于本发明实施例,本发明实施例无法穷举所有的可能的源极结构,下面将以两个较佳的实施例对本发明实施例的源极结构进行详细介绍。

[0075] 实施例一

[0076] 较佳地,如图 2 所示,像素单元包括 TFT10、像素电极 20、栅线 30 和数据线 40, TFT10 包括源极 11、栅极 12 和漏极 13,源极 11 与像素电极 20 通过通孔 50 进行电性连接,栅极 12 与栅线 30 连接,漏极 13 与数据线 40 连接,其中,栅极 12 和栅线 30 位于第一金属层,源极 11、漏极 13 和数据线 40 位于第二金属层;

[0077] 源极 11 (或者,源极 11 的横向截面图案)包括与栅极 12 (或者,栅极 12 的横向截面图案)的交叠区域 11a、以及在水平方向上分别位于栅极 12 (或者,栅极 12 的横向截面图案)两侧的第一部分区域 11b 和第二部分区域 11c;

[0078] 第一部分区域 11b、第二部分区域 11c 和与栅极 12 (或者,栅极 12 的横向截面图案)的交叠区域 11a 组成的图案,包括开口朝向水平方向的“U”字型图案和与所述“U”字型的封闭边连接且横向放置的“L”字型图案;

[0079] 其中,第一部分区域 11b 位于所述“U”字型的一侧边延伸出栅极 12 (或者,栅极 12 的横向截面图案)的位置处,或位于所述“U”字型的两个侧边延伸出栅极 12 (或者,栅极 12 的横向截面图案)的位置处,第二部分区域 11c 位于所述“L”字型延伸出栅极 12 (或者,栅极 12 的横向截面图案)的位置处。

[0080] 具体实施中,所述“U”字型开口可以朝向漏极,也可以背向漏极,较佳地,所述“U”字型开口朝向漏极,以及

[0081] 在所述“U”字型开口朝向漏极时,如图 2 和图 4 所示,第一部分区域 11b 位于所述“U”字型向背离通孔 50 方向延伸的一侧边,或如图 5 所示,位于所述“U”字型向背离通孔 50 方向延伸的两个侧边,漏极 13 (或者,漏极 13 的横向截面图案)位于所述“U”字型的两个侧边之间,横向放置的“L”字型图案为向左旋转 45 度的“L”字型,第二部分区域 11c 通过通孔 50 与像素电极 20 进行电性连接。

[0082] 具体实施中,所述“U”字型开口背向漏极时源极的实施方式与所述“U”字型开口朝向漏极时源极的实施方式类似,只不过在所述“U”字型开口背向漏极时,横向放置的“L”字型图案为向左旋转 45 度且垂直翻转后的“L”字型,且漏极(或者,漏极的横向截面图案)与横向放置的“L”字型图案平行。

[0083] 较佳地,所述“U”字型与栅极(或者,栅极的横向截面图案)交叠的侧边和封闭边,即,位于与栅极(或者,栅极的横向截面图案)的交叠区域的侧边和封闭边的形状可以根据需要或经验设计,比如,如图 2 所示,所述“U”字型的封闭边的形状为长方形,如图 3 所示,所述“U”字型的封闭边的形状为弧形。

[0084] 较佳地,第一部分区域和第二部分区域的形状可以为规则形状,也可以为不规则形状,比如,如图 2 所示,第一部分区域 11b 的形状为长方形,第二部分区域 11c 的形状为横向放置的“L”字型。

[0085] 具体实施中,第二部分区域的形状根据需要也可以由“L”字型变形为其他形状,比如,变形为垂直于所述“U”字型的封闭边的长方形,即,第二部分区域的形状为“一”字型。较佳地,当第一部分区域的位置不同时,第一部分区域的尺寸要求可能相同,也可能不同,以实现在第一金属层与第二金属层之间产生错位的情况下,第一部分区域的增/减面积与第二部分区域的减/增面积相等。

[0086] 比如,如图 2 所示,第一部分区域 11b 位于所述“U”字型的一侧边(靠近栅极 12 的上下边缘中的上边缘,其中栅极 12 的下边缘与栅线 30 接触,栅极 12 的上边缘远离栅线 30,栅极 12 的上边缘与栅极 12 的下边缘相互平行)延伸出栅极 12 截面图案的位置处且第一部分区域 11b 的形状为长方形,第二部分区域 11c 位于所述“L”字型延伸出栅极 12 截面图案的位置处且第二部分区域 11c 的形状为横向放置的“L”字型;

[0087] 由于在第一金属层与第二金属层之间产生错位的情况下,第一部分区域 11b 和第二部分区域 11c 的长度的变化量相等,因而为了实现在第一金属层与第二金属层之间产生错位的情况下,第一部分区域 11b 的增/减面积与第二部分区域 11c 的减/增面积相等,要求第一部分区域 11b 的宽度等于第二部分区域 11c 的水平区域的长方形的宽度,并且,较佳地,第一部分区域 11b 的宽度值的取值范围为 5um-10um。

[0088] 比如,如图 4 所示,第一部分区域 11b 位于所述“U”字型的一侧边(靠近栅极 12 的上下边缘中的下边缘)延伸出栅极 12 截面图案的位置处且第一部分区域 11b 的形状为长方形,第二部分区域 11c 位于所述“L”字型延伸出栅极 12 截面图案的位置处且第二部分区域 11c 的形状为横向放置的“L”字型;

[0089] 由于在第一金属层与第二金属层之间产生错位的情况下,第一部分区域 11b 和第二部分区域 11c 的长度的变化量相等,因而为了实现在第一金属层与第二金属层之间产生错位的情况下,第一部分区域 11b 的增/减面积与第二部分区域 11c 的减/增面积相等,要求第一部分区域 11b 的宽度等于第二部分区域 11c 的水平区域的长方形的宽度(图 2 和图 4 中的第一部分区域 11b 和第二部分区域 11c 的宽度的实施方式类似)。

[0090] 比如,如图 5 所示,第一部分区域 11b 位于所述“U”字型的两个侧边延伸出栅极 12 截面图案的位置处且第一部分区域 11b 的形状为长方形,第二部分区域 11c 位于所述“L”字型延伸出栅极 12 截面图案的位置处且第二部分区域 11c 的形状为横向放置的“L”字型;

[0091] 由于在第一金属层与第二金属层之间产生错位的情况下,第一部分区域 11b 和第

二部分区域 11c 的长度的变化量相等,因而为了实现在第一金属层与第二金属层之间产生错位的情况下,第一部分区域 11b 的增/减面积与第二部分区域 11c 的减/增面积相等,要求分别位于所述“U”字型的两个侧边延伸出栅极 12 截面图案的位置处的第一部分区域 11b 的宽度值之和等于第二部分区域 11c 的水平区域的长方形的宽度,并且,较佳地,第二部分区域 11c 的水平区域的长方形的宽度值的取值范围为 5 μ m-10 μ m。

[0092] 较佳地,第一部分区域的宽度值还可以根据需要或经验设定,比如,根据像素单元设计经验确定。

[0093] 较佳地,由于工艺不稳定等自然因素而造成的第一金属层与第二金属层之间产生的错位量在预设错位量范围内,因而为了实现在第一金属层与第二金属层之间产生错位的情况下,第一部分区域的增/减面积与所述第二部分区域的减/增面积相等,源极与栅极的两边缘(左、右两边缘)之间的最小距离值不小于所述预设错位量范围的上限值,下面以图 2 为例进行介绍。

[0094] 比如,如图 2 所示,第一部分区域 11b 的形状为长方形,第二部分区域 11c 的形状为横向放置的“L”字型;

[0095] 第一部分区域 11b 的长度值(即,第一部分区域 11b 距离栅极 12 的左边缘的值)为第一距离值,第二部分区域 11c 的水平区域的长方形的长度值为第二距离值,所述“U”字型平行于第一部分区域 11b 的一侧边距离栅极 12 的左边缘的值为第三距离值,所述“U”字型的封闭边距离栅极 12 的右边缘的值为第四距离值;

[0096] 其中,所述第一距离值、第二距离值、第三距离值和第四距离值中的最小值不小于所述预设错位量范围的上限值。

[0097] 具体实施中,第一距离值可以根据需要或经验设定,较佳地,第一距离值的取值范围为 1 μ m-5 μ m。

[0098] 实施中,第一距离值、第二距离值、第三距离值和第四距离值的取值越大,预设错位量范围的上限值取值越大,预设错位量范围越大,Flicker 和 Mura 发生的概率越小。

[0099] 较佳地,第一距离值、第二距离值、第三距离值和第四距离值相等。

[0100] 实施中,在第一距离值、第二距离值、第三距离值和第四距离值相等时,不仅可以保证预设错位量范围的上限值取值较大,还可以保证 TFT 具有较好的电性能。

[0101] 较佳地,第一部分区域和第二部分区域与数据线(或者,数据线的横向截面图案)之间的最小距离值不小于距离值阈值。

[0102] 具体实施中,距离值阈值可以根据需要或经验设定,比如,根据像素单元设计经验确定,较佳地,距离值阈值的取值范围为 5 μ m-10 μ m。

[0103] 实施中,第一部分区域和第二部分区域与数据线(或者,数据线的横向截面图案)之间的最小距离值不小于距离值阈值,可以防止源极与数据线间短路的情况发生。

[0104] 较佳地,栅极的上边缘与源极之间的最小距离值不小于间距阈值。

[0105] 具体实施中,间距阈值可以根据需要或经验设定,较佳地,间距阈值的取值范围为 3 μ m-5 μ m。

[0106] 实施例二

[0107] 较佳地,如图 6 所示,第一部分区域 11b、第二部分区域 11c 和与栅极 12 (或者,栅极 12 的横向截面图案)的交叠区域 11a 组成的图案为类似“土”字型的图案。为了实现在

第一金属层与第二金属层之间产生错位的情况下,源极和栅极的交叠面积恒定不变,第一部分区域和第二部分区域的实施方式有多种。

[0108] 较佳地,第一部分区域位于所述“土”字型的第一边和 / 或第二边在第一水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处;以及

[0109] 第二部分区域位于所述“土”字型的第一边和 / 或第二边在与第一水平方向相反的第二水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处,所述第一边与第二边相互平行。

[0110] 下面将对第一部分区域和第二部分区域的多种实施方式分别进行介绍。方式一、如图 6 所示,第一部分区域 11b 位于所述“土”字型的第一边在第一水平方向上延伸出栅极 12(或者,栅极 12 的横向截面图案)的位置处,第二部分区域 11c 位于所述“土”字型的第一边在与第一水平方向相反的第二水平方向上延伸出栅极 12(或者,栅极 12 的横向截面图案)的位置处。

[0111] 较佳地,第一部分区域 11b 的宽度等于第二部分区域 11c 的宽度。

[0112] 具体实施中,第一部分区域 11b 和第二部分区域 11c 的宽度的实施方式与图 2 中的第一部分区域 11b 的宽度的实施方式类似,在此不再赘述。

[0113] 较佳地,源极 11 与栅极 12 的两边缘(左、右两边缘)之间的最小距离值不小于所述预设错位量范围的上限值。

[0114] 比如,如图 6 所示,第一部分区域 11b 的形状为长方形,第二部分区域 11c 的形状为长方形;

[0115] 第一部分区域 11b 和第二部分区域 11c 的长度值(即,第一部分区域 11b 距离栅极 12 的左边缘的值,第二部分区域 11c 距离栅极 12 的右边缘的值)为第一距离值,所述“土”字型中与栅极 12 的截面图案交叠的一边距离栅极 12 的左边缘的值为第二距离值;

[0116] 其中,所述第一距离值和第二距离值中的最小值不小于所述预设错位量范围的上限值。

[0117] 具体实施中,第一距离值和第二距离值的实施方式与实施例一中的第一距离值和第二距离值的实施方式类似,在此不再赘述。

[0118] 方式二、第一部分区域位于所述“土”字型的第二边在第一水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处,第二部分区域位于所述“土”字型的第二边在与第一水平方向相反的第二水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处。

[0119] 方式三、第一部分区域位于所述“土”字型的第一边在第一水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处,第二部分区域位于所述“土”字型的第二边在与第一水平方向相反的第二水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处。

[0120] 方式四、第一部分区域位于所述“土”字型的第二边在第一水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处,第二部分区域位于所述“土”字型的第一边在与第一水平方向相反的第二水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处。

[0121] 具体实施中,方式二~方式四的实施方式与方式一的实施方式类似,在此不再赘述。

[0122] 方式五、第一部分区域位于所述“土”字型的第一边和第二边在第一水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处,第二部分区域位于所述“土”字型的第一

边或第二边在与第一水平方向相反的第二水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处。

[0123] 较佳地,第一部分区域的宽度之和等于第二部分区域的宽度。

[0124] 具体实施中,第一部分区域和第二部分区域的宽度的实施方式与图 5 中的第一部分区域 11b 和第二部分区域 11c 的宽度的实施方式类似,在此不再赘述。

[0125] 较佳地,源极与栅极的两边缘(左、右两边缘)之间的最小距离值不小于所述预设错位量范围的上限值,具体可参见本发明实施例的方式一的实施。

[0126] 方式六、第一部分区域位于所述“土”字型的第一边或第二边在第一水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处,第二部分区域位于所述“土”字型的第一边和第二边在与第一水平方向相反的第二水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处。

[0127] 较佳地,第二部分区域的宽度之和等于第一部分区域的宽度。

[0128] 具体实施中,第一部分区域和第二部分区域的宽度的实施方式与图 5 中的第一部分区域 11b 和第二部分区域 11c 的宽度的实施方式类似,在此不再赘述。

[0129] 较佳地,源极与栅极的两边缘(左、右两边缘)之间的最小距离值不小于所述预设错位量范围的上限值,具体可参见本发明实施例的方式一的实施。

[0130] 方式七、第一部分区域位于所述“土”字型的第一边和第二边在第一水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处,第二部分区域位于所述“土”字型的第一边和第二边在与第一水平方向相反的第二水平方向上延伸出栅极(或者,栅极的横向截面图案)的位置处。

[0131] 较佳地,第二部分区域的宽度之和等于第一部分区域的宽度之和。

[0132] 具体实施中,第一部分区域和第二部分区域的宽度的实施方式与图 5 中的第一部分区域 11b 的宽度的实施方式类似,在此不再赘述。

[0133] 较佳地,第一部分区域和第二部分区域的形状为长方形,第一部分区域和第二部分区域的长度值为第一距离值,则所述预设错位量范围的上限值为第一距离值。

[0134] 较佳地,第一部分区域和第二部分区域与数据线(或者,数据线的横向截面图案)之间的最小距离值不小于距离值阈值。

[0135] 具体实施中,距离值阈值可以根据需要或经验设定,比如,根据像素单元设计经验确定,较佳地,距离值阈值的取值范围为 5um-10um。

[0136] 实施中,第一部分区域和第二部分区域与数据线(或者,数据线的横向截面图案)之间的最小距离值不小于距离值阈值,可以防止源极与数据线间短路的情况发生。

[0137] 较佳地,栅极的上边缘与源极之间的最小距离值不小于间距阈值。

[0138] 具体实施中,间距阈值可以根据需要或经验设定,较佳地,间距阈值的取值范围为 3um-5um。

[0139] 需要说明的是,上述两个实施例仅是本发明实施例的改进后的源极的两种较佳实施方式,对本发明实施例中的源极结构进行的简单变形以使变形后的源极结构满足在第一金属层与第二金属层之间产生错位的情况下,源极和栅极的交叠面积恒定不变,或其他能够满足在第一金属层与第二金属层之间产生错位的情况下,源极和栅极的交叠面积恒定不变的源极结构均在本发明实施例的保护范围内。

[0140] 二、本发明实施例通过改进栅极实现保证在第一金属层与第二金属层之间产生错位的情况下,源极和栅极的交叠面积恒定不变。

[0141] 较佳地,栅极(或者,栅极的横向截面图案)包括第一部分区域和第二部分区域;

[0142] 在第一金属层与第二金属层之间产生错位的情况下,源极(或者,源极的横向截面图案)与第一部分区域的交叠面积的减小量/增加量等于源极(或者,源极的横向截面图案)与第二部分区域的交叠面积的增加量/减小量。

[0143] 需要说明的是,任何通过改进栅极结构,实现保证在第一金属层与第二金属层之间产生错位的情况下,源极与栅极的交叠面积恒定不变的方案均适用于本发明实施例。

[0144] 实施中,源极(或者,源极的横向截面图案)与第一部分区域增大(缩小)的交叠面积可通过源极(或者,源极的横向截面图案)与第二部分区域的交叠面积的缩小(增大)来补偿,从而确保了源极与栅极间的总寄生电容 C_{gs} 恒定不变,避免 Flicker 和 Mura 的发生。

[0145] 三、本发明实施例通过改进源极和栅极实现保证在第一金属层与第二金属层之间产生错位的情况下,源极和栅极的交叠面积恒定不变。

[0146] 较佳地,栅极(或者,栅极的横向截面图案)包括相互分开的第一部分区域和第二部分区域,源极(或者,源极的横向截面图案)包括与第一部分区域交叠的第三部分区域和与第二部分区域交叠的第四部分区域;

[0147] 在第一金属层与第二金属层之间产生错位的情况下,第三部分区域的增/减底面积(或者,面积)与第四部分区域的减/增底面积(或者,面积)相等。

[0148] 需要说明的是,任何通过改进源极和栅极,实现保证在第一金属层与第二金属层之间产生错位的情况下,第三部分区域的增/减底面积(或者,面积)与第四部分区域的减/增底面积(或者,面积)相等,以保证源极和栅极的交叠面积恒定不变的方案均适用于本发明实施例。

[0149] 实施中,第三部分区域的增/减底面积(或者,面积)可通过第四部分区域的减/增底面积(或者,面积)来补偿,从而确保了源极与栅极间的总寄生电容 C_{gs} 恒定不变,避免 Flicker 和 Mura 的发生。

[0150] 下面将以一个具体的实施例对通过改进源极和栅极以实现保证源极和栅极的交叠面积恒定不变的方案进行介绍。

[0151] 较佳地,如图 7 所示,栅极 12 (或者,栅极 12 的横向截面图案)包括相互分开的第一部分区域 12a 和第二部分区域 12b,源极 11 (或者,源极 11 的横向截面图案)包括与第一部分区域 12a 交叠的第三部分区域 11a 和与第二部分区域 12b 交叠的第四部分区域 11b;

[0152] 源极 11 (或者,源极的横向截面图案)为由第三部分区域 11a、第四部分区域 11b 和位于第一部分区域 12a 和第二部分区域 12b 之间的区域 11c 组成的类似倒“T”字型的图案;

[0153] 其中,第三部分区域 11a 位于所述倒“T”字型在第一水平方向上与第一部分区域 12a 交叠的位置处,第四部分区域 11b 位于所述倒“T”字型在与所述第一水平方向相反的第二水平方向上与第二部分区域 12b 交叠的位置处。

[0154] 具体实施中,第三部分区域 11a 和第四部分区域 11b 的形状可以根据需要或经验设计,较佳地,如图 7 所示,第三部分区域 11a 和第四部分区域 11b 的形状为长方形。

[0155] 较佳地,第三部分区域 11a 的宽度等于第四部分区域 11b 的宽度。

[0156] 较佳地,在第三部分区域 11a 的长度值和第四部分区域 11b 的长度值相等时,所述预设错位量范围的上限值为第三部分区域 11a 的长度值。

[0157] 实施中,第三部分区域 11a 的长度值越大,预设错位量范围的上限值越大,预设错位量范围越大,Flicker 和 Mura 发生的概率越小。较佳地,本发明实施例的显示装置,包括所述的阵列基板。所述显示装置可以为:液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0158] 较佳地,如图 8 所示,本发明实施例制作阵列基板的方法,包括:

[0159] 步骤 801、在衬底基板上形成栅极,其中所述栅极位于第一金属层;

[0160] 步骤 802、在所述衬底基板上形成覆盖所述栅极的栅极绝缘层;

[0161] 步骤 803、在所述栅极绝缘层上依次形成半导体活化层、以及位于所述半导体活化层上的源极和漏极,其中所述源极和漏极位于第二金属层;

[0162] 其中,在所述第一金属层与第二金属层之间产生错位的情况下,所述源极和栅极的交叠面积恒定不变。

[0163] 较佳地,在步骤 801 中,在衬底基板上形成栅极,包括:

[0164] 采用溅射或热蒸发的方法,在衬底基板上沉积一层栅金属层;

[0165] 对所述栅金属层进行刻蚀,形成栅极。

[0166] 具体实施中,衬底基板的实施方式与现有技术中衬底基板的实施方式类似,较佳地,衬底基板为玻璃基板或石英基板,或者柔性基板。

[0167] 具体实施中,栅金属层的实施方式与现有技术中栅金属层的实施方式类似。

[0168] 较佳地,栅金属层为由 Cr (铬)、Ti (钛)、Ta (钽)、Mo (钼)、Al (铝) 和 Cu (铜) 的金属或合金组成的至少一层薄膜。

[0169] 较佳地,栅金属层的厚度范围为 $500\text{\AA}\sim 4000\text{\AA}$ 。

[0170] 较佳地,在对栅金属层进行刻蚀时,通过采用不同图案的掩膜版,实现刻蚀出不同形状的栅极。

[0171] 较佳地,在形成栅极时,可以根据需要对所述栅金属层进行刻蚀,同时形成栅线,比如,以形成图 2 中的栅极和栅线为例,在衬底基板上形成栅极和栅线的平面图如图 9A 所示,并且图 9A 中 A-A' 向剖面图如图 9B 所示。

[0172] 较佳地,在步骤 802 中,在衬底基板上形成覆盖栅极的栅极绝缘层,包括:

[0173] 通过 PECVD (plasma enhanced chemical vapor deposition, 等离子体增强化学气相沉积) 方法,在衬底基板上形成覆盖栅极的栅极绝缘层。

[0174] 具体实施中,在衬底基板上形成有栅线时,所述栅极绝缘层同时覆盖栅极和栅线。

[0175] 较佳地,栅绝缘层对应的反应气体可以为 SiH_4 (硅烷)、 NH_3 (氨气) 和 N_2 的混合气体,栅绝缘层的材料包括氧化物、氮化物和氧氮化合物中的一种。

[0176] 较佳地,栅极绝缘层的厚度范围为 $1000\text{\AA}\sim 4000\text{\AA}$ 。

[0177] 较佳地,在步骤 803 中,在栅极绝缘层上依次形成半导体活化层、以及位于半导体活化层上的源极和漏极,包括:

[0178] 通过 PECVD 方法,在栅极绝缘层上沉积有源层,以及通过溅射或热蒸发方法,在有源层上沉积源漏金属层;

[0179] 对有源层和源漏金属层进行刻蚀,形成半导体活化层、以及位于半导体活化层上的源极和漏极。

[0180] 具体实施中,有源层的实施方式与现有技术中有源层的实施方式类似。

[0181] 较佳地,有源层的厚度范围为 $1000\text{ \AA}\sim 4000\text{ \AA}$ 。

[0182] 较佳地,有源层包括半导体层和掺杂半导体层(即,欧姆接触层),半导体层的厚度范围为 $1000\text{ \AA}\sim 3000\text{ \AA}$,掺杂半导体层的厚度范围为 $300\text{ \AA}\sim 600\text{ \AA}$ 。

[0183] 较佳地,有源层对应的反应气体包括 SiH_4 和 H_2 的混合气体,以及 SiH_2Cl_2 (二氯硅烷) 和 H_2 的混合气体。

[0184] 具体实施中,源漏金属层的实施方式与现有技术中源漏金属层的实施方式类似。

[0185] 较佳地,源漏金属层的厚度范围为 $500\text{ \AA}\sim 2500\text{ \AA}$ 。

[0186] 较佳地,源漏金属层的材料包括 Cr、W、Ti、Ta、Mo、Al 和 Cu 的金属或合金中的一种。

[0187] 具体实施中,源极和漏极之间对应的半导体活化层区域为 TFT 沟道图形对应区域,且在进行刻蚀工艺时,TFT 沟道图形对应区域的掺杂半导体层被完全刻蚀掉。

[0188] 较佳地,在对源漏金属层进行刻蚀时,通过采用不同图案的掩膜版,实现刻蚀出不同形状的源极和漏极。

[0189] 较佳地,在形成源极和漏极时,可以根据需要对所述源漏金属层进行刻蚀,同时形成数据线,比如,以形成图 2 中的源极、漏极和数据线为例,在半导体活化层上形成源极、漏极和数据线的平面图如图 9C 所示,其中,漏极为直线状电极,源极包括 U 型状电极和直线状电极,直线状电极和 U 型状电极的一分支超出栅极边缘,并且图 9C 中 B-B' 向剖面图如图 9D 所示。

[0190] 较佳地,在步骤 803 之后,还包括:

[0191] 步骤 804、在所述第二金属层上形成包括过孔的钝化层;

[0192] 步骤 805、在所述钝化层上形成通过所述过孔与所述源极进行电性连接的像素电极。

[0193] 较佳地,在步骤 804 中,在第二金属层上形成包括过孔的钝化层,包括:

[0194] 通过 PECVD 方法,在第二金属层上沉积钝化层;

[0195] 刻蚀掉源极对应位置的钝化层,以形成暴露出源极的过孔。

[0196] 具体实施中,钝化层的实施方式与现有技术中钝化层的实施方式类似。

[0197] 较佳地,钝化层的厚度范围为 $700\text{ \AA}\sim 2000\text{ \AA}$ 。

[0198] 较佳地,钝化层对应的反应气体可以为 SiH_4 、 NH_3 和 N_2 的混合气体,或者为 SiH_2Cl_2 、 NH_3 和 N_2 的混合气体,钝化层的材料包括氧化物、氮化物或者氧氮化合物中的一种。

[0199] 比如,以形成图 2 中的过孔为例,在第二金属层上形成包括过孔的钝化层的平面图如图 9E 所示,其中,源极通过过孔与像素电极进行电性连接,并且图 9E 中 C-C' 向剖面图如图 9F 所示。

[0200] 较佳地,在步骤 805 中,在钝化层上形成通过过孔与源极进行电性连接的像素电极,包括:

[0201] 通过溅射或热蒸发方法,在钝化层上沉积透明导电层;

[0202] 对透明导电层进行刻蚀,在像素区域形成通过过孔与源极进行电性连接的像素电极。

[0203] 具体实施中,透明导电层的实施方式与现有技术中透明导电层的实施方式类似。

[0204] 较佳地,透明导电层的厚度范围为 $300\text{\AA}\sim 600\text{\AA}$ 。

[0205] 较佳地,透明导电层的材料包括氧化铟锡、氧化铟锌和氧化铝锌中的一种或多种。

[0206] 比如,以形成图 2 中的像素电极为例,在钝化层上形成通过过孔与源极进行电性连接的像素电极的平面图如图 9G 所示,并且图 9G 中 D-D' 向剖面图如图 9H 所示。

[0207] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0208] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

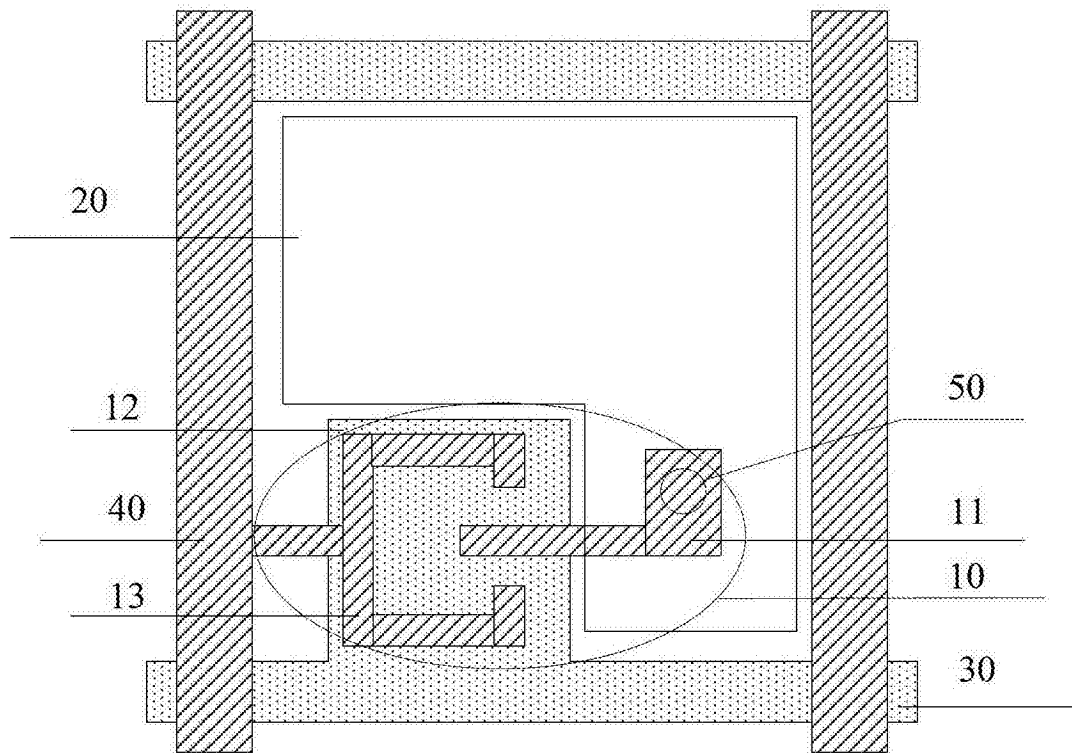


图 1

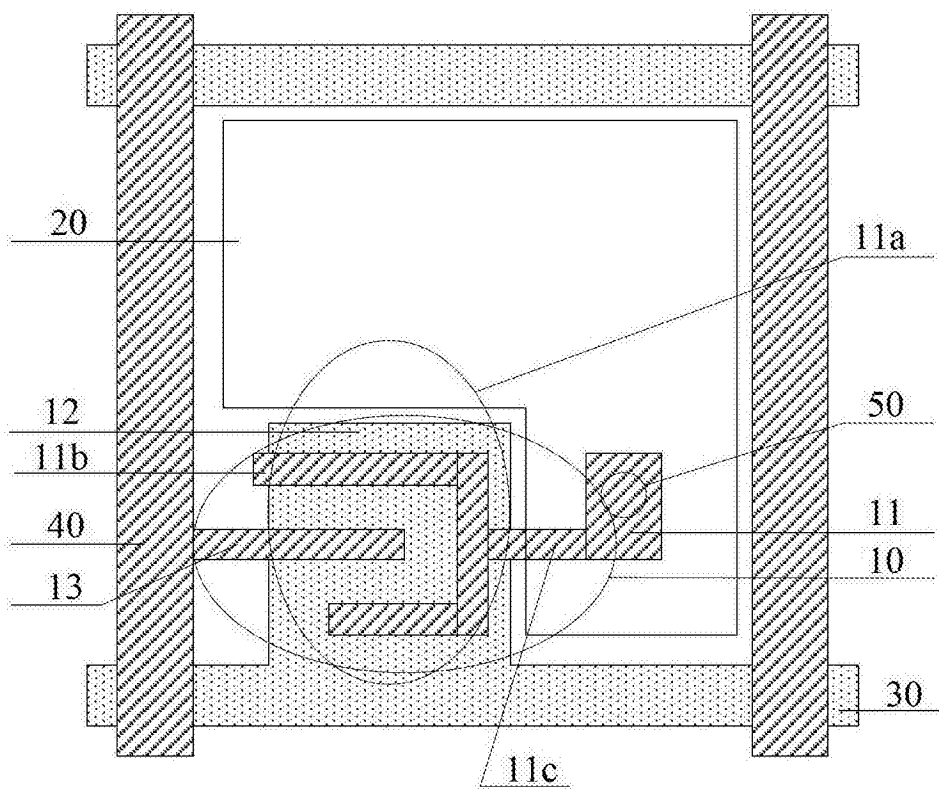


图 2

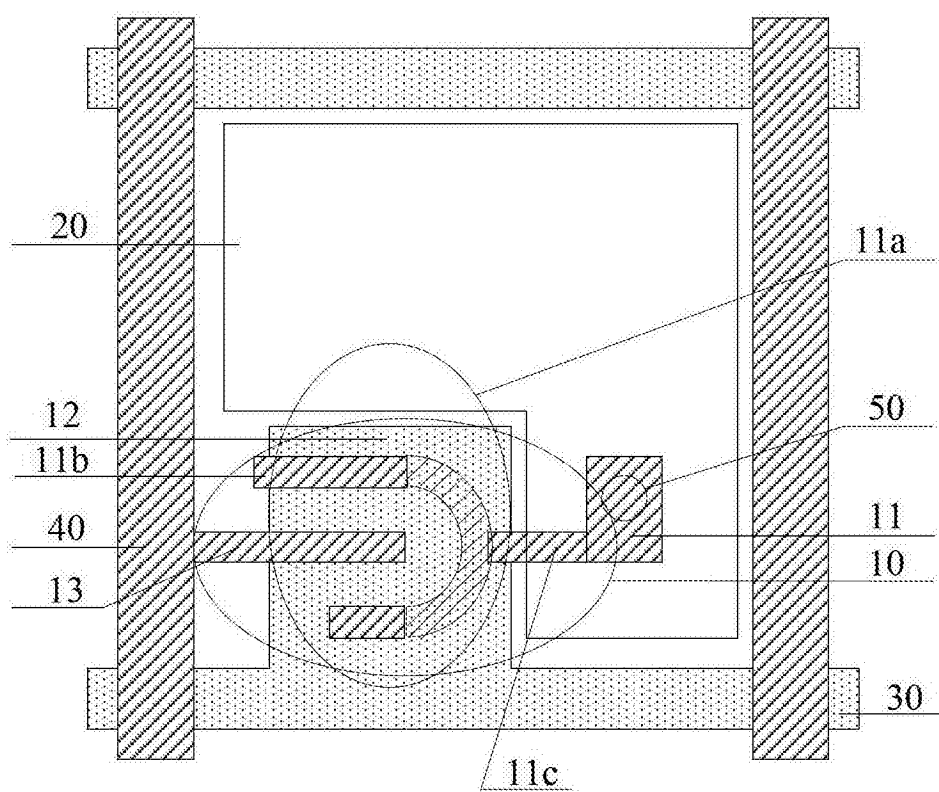


图 3

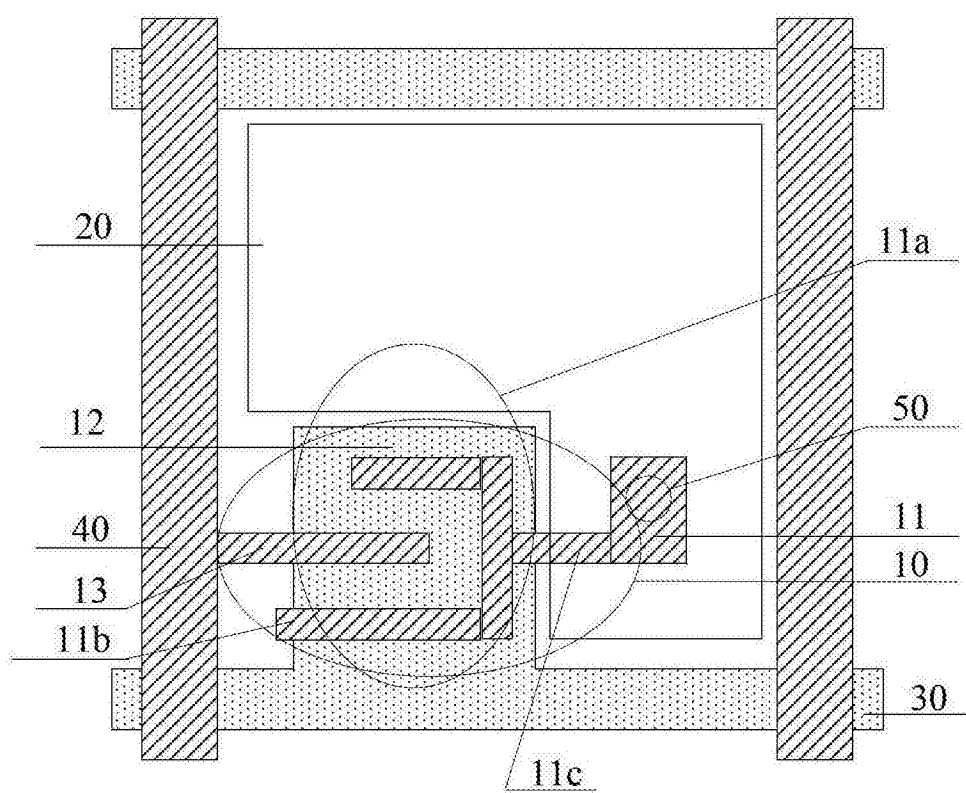


图 4

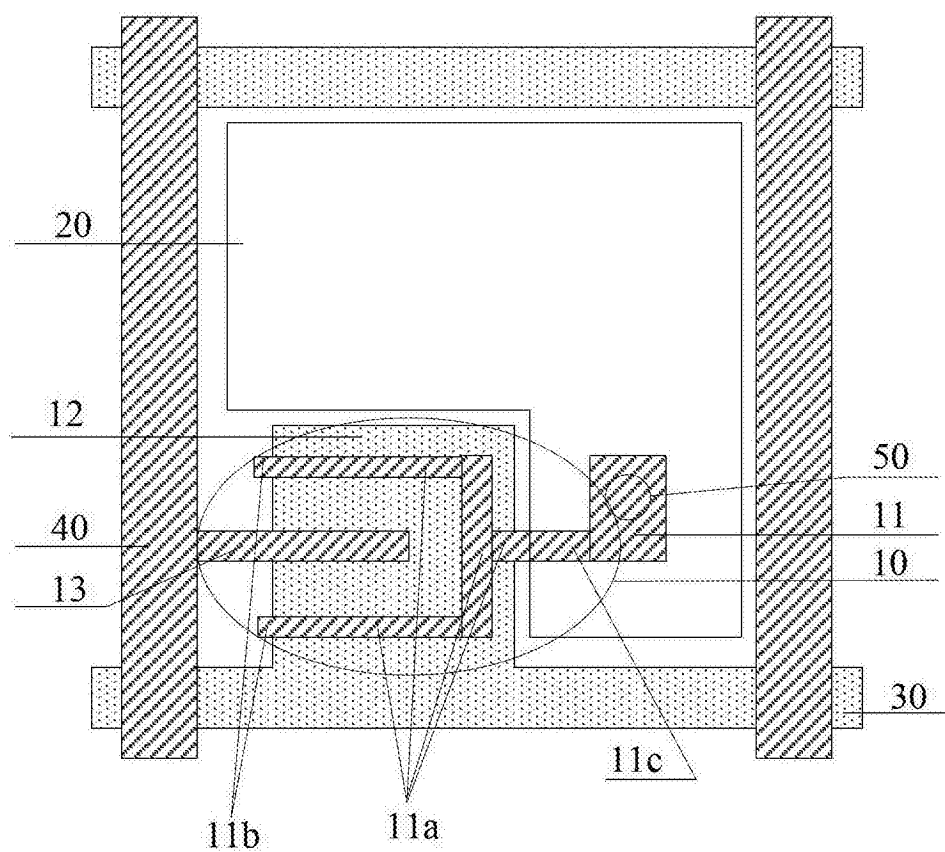


图 5

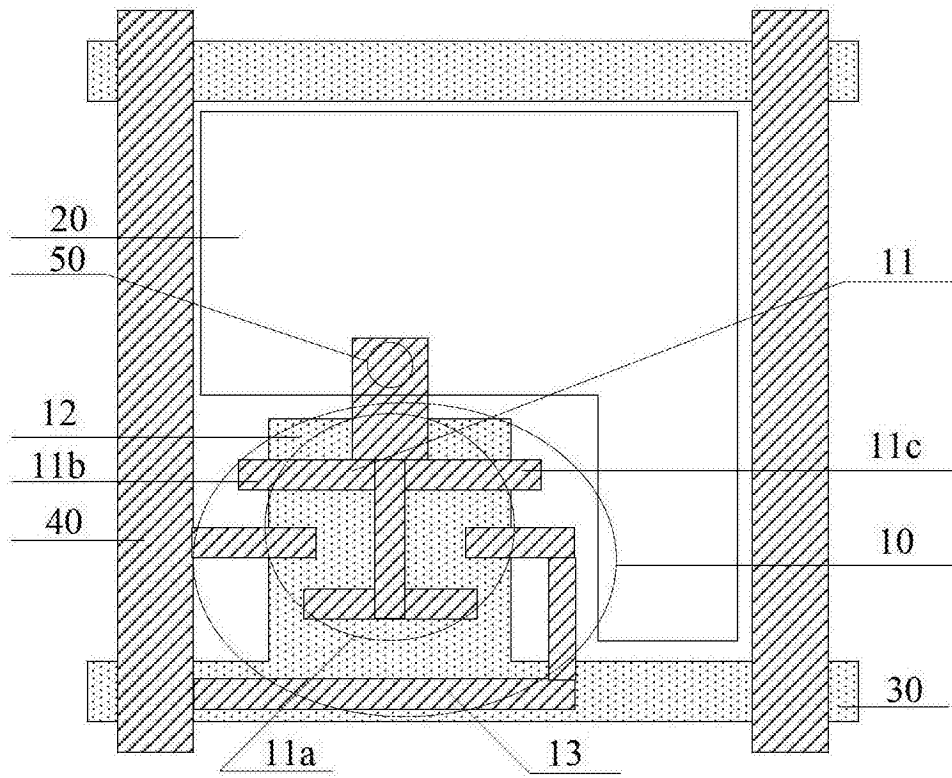


图 6

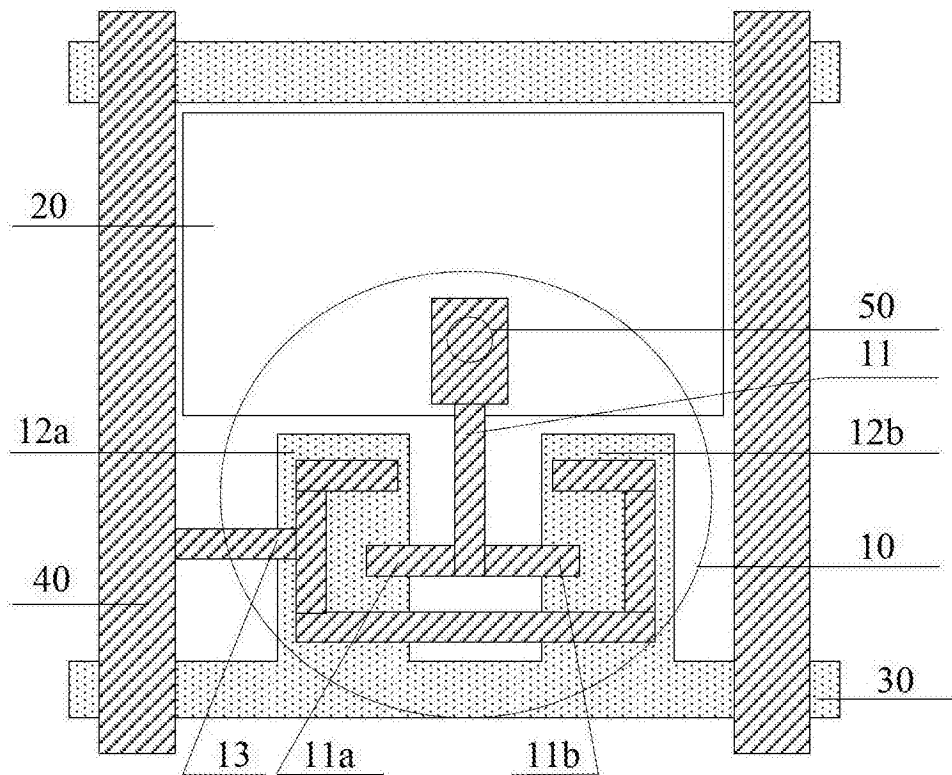


图 7

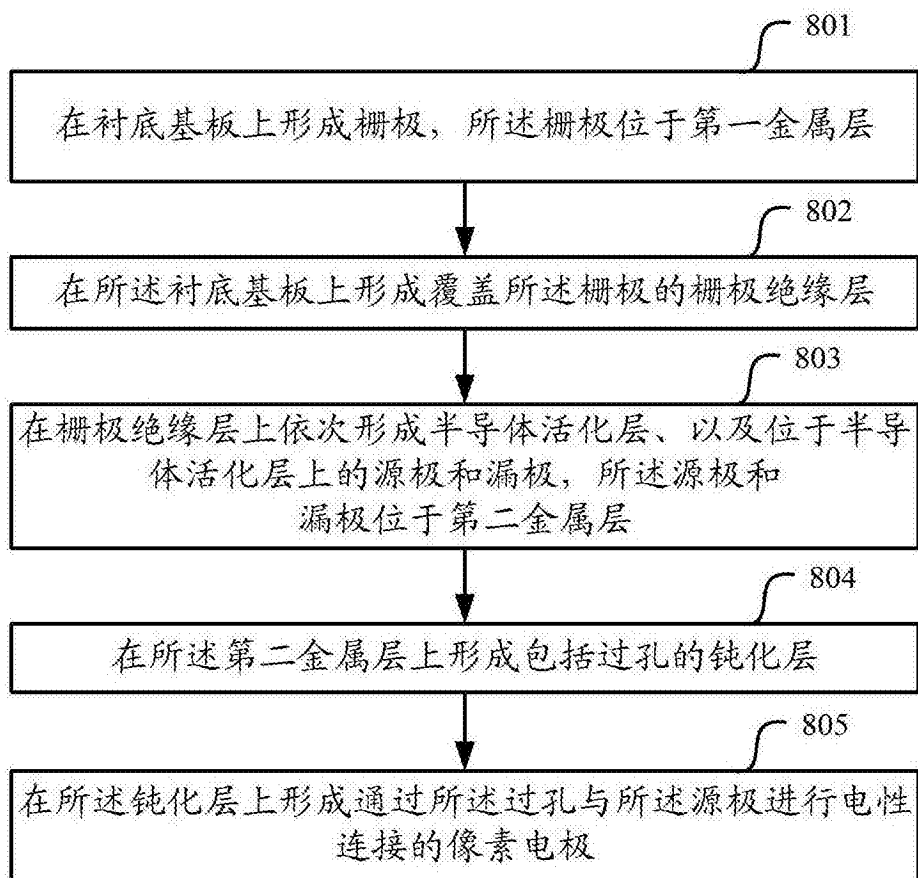


图 8

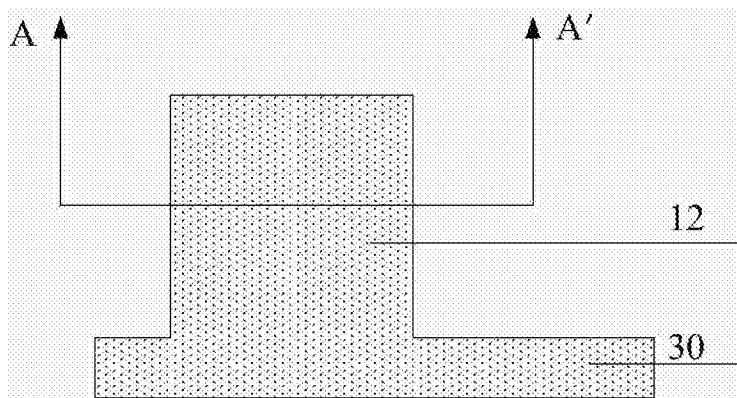


图 9A

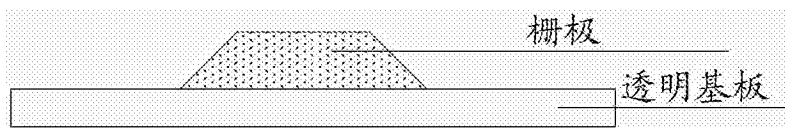


图 9B

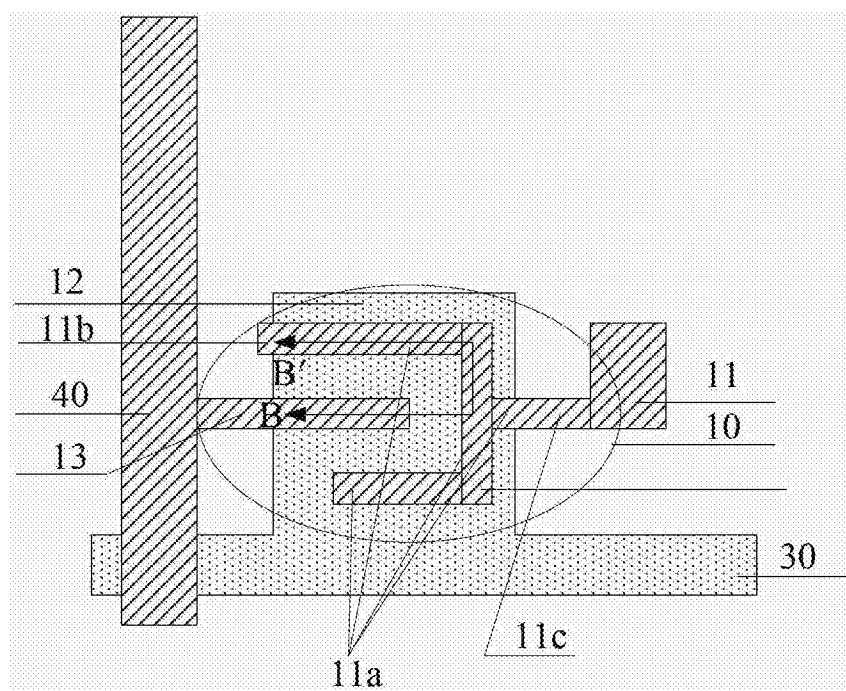


图 9C

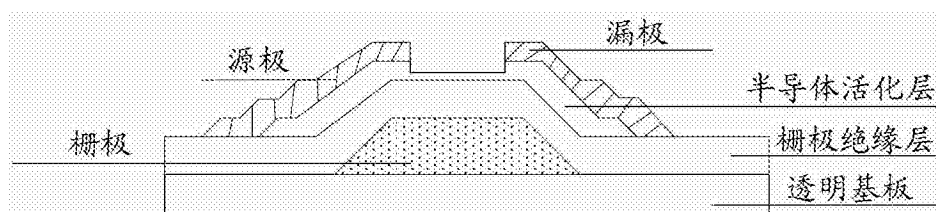


图 9D

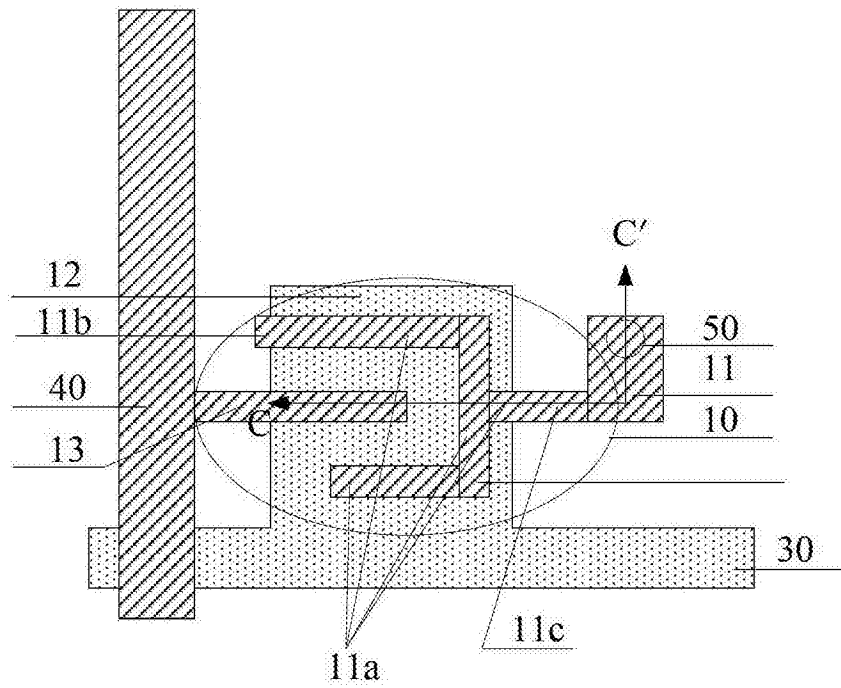


图 9E

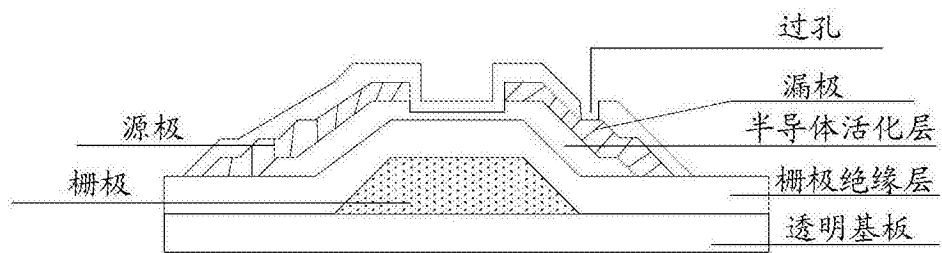


图 9F

专利名称(译)	一种阵列基板及其制作方法、显示装置		
公开(公告)号	CN103412449B	公开(公告)日	2015-11-18
申请号	CN201310311215.0	申请日	2013-07-23
[标]申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	姜清华 李小和 刘永 邵贤杰 李红敏		
发明人	姜清华 李小和 刘永 邵贤杰 李红敏		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	H01L27/124 G02F1/1362 G02F1/1368 H01L27/1259 H01L29/41733 H01L29/42384 H01L29/66742 H01L29/786		
代理人(译)	黄志华		
其他公开文献	CN103412449A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及显示技术领域，特别涉及一种阵列基板及其制作方法、显示装置，以解决TFT-LCD在相邻像素单元的第一金属层与第二金属层之间的错位量不同时存在画面品质不良的问题。本发明实施例提供一种阵列基板，包括TFT，TFT包括源极、栅极和漏极，栅极位于第一金属层，源极和漏极位于第二金属层；在所述第一金属层与第二金属层之间产生错位的情况下，所述源极和栅极的交叠面积恒定不变。本发明实施例在一定程度上避免或减少了画面品质不良问题的发生。

