



(12) 发明专利申请

(10) 申请公布号 CN 103018974 A

(43) 申请公布日 2013. 04. 03

(21) 申请号 201210505247. X

(22) 申请日 2012. 11. 30

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 成都京东方光电科技有限公司

(72) 发明人 辛燕霞 朴承翊 杨玉清 石天雷
杨慧光

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1343(2006. 01)

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

H01L 21/77(2006. 01)

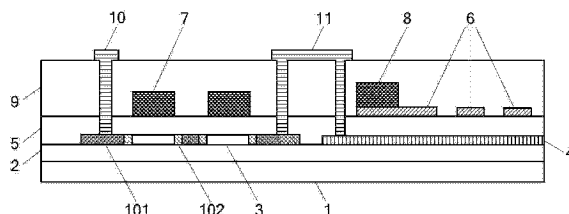
权利要求书 1 页 说明书 7 页 附图 6 页

(54) 发明名称

液晶显示装置、多晶硅阵列基板及制作方法

(57) 摘要

本发明实施例公开了液晶显示装置、多晶硅阵列基板及制作方法,涉及液晶显示领域,简化阵列基板的层间结构和阵列基板的生产工艺。本发明实施例多晶硅阵列基板包括多晶硅 TFT,还包括:与多晶硅 TFT 的有源层同层设置的像素电极,与多晶硅 TFT 的栅极同层设置的公共电极,公共电极与像素电极相对设置,公共电极和像素电极中位于上方的电极为狭缝状电极。



1. 一种多晶硅阵列基板,包括多晶硅 TFT,其特征在于,还包括:与所述多晶硅 TFT 的有源层同层设置的像素电极,与所述多晶硅 TFT 的栅极同层设置的公共电极,所述公共电极与所述像素电极相对设置,所述公共电极和像素电极两者中位于上方的电极为狭缝状电极。

2. 根据权利要求 1 所述的阵列基板,其特征在于,所述多晶硅 TFT 为顶栅型 TFT,所述公共电极为狭缝状电极。

3. 根据权利要求 1 所述的阵列基板,其特征在于,所述多晶硅 TFT 为底栅型 TFT,所述像素电极为狭缝状电极。

4. 根据权利要求 1 所述的阵列基板,其特征在于,所述公共电极上方或下方设置有与所述公共电极接触的公共电极线。

5. 根据权利要求 1 所述的阵列基板,其特征在于,所述源电极及所述漏电极的厚度为 $1000\text{\AA}\sim 5000\text{\AA}$ 。

6. 一种液晶显示装置,其特征在于,包括权利要求 1-5 任一项所述的阵列基板。

7. 一种阵列基板的制作方法,其特征在于,包括:

形成多晶硅有源层和像素电极;

形成栅极绝缘层;

形成栅极和公共电极;

形成有源层掺杂区域;

形成源电极用孔,漏电极用孔以及像素电极过孔;

形成源电极及漏电极,所述漏电极与所述像素电极通过所述像素电极过孔相连接。

8. 根据权利要求 7 所述的阵列基板的制作方法,其特征在于,还包括在所述基板上形成缓冲层。

9. 根据权利要求 7 所述的阵列基板的制作方法,其特征在于,所述公共电极上方或下方设置有与所述公共电极接触的公共电极线。

10. 根据权利要求 7 所述的阵列基板的制作方法,其特征在于,在形成所述源电极及所述漏电极之后,还包括:形成钝化层,通过一次构图工艺形成外围连接孔。

液晶显示装置、多晶硅阵列基板及制作方法

技术领域

[0001] 本发明涉及液晶显示领域,尤其涉及一种液晶显示装置、多晶硅阵列基板及制作方法。

背景技术

[0002] 近年来,随着液晶显示产品的应用越来越广泛,液晶显示技术也越来越完善。TFT-LCD(Thin Film Transistor-Liquid Crystal Display,薄膜场效应晶体管-液晶显示器)以其高品质的图像显示、低能耗、环保等优势在显示领域占据着十分重要位置。

[0003] 作为TFT-LCD的一种新型制造工艺,LTPS(Low Temperature Poly-Silicon,低温多晶硅)技术利用准分子激光退火工艺将非晶硅(a-Si)薄膜层转变为多晶硅(Poly-Si)薄膜层。相比非晶硅材料,多晶硅材料的电子迁移率有100倍以上的增加,因此使用LTPS技术可使TFT-LCD具有更快的响应时间,具有更高的分辨率,更佳的画面显示品质。另外使用LTPS技术,能够减少集成电路IC,简化显示装置的外围,实现窄边框技术。

[0004] 作为TFT-LCD的另一种新型制造工艺,ADS(Advanced SuperDimension Switch,高级超维场开关)技术利用同一平面内狭缝电极层的边缘电场以及狭缝电极层与板状电极层间的电场产生形成多维电场,使狭缝电极间以及电极正上方所有取向的液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。

[0005] 结合上述两种制造工艺,现有技术LTPS的阵列基板结构如图1所示,包括:基板1以及依次设置于基板1上的缓冲层2、有源层3、栅极绝缘层5、栅电极7、层间绝缘层9、源电极10以及漏电极11、有机层113、有机层113上设置的过孔114、连接电极115、公共电极6、钝化层12、像素电极4。上述LTPS阵列基板的制作工艺序较为复杂,需要至少10次构图工艺,因此整个显示面板的制作成本较高。

发明内容

[0006] 本发明的实施例提供一种液晶显示装置、多晶硅阵列基板及制作方法,简化阵列基板的层间结构和阵列基板的生产工艺。

[0007] 为解决上述技术问题,本发明的实施例采用如下技术方案:

[0008] 本发明提供了一种多晶硅阵列基板,包括多晶硅TFT,还包括:与所述多晶硅TFT的有源层同层设置的像素电极,与所述多晶硅TFT的栅极同层设置的公共电极,所述公共电极与所述像素电极相对设置,所述公共电极和像素电极中位于上方的电极为狭缝状电极。

[0009] 进一步的,所述多晶硅TFT为顶栅型TFT,所述公共电极为狭缝状电极。

[0010] 进一步的,所述多晶硅TFT为底栅型TFT,所述像素电极为狭缝状电极。

[0011] 优选的,所述公共电极上方或下方设置有与所述公共电极接触的公共电极线。

[0012] 优选的,所述源电极及所述漏电极的厚度为 $1000\text{\AA} \sim 5000\text{\AA}$ 。

[0013] 另一方面,本发明还提供一种液晶显示装置,包括上述的阵列基板。

- [0014] 再一方面,本发明还提供了一种阵列基板的制作方法,包括:
- [0015] 形成多晶硅有源层和像素电极;
- [0016] 形成栅极绝缘层;
- [0017] 形成栅极和公共电极;
- [0018] 形成有源层掺杂区域;
- [0019] 形成源电极用孔,漏电极用孔以及像素电极过孔;
- [0020] 形成源电极及漏电极,所述漏电极与所述像素电极通过所述像素电极过孔相连接。
- [0021] 进一步的,阵列基板的制作方法,还包括在所述基板上形成缓冲层。
- [0022] 进一步的,阵列基板的制作方法还包括:所述公共电极上方或下方设置有与所述公共电极接触的公共电极线。
- [0023] 进一步的,在形成所述源电极及所述漏电极之后,还包括:形成钝化层,通过一次构图工艺形成外围连接孔。
- [0024] 本发明实施例的液晶显示装置、多晶硅阵列基板及制作方法,通过调整多晶硅阵列基板内像素电极以及公共电极的层间位置,省去了现有技术中有机层和过孔结构,简化了阵列基板的层间结构,简化了阵列基板的生产工艺,降低了制作成本。另外,公共电极和像素电极位于上方电极狭缝状电极,使得电极间相互配合产生多维电场,提高了阵列基板的显示效果。

附图说明

- [0025] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。
- [0026] 图 1 为现有技术阵列基板的结构示意图之一。
- [0027] 图 2a-2g 为本发明一种具体实施例的阵列基板分解结构示意图,其中,图 2g 为该实施例阵列基板的最终结构示意图。
- [0028] 图 3a-3f 为本发明另一种具体实施例的阵列基板分解结构示意图,其中,图 3f 为该实施例阵列基板的最终结构示意图。
- [0029] 图 4 为本发明实施例中阵列基板制作工艺的流程示意图之一。
- [0030] 图 5 为本发明实施例中阵列基板制作工艺的流程示意图之二。

具体实施方式

- [0031] 本发明实施例提供了一种液晶显示装置、多晶硅阵列基板及制作方法,用以简化了阵列基板的层间结构,克服了现有技术中阵列基板生产工艺较为复杂的缺陷。
- [0032] 以下描述中,为了说明而不是为了限定,提出了诸如特定系统结构、接口、技术之类的具体细节,以便透彻理解本发明。然而,本领域的技术人员应当清楚,在没有这些具体细节的其它实施例中也可以实现本发明。在其它情况中,省略对众所周知的装置、电路以及方法的详细说明,以免不必要的细节妨碍本发明的描述。

[0033] 下面结合下述附图对本发明实施例做详细描述。

[0034] 本实施例提供一种多晶硅阵列基板,如图 2g 或如图 3f 所示,该阵列基板包括:与多晶硅 TFT 的有源层 3 同层设置的像素电极 4,与多晶硅 TFT 的栅极 7 同层设置的公共电极 6,其中,公共电极 6 与像素电极 4 相对设置,公共电极 6 和像素电极 4 中位于上方的电极为狭缝状电极。

[0035] 进一步的,多晶硅 TFT 为顶栅型 TFT,公共电极为狭缝状电极。作为本发明的一种具体实施方式,顶栅型 TFT 多晶硅阵列基板,如图 2g 所示:基板 1 以及依次设置于基板 1 上的缓冲层 2、有源层 3、与有源层 3 同层设置的像素电极 4、栅极绝缘层 5、公共电极 6、与公共电极 6 同层设置的栅电极 7、公共电极线 8、层间绝缘层 9、源电极 10 以及漏电极 11。其中,栅电极 7 位于有源层 3 的上方,公共电极 6 位于像素电极 4 的上方,公共电极 6 为狭缝状电极,像素电极 4 上设置有像素电极过孔,像素电极 4 通过像素电极过孔与漏电极 11 相连。带狭缝的公共电极 6 与像素电极 4 可以产生多维电场,利用多维电场用以增大显示装置的视角。

[0036] 进一步的,多晶硅 TFT 为底栅型 TFT,像素电极为狭缝状电极。作为本发明的另一种具体实施方式,底栅型 TFT 多晶硅阵列基板,如图 3g 所示,其结构与上述具体实施方式中的顶栅型 TFT 多晶硅阵列基板的结构相类似。其中的区别在于,在底栅型 TFT 多晶硅阵列基板中,栅电极 7 位于有源层 3 的下方,像素电极 4 位于公共电极 6 的上方,像素电极 4 为狭缝状电极。带狭缝的像素电极 4 与公共电极 6 可以产生多维电场,利用多维电场用以增大显示装置的视角。

[0037] 本发明实施例的多晶硅阵列基板,通过调整多晶硅阵列基板内像素电极以及公共电极的层间位置,省去了现有技术中的有机层和过孔结构,简化了阵列基板的层间结构,简化了阵列基板的生产工艺,降低了制作成本。另外,公共电极和像素电极位于上方电极为狭缝状电极,使得电极间相互配合产生多维电场,提高了阵列基板的显示效果。

[0038] 进一步的,公共电极 6 上方或下方设置有与所述公共电极接触的公共电极线 8,公共电极线 8 用以传输公共电极 6 信号,当然,公共电极线 8 可以根据情况进行设置,使用的时机可根据加载信号进行判断,比如当液晶显示装置的尺寸较大时,公共电极信号较弱的时候可设置公共电极线 8。而当阵列基板公共电极信号可以满足显示装置的正常使用时,可将公共电极线 8 结构省去,用以进一步的增加阵列基板的开口率。

[0039] 优选的,源电极 10 及漏电极 11 的厚度为 $1000\text{\AA} \sim 5000\text{\AA}$ 。

[0040] 本发明实施例的公共电极 6,优选的,采用 ITO (Indium Tin Oxides, 铟锡氧化物) 或者 IZO (Indium Zinc Oxides, 铟锌氧化物) 材料制成。

[0041] 本发明实施例的源电极 10 及漏电极 11,优选的,采用 Mo、Al、Ti、Al-Nd (钼、铝、钛、铝钕合金) 材料中的任意一种或几种的任意组合制成。

[0042] 需要说明的是,本发明实施例的阵列基板中有源层 3,如图 2g 或如图 3f 所示。有源层 3 的制作过程可描述如下:首先沉积一层非晶硅材料,然后利用 LTPS 技术通过准分子退火工艺将非晶硅转化成为多晶硅,然后通过构图工艺及掺杂工艺对该有源层 3 进行掺杂以分别形成掺杂区域 101 和轻掺杂区域 102。本发明实施例的阵列基板源电极 10 与漏电极 11 通过形成有掺杂区域 101 和轻掺杂区域 102 的有源层 3 相连,有源层 3 为源电极 10 与漏电极 11 提供导电通道,而有源层 3 的导通或者断开由栅电极 7 中控制电压来控制。形成的

掺杂区域 101 和轻掺杂区域 102 可以提高有源层 3 的电学特性,例如可以抑制漏电流等现象产生的不利影响。

[0043] 另外,本发明实施例的多晶硅阵列基板还可以包括钝化层 12,该钝化层 12 位于源电极 10 与漏电极 11 的上方,用于保护各结构层(如图 2g 或如图 3f 所示)。在钝化层 12 外围还可以设置连接孔,用于阵列基板布线所用。需要说明的是,连接孔的设计是为了进一步满足阵列基板布线所使用。连接孔的具体设计方式可根据阵列基板的结构特征进行对应的设计以满足实际需要,该连接孔设计的位置、个数以及其参数特征并非是对本发明技术方案的限制,具体设计方式可以参考现有技术,对此本文不再详细描述。

[0044] 本发明实施例的多晶硅阵列基板,通过调整多晶硅阵列基板内像素电极以及公共电极的层间位置,省去了现有技术中的有机层和过孔结构,简化了阵列基板的层间结构,简化了阵列基板的生产工艺,降低了制作成本。另外,公共电极和像素电极位于上方电极为狭缝状电极,使得电极间相互配合产生多维电场,提高了阵列基板的显示效果。

[0045] 作为本发明的一种具体实施方式,一种阵列基板的制作方法,用于形成上述顶栅型 TFT 多晶硅阵列基板,如图 4 所示,该方法包括:

[0046] 步骤 S1、形成多晶硅有源层和像素电极。

[0047] 需要说明的是,在本发明中,构图工艺包括涂胶、曝光、显影、刻蚀、光刻胶剥离等步骤。

[0048] 具体的,如图 2a 所示,首先在基板 1 上形成一层缓冲层 2,然后在缓冲层 2 上形成一层非晶硅层,利用低温多晶硅技术,通过准分子激光退火工艺将非晶硅层转化为多晶硅层。然后,通过一次构图工艺经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤形成多晶硅有源层 3。然后,在缓冲层 2 上形成一层透明导电层,通过一次构图工艺经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤形成像素电极 4。

[0049] 进一步是,步骤 S1 还包括:对多晶硅有源层 3 进行掺杂工艺处理。对多晶硅有源层 3 进行掺杂工艺可以改变多晶硅有源层 3 的阈值电压。需要说明的是,阈值电压调整仅为了优化有源层 3 的电学参数,并不涉及阵列基板结构以及制作方法上的改变。

[0050] 步骤 S2、在完成步骤 S1 的基板上形成栅极绝缘层。

[0051] 具体的,如图 2b 所示,首先在完成步骤 S1 的基板上形成一层绝缘层,形成栅极绝缘层 5。

[0052] 步骤 S3、在完成步骤 S2 的基板上形成栅极和公共电极。

[0053] 具体的,如图 2c 所示,首先在完成步骤 S3 的基板上形成一层透明导电层,然后,通过一次构图工艺经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤形成狭缝状公共电极 6。然后,形成一层栅金属层,然后通过一次构图工艺形成图形化的光刻胶,利用图形化的光刻胶作为掩膜刻蚀栅电极层,形成栅电极 7。

[0054] 优选的,在步骤 S3 中通过构图工艺形成的公共电极 6 的厚度为 $500\text{\AA}\sim 2000\text{\AA}$,公共电极 6 带有狭缝,公共电极 6 中狭缝的数量为 $2\sim 5$ 个,狭缝宽度为 $2\sim 5\mu\text{m}$,狭缝间公共电极 6 的宽度为 $2\sim 5\mu\text{m}$ 。

[0055] 进一步的,在步骤 S3 中还包括:利用一次构图工艺,在公共电极 6 上经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤形成公共电极线 8,优选的,使用同一次构图工艺同时形成公共电极线 8 与形成栅电极 7。公共电极线 8 用以传输公共电极 6 信号,当然,公共电极线 8

可以根据情况进行设置,使用的时机可根据加载信号进行判断,比如当液晶显示装置的尺寸较大时,公共电极信号较弱的时候可设置公共电极线8。而当阵列基板公共电极信号可以满足显示装置的正常使用时,可将公共电极线8结构省去,用以进一步的增加阵列基板的开口率。

[0056] 步骤S4、在完成步骤S3的基板上形成有源层掺杂区域。

[0057] 具体的,如图2d所示,首先在完成步骤S3的基板上利用形成栅电极7的图形化光刻胶作为掩膜对有源层3进行N型(negative)重掺杂工艺处理,在有源层3中形成掺杂区域101。然后,对光刻胶进行灰化工艺处理,去除一部分光刻胶,并利用剩余的光刻胶图形作为掩膜对有源层3进行N型(negative)轻掺杂工艺处理,在有源层3中形成LDD(Lightly Doped Drain)轻掺杂区域102。

[0058] 步骤S5、在完成步骤S4的基板上形成源电极用孔,漏电极用孔以及像素电极过孔。

[0059] 具体的,如图2e所示,首先在完成步骤S4的基板上形成一层绝缘层,形成层间绝缘层9。然后通过一次构图工艺经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤,分别形成源电极用孔201,漏电极用孔202以及像素电极过孔203。其中,源电极用孔201为源电极10所使用的孔洞,漏电极用孔202为漏电极11所使用的孔洞,像素电极过孔203是漏电极11与像素电极4相连时所使用的孔洞。

[0060] 步骤S6、在完成步骤S5的基板上形成源电极及漏电极,漏电极与像素电极通过像素电极过孔相连接。

[0061] 具体的,如图2f所示,首先在完成步骤S5的基板上通过一次构图工艺经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤,分别形成源电极10及漏电极11。其中,漏电极11通过像素电极过孔与像素电极4进行相连。

[0062] 作为本发明的一种优选实施方式,本实施例的一种阵列基板的制作方法,还包括:

[0063] 步骤S7、在完成步骤S6的基板上形成钝化层,通过一次构图工艺形成外围连接孔。

[0064] 具体的,如图2g所示,首先在完成步骤S6的基板上形成一层绝缘材料,形成钝化层12。钝化层12用以保护阵列基板中的结构和器件,然后通过一次构图工艺形成外围连接孔(未示出)。

[0065] 本发明提供的阵列基板的制作方法,通过调整多晶硅阵列基板内像素电极以及公共电极的层间位置,省去了现有技术中的有机层和过孔结构,简化了阵列基板的层间结构,简化了阵列基板的生产工艺,降低了制作成本。另外,公共电极和像素电极位于上方电极为狭缝状电极,使得电极间相互配合产生多维电场,提高了阵列基板的显示效果。

[0066] 作为本发明的另一种具体实施方式,一种阵列基板的制作方法,用于形成上述底栅型TFT多晶硅阵列基板,如图5所示,该方法包括:

[0067] 步骤S1'、形成栅极和公共电极。

[0068] 需要说明的是,在本发明中,构图工艺包括涂胶、曝光、显影、刻蚀、光刻胶剥离等步骤。

[0069] 具体的,如图3a所示,首先在基板1上形成一层透明导电层,然后,通过一次构图

工艺经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤形成公共电极 6。然后,形成一层栅金属层,然后通过一次构图工艺形成图形化的光刻胶,利用图形化的光刻胶作为掩膜刻蚀栅电极层,形成栅电极 7。

[0070] 进一步的,在公共电极 6 上经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤形成公共电极线 8,优选的,使用同一次构图工艺同时形成公共电极线 8 与形成栅电极 7。

[0071] 进一步的,可采用半色调掩膜工艺同时形成栅极、公共电极线和公共电极,具体可以通过先形成一层透明导电层,之后形成栅金属层,通过半色调掩膜同时定义出公共电极、公共电极线和栅极,采用此方法时,与图 3a 的区别在于,在栅极 7 下方会有部分透明导电膜存在。

[0072] 步骤 S2'、在完成步骤 S1' 的基板上形成栅极绝缘层、多晶硅有源层和像素电极。

[0073] 具体的,如图 3b 所示,首先在完成步骤 S1' 的基板 1 上形成栅极绝缘层 5,然后在栅极绝缘层 5 上形成一层非晶硅层,利用低温多晶硅技术,通过准分子激光退火工艺将非晶硅层转化为多晶硅层。然后,通过一次构图工艺经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤形成多晶硅有源层 3。然后,在栅极绝缘层 5 上形成一层透明导电层,通过一次构图工艺经掩膜、曝光、刻蚀和光刻胶去除等工艺步骤形成像素电极 4。

[0074] 进一步是,步骤 S2' 还包括:对多晶硅有源层 3 进行掺杂工艺处理。对多晶硅有源层 3 进行掺杂工艺可以调整多晶硅有源层 3 的阈值电压。需要说明的是,阈值电压调整仅为了优化有源层 3 的电学参数,并不涉及阵列基板结构以及制作方法上的改变。

[0075] 步骤 S3'、在完成步骤 S2' 的基板上形成有源层掺杂区域和层间绝缘层 9。形成如图 3c 所示的结构。该步骤主要采用掺杂工艺形成有源层掺杂区域,之后再形成一层层间绝缘层 9。

[0076] 步骤 S4'、在完成步骤 S3' 的基板上形成源电极用孔,漏电极用孔以及像素电极过孔。形成如图 3d 所示的部分结构。

[0077] 步骤 S5'、在完成步骤 S4' 的基板上形成源电极及漏电极,漏电极与像素电极通过像素电极过孔相连接。形成如图 3e 所示的部分结构。

[0078] 作为本发明的一种优选实施方式,本实施例的一种阵列基板的制作方法,还包括:

[0079] 步骤 S6'、在完成步骤 S5' 的基板上形成钝化层,通过一次构图工艺形成外围连接孔。形成如图 3f 所示的部分结构。

[0080] 形成底栅型 TFT 多晶硅阵列基板制作方法的步骤 S3' ~ S6' 与上述形成顶栅型 TFT 多晶硅阵列基板制作方法的步骤 S4 ~ S7 的工艺相同,在此不做赘述。

[0081] 本发明提供的阵列基板的制作方法,通过调整多晶硅阵列基板内像素电极以及公共电极的层间位置,省去了现有技术中的有机层和过孔结构,简化了阵列基板的层间结构,简化了阵列基板的生产工艺,降低了制作成本。另外,公共电极和像素电极位于上方电极为狭缝状电极,使得电极间相互配合产生多维电场,提高了阵列基板的显示效果。

[0082] 本发明实施例中,各步骤的具体实现方式,尤其其中关于形成膜层的方式以及膜层形状的描述,仅仅为示例性说明,并非对技术方案的限制,本领域的技术人员可以根据实际需要进行设定和选择,各结构器件的图形可随着显示器设计的变化而变化,本实施例中

阵列基板结构中所列出的情况仅为较优的情况。

[0083] 另外,本实施例还提供了一种液晶显示装置,包括上述阵列基板,其中,阵列基板的结构以及工作原理同上述实施例,在此不再赘述。另外,液晶显示装置其他部分的结构可以参考现有技术,对此本文不再详细描述。

[0084] 本发明实施例提供的液晶显示装置,所述液晶显示装置可为:液晶面板、电子纸、液晶电视、液晶显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件。

[0085] 本发明实施例的液晶显示装置,通过调整多晶硅阵列基板内像素电极以及公共电极的层间位置,省去了现有技术中的有机层和过孔结构,简化了阵列基板的层间结构,简化了阵列基板的生产工艺,降低了制作成本。另外,公共电极和像素电极位于上方电极为狭缝状电极,使得电极间相互配合产生多维电场,提高了阵列基板的显示效果。

[0086] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应所述以权利要求的保护范围为准。

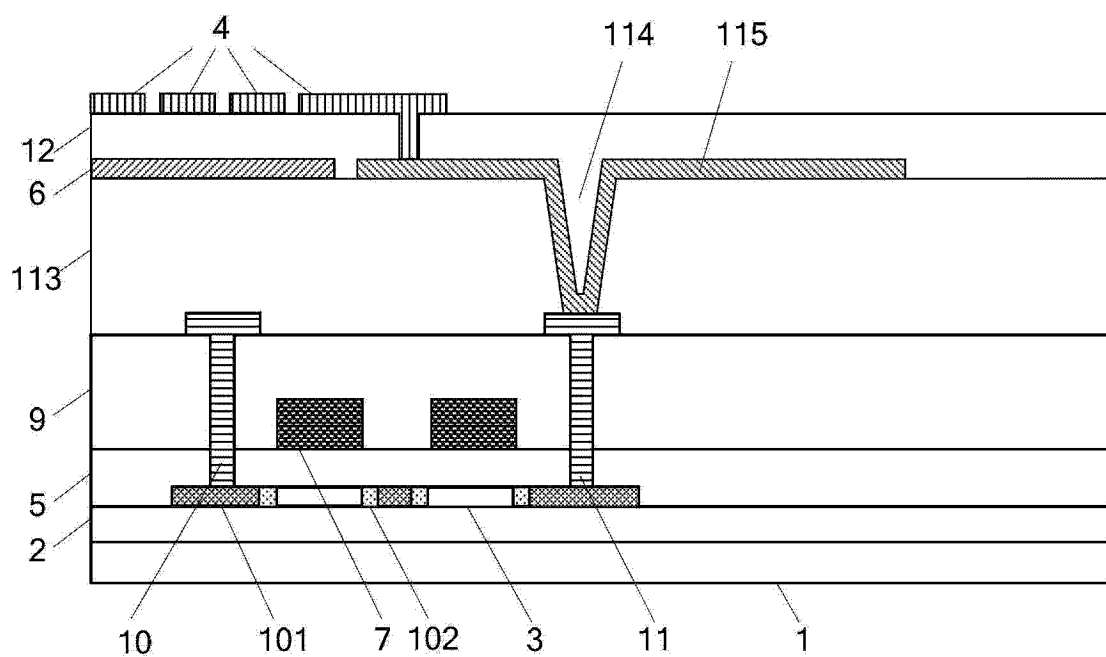


图 1

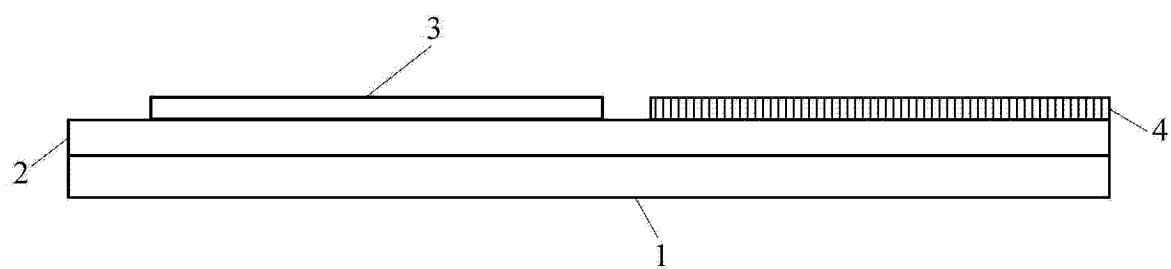


图 2a

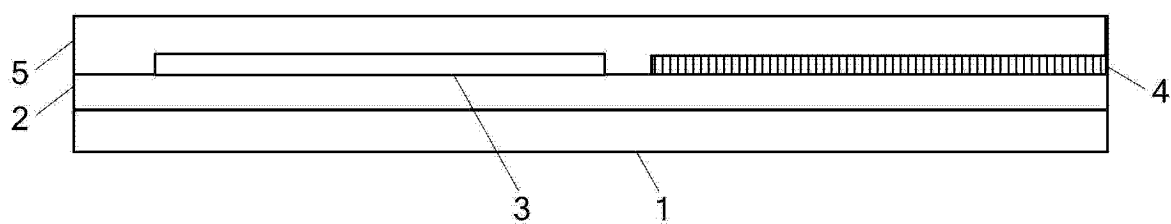


图 2b

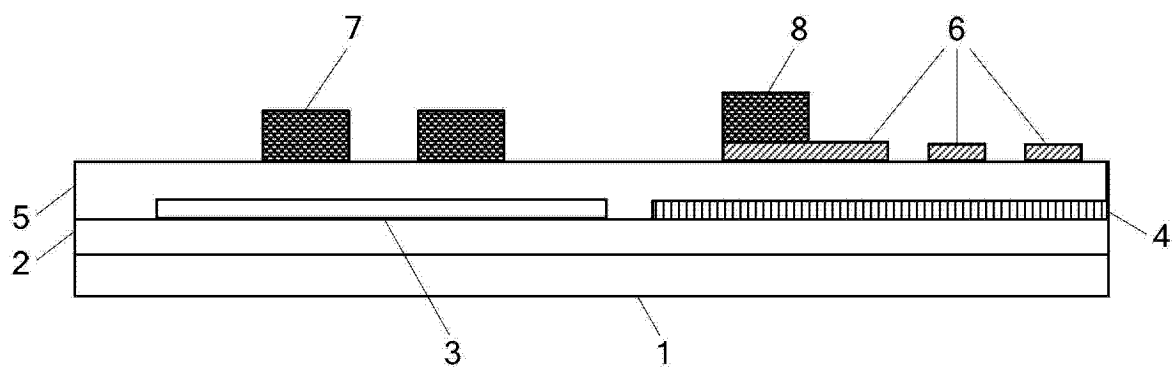


图 2c

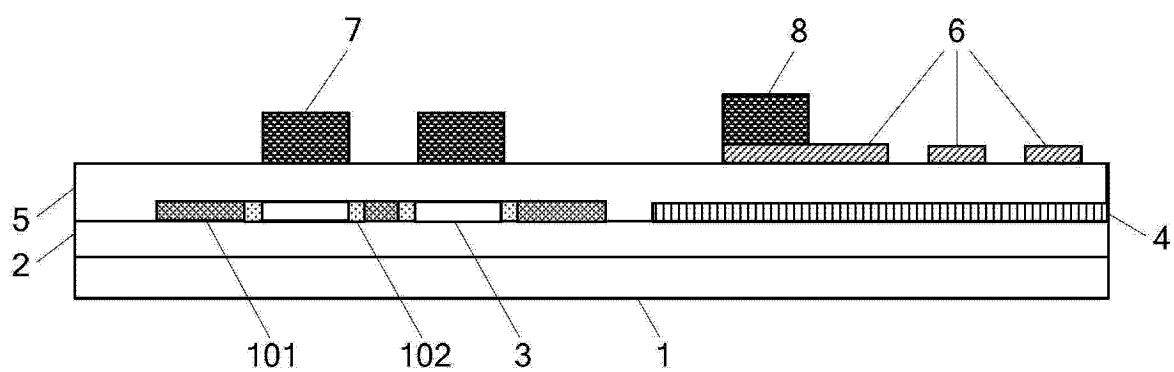


图 2d

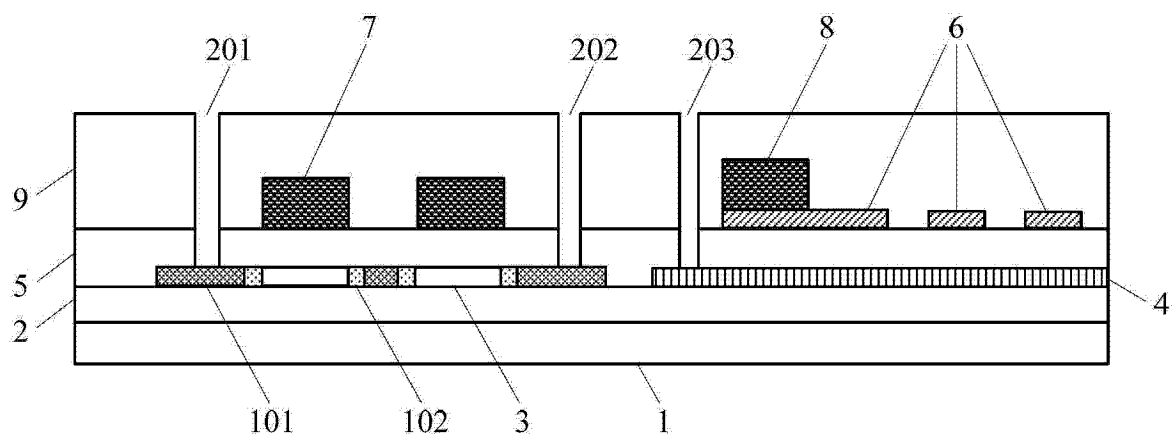


图 2e

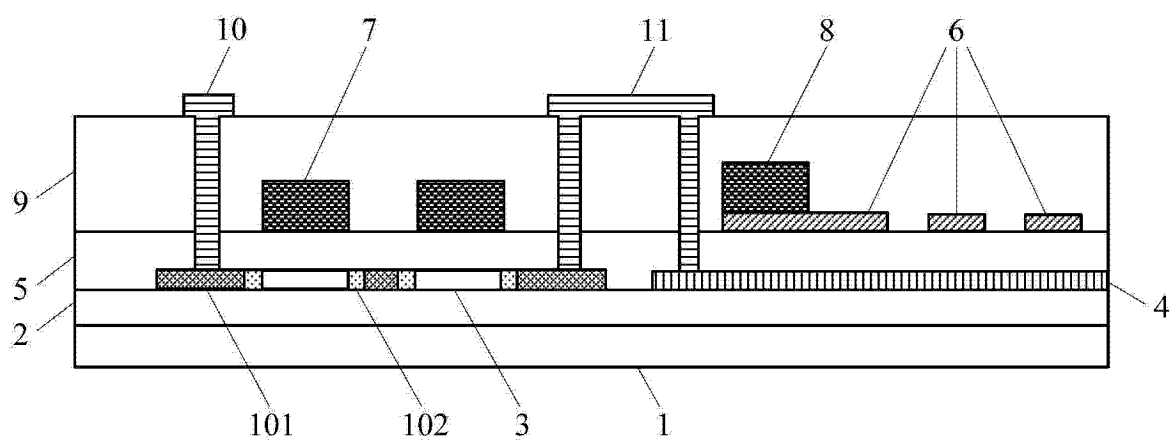


图 2f

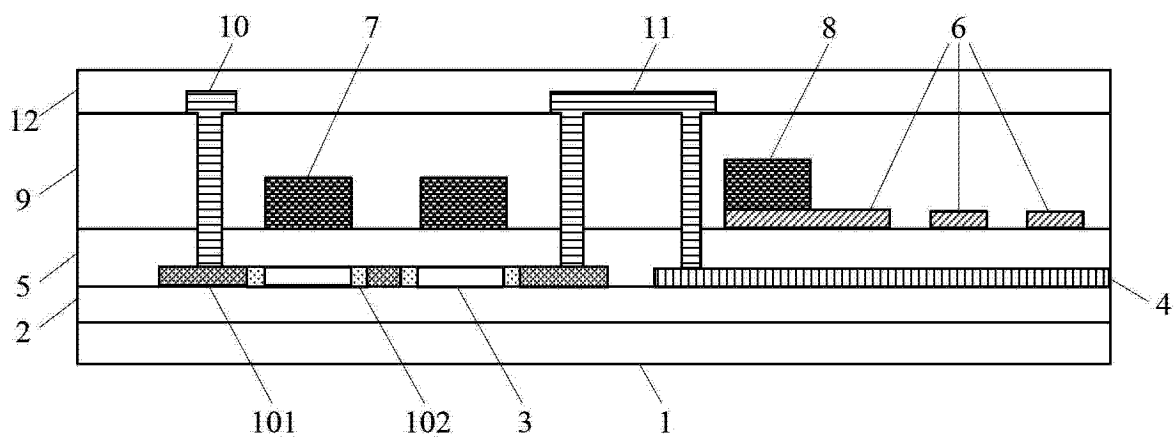


图 2g

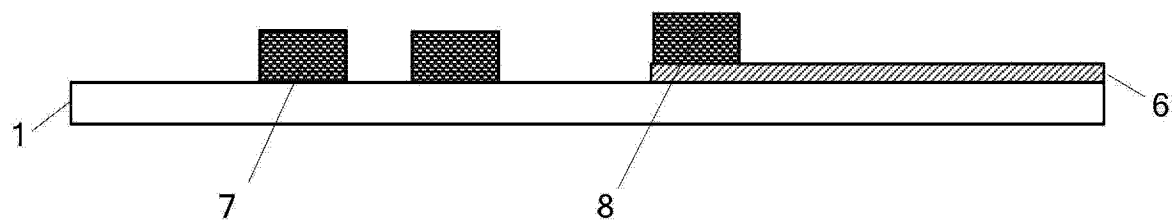


图 3a

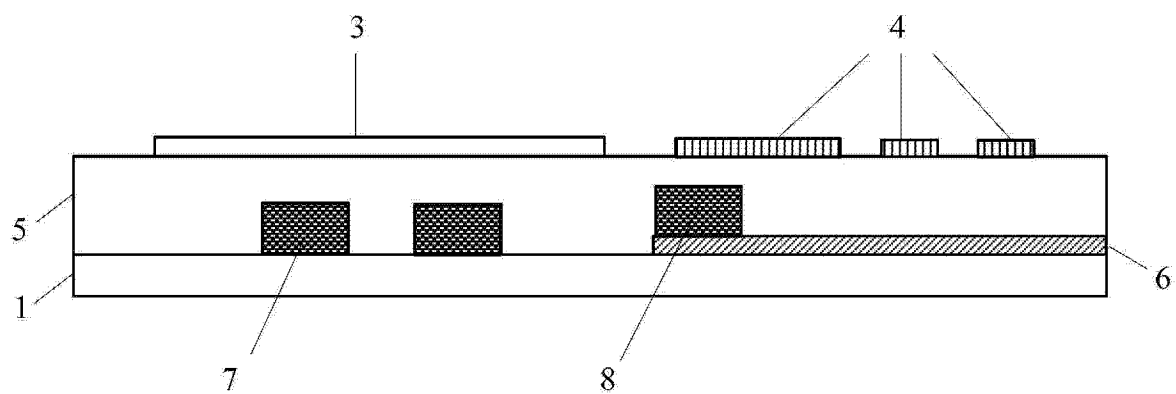


图 3b

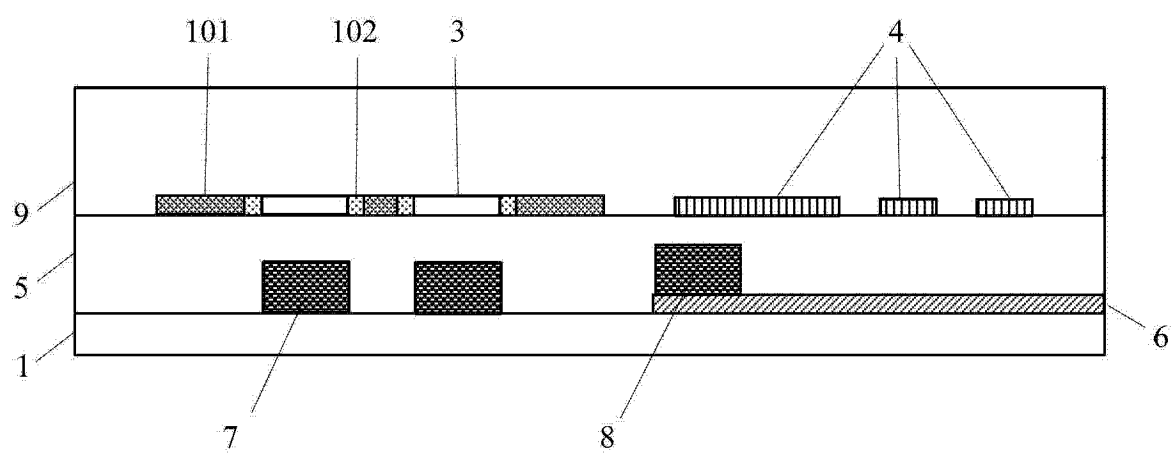


图 3c

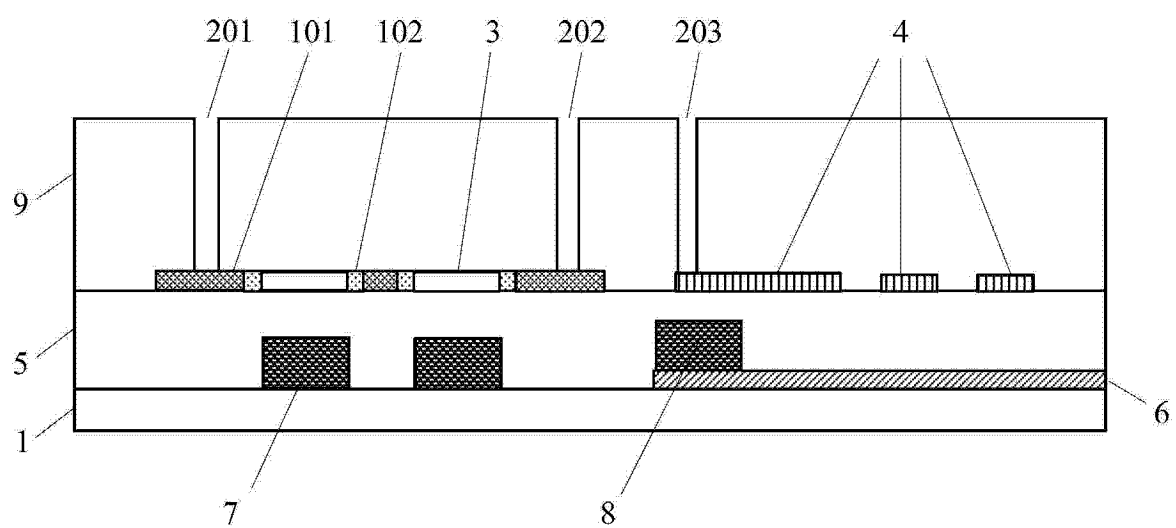


图 3d

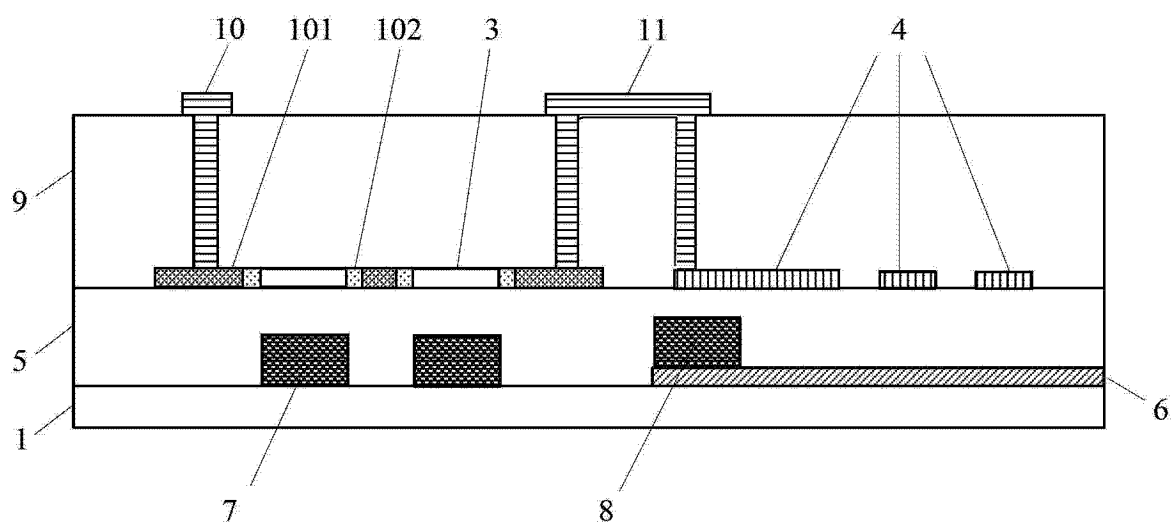


图 3e

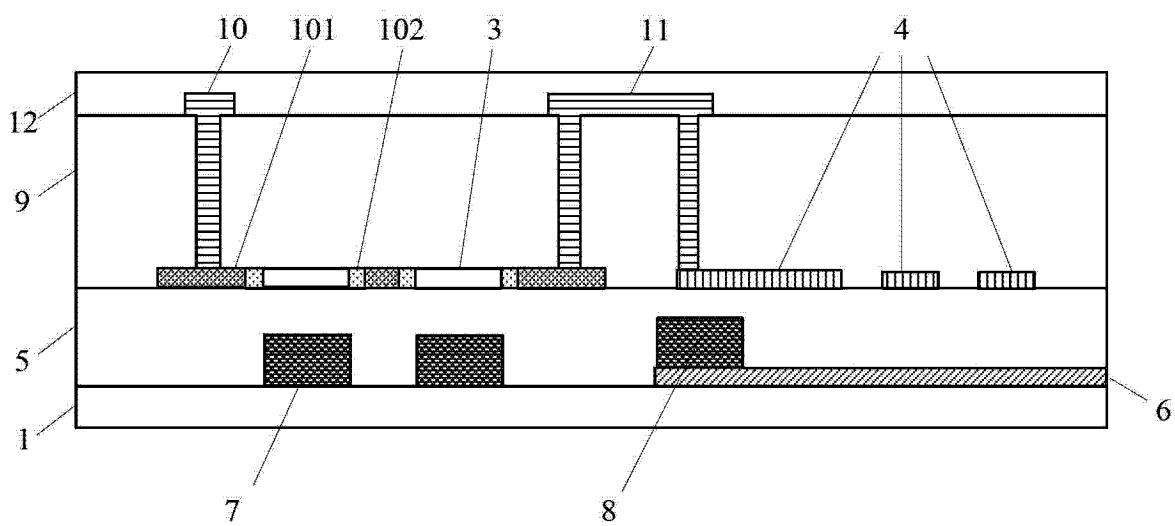


图 3f

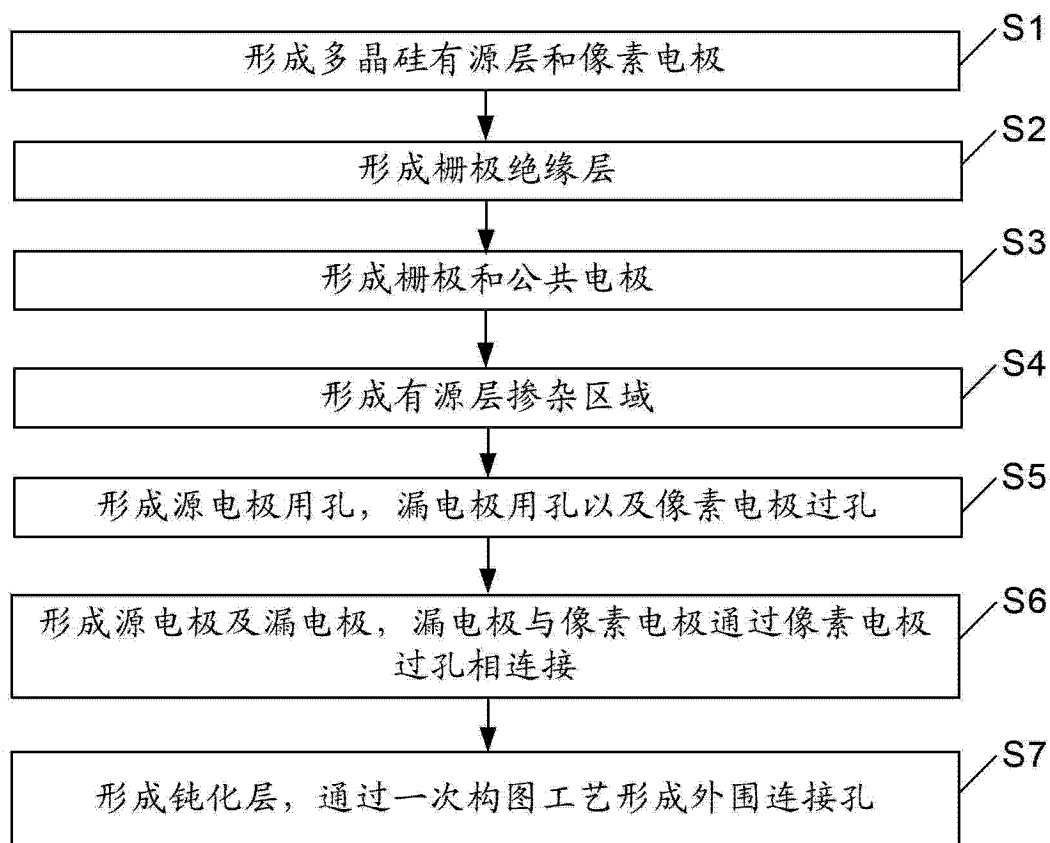


图 4

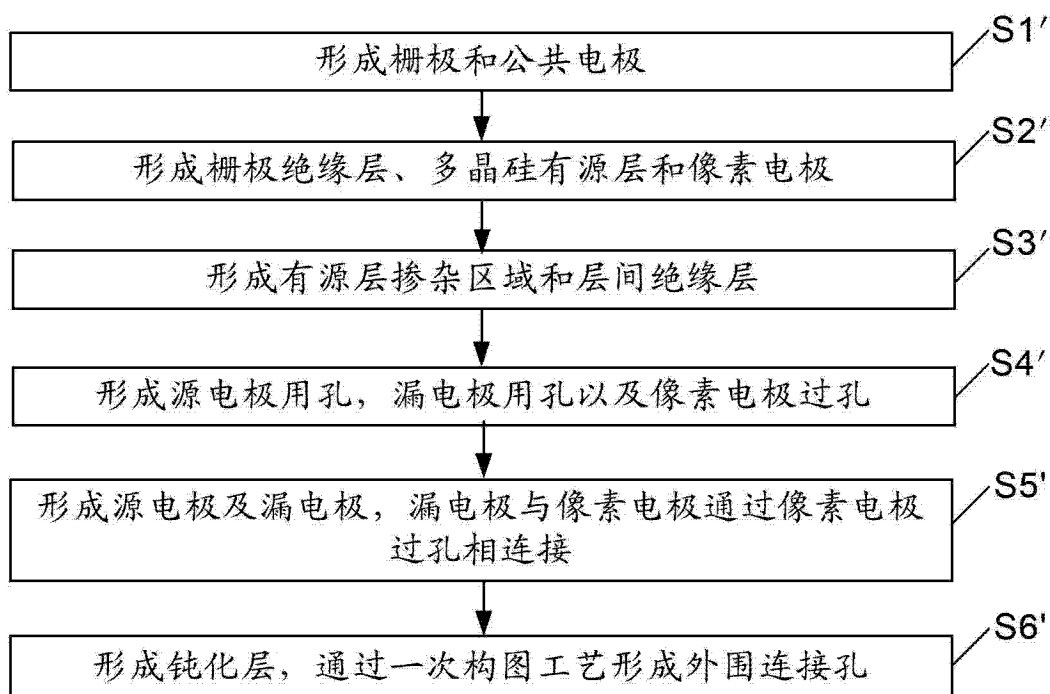


图 5

专利名称(译)	液晶显示装置、多晶硅阵列基板及制作方法		
公开(公告)号	CN103018974A	公开(公告)日	2013-04-03
申请号	CN201210505247.X	申请日	2012-11-30
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	辛燕霞 朴承翊 杨玉清 石天雷 杨慧光		
发明人	辛燕霞 朴承翊 杨玉清 石天雷 杨慧光		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368 H01L21/77		
代理人(译)	申健		
其他公开文献	CN103018974B		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了液晶显示装置、多晶硅阵列基板及制作方法，涉及液晶显示领域，简化阵列基板的层间结构和阵列基板的生产工艺。本发明实施例多晶硅阵列基板包括多晶硅TFT，还包括：与多晶硅TFT的有源层同层设置的像素电极，与多晶硅TFT的栅极同层设置的公共电极，公共电极与像素电极相对设置，公共电极和像素电极中位于上方的电极为狭缝状电极。

