



(12)发明专利申请

(10)申请公布号 CN 110890077 A

(43)申请公布日 2020.03.17

(21)申请号 201911174730.2

(22)申请日 2019.11.26

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 奚苏萍

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 何辉

(51)Int.Cl.

G09G 3/36(2006.01)

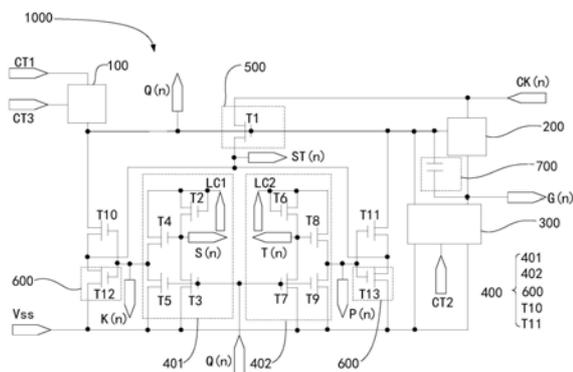
权利要求书3页 说明书6页 附图3页

(54)发明名称

一种GOA电路及液晶显示面板

(57)摘要

本揭示提供一种GOA电路及液晶显示面板。所述GOA电路在每一级GOA单元中设置有阻挡部，用于阻挡第一节点漏电流。所述阻挡部的第十二薄膜晶体管的栅极接所述第一控制信号，源极接所述级传信号，漏极接恒压低电位。所述第十三薄膜晶体管的栅极接所述第二控制信号，源极接所述级传信号，漏极接恒压低电位。当第一节点为高电位时，级传信号也为高电位，第一控制信号和第二控制信号为低电位，第十二薄膜晶体管和第十三薄膜晶体管的栅源级电压差足够大，使第十二薄膜晶体管和第十三薄膜晶体管关闭的很好，避免第一节点漏电流。



1. 一种GOA电路,其特征在于,包括级联的多级GOA单元(1000),每一级所述GOA单元(1000)均包括:上拉控制模块(100)、上拉模块(200)、下拉模块(300)、下拉维持模块(400)、及下传模块(500);其中,设 n 为正整数,在第 n 级所述GOA单元(1000)中:

所述上拉控制模块(100)电性连接第一节点($Q(n)$)并接收第一启动信号(CT1),用于在所述第一启动信号(CT1)的控制下上拉所述第一节点($Q(n)$)的电位;

所述上拉模块(200)与所述第一节点($Q(n)$)电性连接并接收高频时钟信号($CK(n)$),用于在所述第一节点($Q(n)$)的控制下,利用所述高频时钟信号($CK(n)$)输出扫描信号($G(n)$);

所述下拉模块(300)与所述第一节点($Q(n)$)电性连接并接收第二启动信号(CT2)、及恒压低电位(V_{ss}),用于在所述第二启动信号(CT2)的控制下把所述第一节点($Q(n)$)及所述扫描信号($G(n)$)的电位下拉至所述恒压低电位(V_{ss});

所述下拉维持模块(400)与所述第一节点($Q(n)$)、及所述恒压低电位(V_{ss})电性连接并接收第一低频时钟信号(LC1)、及第二低频时钟信号(LC2),用于在所述第一低频时钟信号(LC1)和所述第二低频时钟信号(LC2)分别交替作用下,将所述第一节点($Q(n)$)的电位维持在所述恒压低电位(V_{ss}),且同时交替输出第一控制信号($K(n)$)和第二控制信号($P(n)$);以及

所述下传模块(500)与所述第一节点($Q(n)$)电性连接并接收所述高频时钟信号($CK(n)$),用于在所述第一节点($Q(n)$)的控制下,利用所述高频时钟信号($CK(n)$)输出级传信号($ST(n)$);

其中,所述下拉维持模块(400)还包括阻挡部(600),所述阻挡部(600)与所述恒压低电位(V_{ss})以及所述级传信号($ST(n)$)电性连接,并接收所述第一控制信号($K(n)$)和所述第二控制信号($P(n)$),用于阻挡所述第一节点($Q(n)$)漏电流。

2. 根据权利要求1所述的GOA电路,其特征在于,所述下传模块(500)包括第一薄膜晶体管(T1),所述第一薄膜晶体管(T1)的栅极接所述第一节点($Q(n)$),源极接所述高频时钟信号($CK(n)$),漏极输出所述级传信号($ST(n)$)。

3. 根据权利要求1所述的GOA电路,其特征在于,所述下拉维持模块(400)包括:第一下拉维持部(401)和第二下拉维持部(402);

所述第一下拉维持部(401)与所述第一节点($Q(n)$)、第二节点($S(n)$)、所述恒压低电位(V_{ss})电性连接并接收所述第一低频时钟信号(LC1),用于在所述第一节点($Q(n)$)电位抬升时,将所述第二节点($S(n)$)及所述第一控制信号($K(n)$)的电位下拉至所述恒压低电位(V_{ss}),以及在所述第一节点($Q(n)$)电位被下拉后,利用所述第一低频时钟信号(LC1)周期性抬升所述第二节点($S(n)$)的电位,以将所述第一节点($Q(n)$)的电位维持在所述恒压低电位(V_{ss});所述第一下拉维持部(401)同时输出所述第一控制信号($K(n)$);

所述第二下拉维持部(402)与所述第一节点($Q(n)$)、第三节点($T(n)$)、所述恒压低电位(V_{ss})电性连接并接收所述第二低频时钟信号(LC2),用于在所述第一节点($Q(n)$)电位抬升时,将所述第三节点($T(n)$)及所述第二控制信号($P(n)$)的电位下拉至所述恒压低电位(V_{ss}),以及在所述第一节点($Q(n)$)电位被下拉后,利用所述第二低频时钟信号(LC2)周期性抬升所述第三节点($T(n)$)的电位,以将所述第一节点($Q(n)$)的电位维持在所述恒压低电位(V_{ss});所述第二下拉维持部(402)同时输出所述第二控制信号($P(n)$)。

4. 根据权利要求3所述的GOA电路,其特征在于,所述第一下拉维持部(401)包括:第二

薄膜晶体管 (T2)、第三薄膜晶体管 (T3)、第四薄膜晶体管 (T4)、第五薄膜晶体管 (T5)；

所述第二薄膜晶体管 (T2) 的栅极和源极均接所述第一低频时钟信号 (LC1)，漏极接所述第二节点 (S(n))；

所述第三薄膜晶体管 (T3) 的栅极接所述第一节点 (Q(n))，源极接所述第二节点 (S(n))，漏极接所述恒压低电位 (V_{SS})；

所述第四薄膜晶体管 (T4) 的栅极接所述第二节点 (S(n))，源极接所述第一低频时钟信号 (LC1)，漏极输出所述第一控制信号 (K(n))；以及

第五薄膜晶体管 (T5) 的栅极接所述第一节点 (Q(n))，源极接所述恒压低电位 (V_{SS})，漏极输出所述第一控制信号 (K(n))。

5. 根据权利要求3所述的GOA电路，其特征在于，所述第二下拉维持部 (402) 包括：第六薄膜晶体管 (T6)、第七薄膜晶体管 (T7)、第八薄膜晶体管 (T8)、第九薄膜晶体管 (T9)；

所述第六薄膜晶体管 (T6) 的栅极和源极均接所述第二低频时钟信号 (LC2)，漏极接所述第三节点 (T(n))；

所述第七薄膜晶体管 (T7) 的栅极接所述第一节点 (Q(n))，源极接所述第三节点 (T(n))，漏极接所述恒压低电位 (V_{SS})；

所述第八薄膜晶体管 (T8) 的栅极接所述第三节点 (T(n))，源极接所述第二低频时钟信号 (LC2)，漏极输出所述第二控制信号 (P(n))；以及

第九薄膜晶体管 (T9) 的栅极接所述第一节点 (Q(n))，源极接所述恒压低电位 (V_{SS})，漏极输出所述第二控制信号 (P(n))。

6. 根据权利要求1所述的GOA电路，其特征在于，所述下拉维持模块 (400) 还包括第十薄膜晶体管 (T10) 和第十一薄膜晶体管 (T11)；

所述第十薄膜晶体管 (T10) 的栅极接所述第一控制信号 (K(n))，源极接所述第一节点 (Q(n))，漏极接所述级传信号 (ST(n))；

所述第十一薄膜晶体管 (T11) 的栅极接所述第二控制信号 (P(n))，源极接所述第一节点 (Q(n))，漏极接所述级传信号 (ST(n))。

7. 根据权利要求1所述的GOA电路，其特征在于，所述阻挡部 (600) 包括第十二薄膜晶体管 (T12) 和第十三薄膜晶体管 (T13)；

所述第十二薄膜晶体管 (T12) 的栅极接所述第一控制信号 (K(n))，源极接所述级传信号 (ST(n))，漏极接所述恒压低电位 (V_{SS})；

所述第十三薄膜晶体管 (T13) 的栅极接所述第二控制信号 (P(n))，源极接所述级传信号 (ST(n))，漏极接所述恒压低电位 (V_{SS})。

8. 根据权利要求1所述的GOA电路，其特征在于，每一级所述GOA单元 (1000) 还包括自举模块 (700)，所述自举模块 (700) 与所述第一节点 (Q(n)) 电性连接并连接所述扫描信号 (G(n))，用于在所述扫描信号 (G(n)) 输出高电平期间使得所述第一节点 (Q(n)) 的电位抬升并保持抬升后的电位。

9. 根据权利要求1所述的GOA电路，其特征在于，所述上拉控制模块 (100) 还包括第三启动信号 (CT3)，在第一级所述GOA单元至第四级所述GOA单元中，所述第一启动信号 (CT1) 和所述第三启动信号 (CT3) 均等于起始信号 (STV)，在除了第一级所述GOA单元至第四级所述GOA单元外的第n级GOA单元中，所述第一启动信号 (CT1) 等于第n-4级GOA单元的扫描信号 (G

(n-4)), 所述第三启动信号 (CT3) 等于第n-4级GOA单元的级传信号 (ST (n-4)); 在最后一级所述GOA单元至倒数第四级所述GOA单元中, 所述第二启动信号 (CT2) 等于起始信号 (STV), 在除了最后一级所述GOA单元至倒数第四级所述GOA单元外的第n级GOA单元中, 所述第二启动信号 (CT2) 等于第n+4级GOA单元的扫描信号 (G (n+4))。

10. 一种液晶显示面板, 其特征在于, 包括如权利要求1至9任一项所述的GOA电路。

一种GOA电路及液晶显示面板

技术领域

[0001] 本揭示涉及显示技术领域,尤其涉及一种GOA电路及液晶显示面板。

背景技术

[0002] 阵列基板行驱动(Gate Driver On Array,GOA)技术也就是利用现有液晶显示面板阵列(Array)制程将栅极行扫描驱动信号电路制作在阵列基板上,实现对栅极逐行扫描的驱动方式。

[0003] 因为阵列基板行驱动技术可以节省栅极驱动芯片(gate IC)、实现窄边框(narrow border)等优势,目前阵列基板行驱动技术已经广泛的运用于面板设计当中。因此使GOA性能更加稳定,显得尤为必要。为了使GOA维持稳定,需要确保GOA电路的第一节点(Q点)具有足够的限度(margin),尤其是当GOA电路工作在高温时,GOA内的薄膜晶体管(TFT)漏电流增加,使相应的节点不能够有效地维持其所需要的电压准位,影响GOA电路的限度(margin),进一步会影响GOA电路性能。

[0004] 因此,现有GOA电路存在Q点漏电流的问题需要解决。

发明内容

[0005] 本揭示提供一种GOA电路及液晶显示面板,以缓解现有GOA电路存在Q点漏电流的技术问题。

[0006] 为解决上述问题,本揭示提供的技术方案如下:

[0007] 本揭示实施例提供一种GOA电路,其包括级联的多级GOA单元。每一级所述GOA单元均包括:上拉控制模块、上拉模块、下拉模块、下拉维持模块、及下传模块。其中,设n为正整数,在第n级所述GOA单元中,所述上拉控制模块电性连接第一节点并接收第一启动信号,用于在所述第一启动信号的控制下上拉所述第一节点的电位。所述上拉模块与所述第一节点电性连接并接收高频时钟信号,用于在所述第一节点的控制下,利用所述高频时钟信号输出扫描信号。所述下拉模块与所述第一节点电性连接并接收第二启动信号、及恒压低电位,用于在所述第二启动信号的控制下把所述第一节点及所述扫描信号的电位下拉至所述恒压低电位。所述下拉维持模块与所述第一节点、及所述恒压低电位电性连接并接收第一低频时钟信号、及第二低频时钟信号,用于在所述第一低频时钟信号和所述第二低频时钟信号分别交替作用下,将所述第一节点的电位维持在所述恒压低电位,且同时交替输出第一控制信号和第二控制信号。所述下传模块与所述第一节点电性连接并接收高频时钟信号,用于在所述第一节点的控制下,利用所述高频时钟信号输出级传信号。其中,所述下拉维持模块还包括阻挡部,所述阻挡部与所述恒压低电位以及所述级传信号电性连接,并接收所述第一控制信号和所述第二控制信号,用于阻挡所述第一节点漏电流。

[0008] 在本揭示实施例提供的GOA电路中,所述下传模块包括第一薄膜晶体管,所述第一薄膜晶体管的栅极接所述第一节点,源极接所述高频时钟信号,漏极输出所述级传信号。

[0009] 在本揭示实施例提供的GOA电路中,所述下拉维持模块包括:第一下拉维持部和第

二下拉维持部。所述第一下拉维持部与所述第一节点、第二节点、所述恒压低电位电性连接并接收所述第一低频时钟信号,用于在所述第一节点电位抬升时,将所述第二节点及所述第一控制信号的电位下拉至所述恒压低电位。以及在所述第一节点电位被下拉后,利用所述第一低频时钟信号周期性抬升所述第二节点的电位,以将所述第一节点的电位维持在所述恒压低电位。所述第一下拉维持部同时输出所述第一控制信号。所述第二下拉维持部与所述第一节点、第三节点、所述恒压低电位电性连接并接收所述第二低频时钟信号,用于在所述第一节点电位抬升时,将所述第三节点及所述第二控制信号的电位下拉至所述恒压低电位。以及在所述第一节点电位被下拉后,利用所述第二低频时钟信号周期性抬升所述第三节点的电位,以将所述第一节点的电位维持在所述恒压低电位。所述第二下拉维持部同时输出所述第二控制信号。

[0010] 在本揭示实施例提供的GOA电路中,所述第一下拉维持部包括:第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管。所述第二薄膜晶体管的栅极和源极均接所述第一低频时钟信号,漏极接所述第二节点。所述第三薄膜晶体管的栅极接所述第一节点,源极接所述第二节点,漏极接所述恒压低电位。所述第四薄膜晶体管的栅极接所述第二节点,源极接所述第一低频时钟信号,漏极输出所述第一控制信号。第五薄膜晶体管的栅极接所述第一节点,源极接所述恒压低电位,漏极输出所述第一控制信号。

[0011] 在本揭示实施例提供的GOA电路中,所述第二下拉维持部包括:第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管。所述第六薄膜晶体管的栅极和源极均接所述第二低频时钟信号,漏极接所述第三节点。所述第七薄膜晶体管的栅极接所述第一节点,源极接所述第三节点,漏极接所述恒压低电位。所述第八薄膜晶体管的栅极接所述第三节点,源极接所述第二低频时钟信号,漏极输出所述第二控制信号。第九薄膜晶体管的栅极接所述第一节点,源极接所述恒压低电位,漏极输出所述第二控制信号。

[0012] 在本揭示实施例提供的GOA电路中,所述下拉维持模块还包括第十薄膜晶体管和第十一薄膜晶体管。所述第十薄膜晶体管的栅极接所述第一控制信号,源极接所述第一节点,漏极接所述级传信号。所述第十一薄膜晶体管的栅极接所述第二控制信号,源极接所述第一节点,漏极接所述级传信号。

[0013] 在本揭示实施例提供的GOA电路中,所述阻挡部包括第十二薄膜晶体管和第十三薄膜晶体管。所述第十二薄膜晶体管的栅极接所述第一控制信号,源极接所述级传信号,漏极接所述恒压低电位。所述第十三薄膜晶体管的栅极接所述第二控制信号,源极接所述级传信号,漏极接所述恒压低电位。

[0014] 在本揭示实施例提供的GOA电路中,每一级所述GOA单元还包括自举模块,所述自举模块与所述第一节点电性连接并连接所述扫描信号,用于在所述扫描信号输出高电平期间使得所述第一节点的电位抬升并保持抬升后的电位。

[0015] 在本揭示实施例提供的GOA电路中,所述上拉控制模块还包括第三启动信号,在第一级所述GOA单元至第四级所述GOA单元中,所述第一启动信号和所述第三启动信号均等于起始信号,在除了第一级所述GOA单元至第四级所述GOA单元外的第n级GOA单元中,所述第一启动信号等于第n-4级GOA单元的扫描信号,所述第三启动信号等于第n-4级GOA单元的级传信号。在最后一级所述GOA单元至倒数第四级所述GOA单元中,所述第二启动信号等于起始信号,在除了最后一级所述GOA单元至倒数第四级所述GOA单元外的第n级GOA单元中,所

述第二启动信号等于第n+4级GOA单元的扫描信号。

[0016] 本揭示实施例还提供一种液晶显示面板,其包括本揭示前述实施例其中之一提供的GOA电路。

[0017] 本揭示的有益效果为:本揭示提供的一种GOA电路及液晶显示面板中,每一级GOA单元中设置有阻挡部,用于阻挡第一节点漏电流。所述阻挡部包括第十二薄膜晶体管和第十三薄膜晶体管。当第一节点为高电位时,级传信号也为高电位,第一控制信号和第二控制信号为低电位,第十二薄膜晶体管和第十三薄膜晶体管的栅级电压为低电位,确保第十二薄膜晶体管和第十三薄膜晶体管栅源级电压差足够大而使第十二薄膜晶体管和第十三薄膜晶体管关闭的很好,避免第一节点漏电流,使GOA电路具有较高的高温温度限度,可靠性较高。

附图说明

[0018] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0019] 图1为本揭示实施例提供的GOA电路结构示意图;

[0020] 图2为本揭示实施例提供的第一STT架构电路示意图;

[0021] 图3为本揭示实施例提供的第二STT架构电路示意图;

[0022] 图4为本揭示实施例提供的讯号时序示意图;

[0023] 图5为本揭示实施例提供的GOA电路Q点输出的波形示意图。

具体实施方式

[0024] 以下各实施例的说明是参考附加的图示,用以例示本揭示可用以实施的特定实施例。本揭示所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本揭示,而非用以限制本揭示。在图中,结构相似的单元是用以相同标号表示。

[0025] 在一种实施例中,如图1所示,提供一种GOA电路,包括级联的多级GOA单元1000。每一级所述GOA单元1000均包括:上拉控制模块100、上拉模块200、下拉模块300、下拉维持模块400、及下传模块500。其中,设n为正整数,在第n级所述GOA单元1000中:所述上拉控制模块100电性连接第一节点Q(n)并接收第一启动信号CT1,用于在所述第一启动信号CT1的控制下上拉所述第一节点Q(n)的电位。所述上拉模块200与所述第一节点Q(n)电性连接并接收高频时钟信号CK(n),用于在所述第一节点Q(n)的控制下,利用所述高频时钟信号CK(n)输出扫描信号G(n)。所述下拉模块300与所述第一节点Q(n)电性连接并接收第二启动信号CT2、及恒压低电位V_{SS},用于在所述第二启动信号CT2的控制下把所述第一节点Q(n)的电位下拉至所述恒压低电位V_{SS}。所述下拉维持模块400与所述第一节点Q(n)、及所述恒压低电位V_{SS}电性连接并接收第一低频时钟信号LC1、第二低频时钟信号LC2,用于在所述第一低频时钟信号LC1和所述第二低频时钟信号LC2分别交替作用下,将所述第一节点Q(n)的电位维持在所述恒压低电位V_{SS},且同时交替输出第一控制信号K(n)和第二控制信号P(n)。所述下

传模块500与所述第一节点Q(n)电性连接并接收所述高频时钟信号CK(n),用于在所述第一节点Q(n)的控制下,利用所述高频时钟信号CK(n)输出级传信号ST(n)。其中,所述下拉维持模块400还包括阻挡部600,所述阻挡部600与所述恒压低电位V_{SS}以及所述级传信号ST(n)电性连接,并接收所述下拉维持模块400输出的所述第一控制信号K(n)和所述第二控制信号P(n),用于阻挡所述第一节点Q(n)漏电流。

[0026] 在一种实施例中,每一级GOA单元还包括自举模块700,所述自举模块700与第一节点Q(n)电性连接并接收扫描信号G(n),用于在扫描信号G(n)输出高电平期间使得所述第一节点Q(n)的电位抬升并保持抬升后的电位。

[0027] 在一种实施例中,所述上拉控制模块100还包括第三启动信号CT3,在第一级所述GOA单元至第四级所述GOA单元中,所述第一启动信号CT1和所述第三启动信号CT3均等于起始信号STV。在除了第一级所述GOA单元至第四级所述GOA单元外的第n级GOA单元中,所述第一启动信号CT1等于第n-4级GOA单元的扫描信号G(n-4),所述第三启动信号CT3等于第n-4级GOA单元的级传信号ST(n-4)。在最后一级所述GOA单元至倒数第四级所述GOA单元中,所述第二启动信号CT2等于起始信号STV。在除了最后一级所述GOA单元至倒数第四级所述GOA单元外的第n级GOA单元中,所述第二启动信号CT2等于第n+4级GOA单元的扫描信号G(n+4)。

[0028] 具体的,如图1所示,所述下传模块500包括第一薄膜晶体管T1,所述第一薄膜晶体管T1的栅极接第一节点Q(n),源极接入高频时钟信号CK(n),漏极输出级传信号ST(n)。

[0029] 具体的,所述下拉维持模块400包括:第一下拉维持部401和第二下拉维持部402。所述第一下拉维持部401与第一节点Q(n)、第二节点S(n)、恒压低电位V_{SS}电性连接并接收第一低频时钟信号LC1,用于在第一节点Q(n)电位抬升时,将第二节点S(n)及所述第一控制信号K(n)的电位下拉至恒压低电位V_{SS},以及在第一节点Q(n)电位被下拉后,利用第一低频时钟信号LC1周期性抬升第二节点S(n)的电位,以将所述第一节点Q(n)的电位维持在恒压低电位V_{SS}。所述第一下拉维持部401同时输出第一控制信号K(n)。所述第二下拉维持部402与第一节点Q(n)、第三节点T(n)、恒压低电位V_{SS}电性连接并接收第二低频时钟信号LC2,用于在第一节点Q(n)电位抬升时,将第三节点T(n)及所述第二控制信号P(n)的电位下拉至恒压低电位V_{SS},以及在第一节点Q(n)电位被下拉后,利用第二低频时钟信号LC2周期性抬升第三节点T(n)的电位,以将所述第一节点Q(n)的电位维持在恒压低电位V_{SS}。所述第二下拉维持部402同时输出第二控制信号P(n)。

[0030] 进一步的,所述第一下拉维持部401包括:第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5。所述第二薄膜晶体管T2的栅极和源极均接入第一低频时钟信号LC1,漏极接第二节点S(n)。所述第三薄膜晶体管T3的栅极接入第一节点Q(n),源极接入第二节点S(n),漏极接入恒压低电位V_{SS}。所述第四薄膜晶体管T4的栅极接入第二节点S(n),源极接入第一低频时钟信号LC1,漏极输出第一控制信号K(n)。第五薄膜晶体管T5的栅极接入第一节点Q(n),源极接入恒压低电位V_{SS},漏极输出第一控制信号K(n)。

[0031] 进一步的,所述第二下拉维持部402包括:第六薄膜晶体管T6、第七薄膜晶体管T7、第八薄膜晶体管T8、第九薄膜晶体管T9。所述第六薄膜晶体管T6的栅极和源极均接入第一低频时钟信号LC2,漏极接第三节点T(n)。所述第七薄膜晶体管T7的栅极接入第一节点Q(n),源极接入第三节点T(n),漏极接入恒压低电位V_{SS}。所述第八薄膜晶体管T8的栅极接入第三节点T(n),源极接入第一低频时钟信号LC2,漏极输出第二控制信号P(n)。第九薄膜晶

体管T9的栅极接入第一节点Q(n),源极接入恒压低电位V_{SS},漏极输出第二控制信号P(n)。

[0032] 具体的,所述下拉维持模块400还包括第十薄膜晶体管T10和第十一薄膜晶体管T11。所述第十薄膜晶体管T10的栅极接入所述第一控制信号K(n),源极接第一节点Q(n),漏极接入所述级传信号ST(n)。所述第十一薄膜晶体管T11的栅极接入所述第二控制信号P(n),源极接第一节点Q(n),漏极接入所述级传信号ST(n)。

[0033] 具体的,所述阻挡部600包括第十二薄膜晶体管T12和第十三薄膜晶体管T13。所述第十二薄膜晶体管T12的栅极接入所述第一控制信号K(n),源极接所述级传信号ST(n),漏极接入恒压低电位V_{SS}。所述第十三薄膜晶体管T13的栅极接入所述第二控制信号P(n),源极接所述级传信号ST(n),漏极接入恒压低电位V_{SS}。

[0034] 具体的,当第一低频时钟信号LC1工作时,所述第一薄膜晶体管T1、所述第十二薄膜晶体管T12以及所述第十薄膜晶体管T10构成STT(Series of thin film transistors)架构,如图2所示。当第二低频时钟信号LC2工作时,所述第一薄膜晶体管T1、所述第十三薄膜晶体管T13以及所述第十一薄膜晶体管T11构成STT架构,如图3所示。

[0035] 需要说明的是,所述STT架构是指由一系列薄膜晶体管组成的结构。

[0036] 具体的,请参照图4的讯号时序图和图2,当第一节点Q(n)和高频时钟信号CK(n)为高电位时,级传信号ST(n)也为高电位。在第一下拉维持部401中,当第一节点Q(n)为高电位时,第三薄膜晶体管T3和第五薄膜晶体管T5打开,恒压低电位V_{SS}从第一下拉维持部401中输出,使输出的第一控制信号K(n)为低电位。此时,第十二薄膜晶体管T12的栅源极电位差V_{GS}为很低的低电位(因V_{GS}等于第一控制信号K(n)的电压减去级传信号ST(n)的电压),使第十二薄膜晶体管T12关闭的很好,从而使第一节点Q(n)的电流不易漏掉,能够很好的维持第一节点Q(n)的电位。

[0037] 进一步的,请参照图4和图3,当第一节点Q(n)和高频时钟信号CK(n)为高电位时,级传信号ST(n)也为高电位。在第二下拉维持部402中,当第一节点Q(n)为高电位时,第七薄膜晶体管T7和第九薄膜晶体管T9打开,恒压低电位V_{SS}从第二下拉维持部402中输出,使输出的第二控制信号P(n)为低电位。此时,第十三薄膜晶体管T13的栅源极电位差V_{GS}为很低的低电位(因V_{GS}等于第二控制信号P(n)的电压减去级传信号ST(n)的电压),使第十三薄膜晶体管T13关闭的很好,从而使第一节点Q(n)的电流不易漏掉,能够很好的维持第一节点Q(n)的电位。

[0038] 具体的,如图5所示,为本揭示GOA电路经模拟后Q点输出的波形示意图,从图5中可以看出本揭示GOA电路Q点输出的波形S1明显优于现有GOA电路Q点输出的波形S2。

[0039] 在一种实施例中,还提供一种液晶显示面板,其包括上述实施例提供的GOA电路,对所述GOA电路的描述请参照上述实施例,在此不再赘述。

[0040] 根据上述实施例可知:

[0041] 本揭示提供的一种GOA电路及液晶显示面板中,每一级GOA单元中设置有阻挡部,用于阻挡第一节点漏电流。所述阻挡部包括第十二薄膜晶体管和第十三薄膜晶体管。当第一节点为高电位时,级传信号也为高电位,第一控制信号和第二控制信号为低电位,第十二薄膜晶体管和第十三薄膜晶体管的栅级电压为低电位,确保第十二薄膜晶体管和第十三薄膜晶体管的栅源级电压差足够大而使第十二薄膜晶体管和第十三薄膜晶体管关闭的很好,避免第一节点漏电流,使GOA电路具有较高的高温温度限度,可靠性较高。

[0042] 综上所述,虽然本揭示已以优选实施例揭露如上,但上述优选实施例并非用以限制本揭示,本领域的普通技术人员,在不脱离本揭示的精神和范围内,均可作各种更动与润饰,因此本揭示的保护范围以权利要求界定的范围为准。

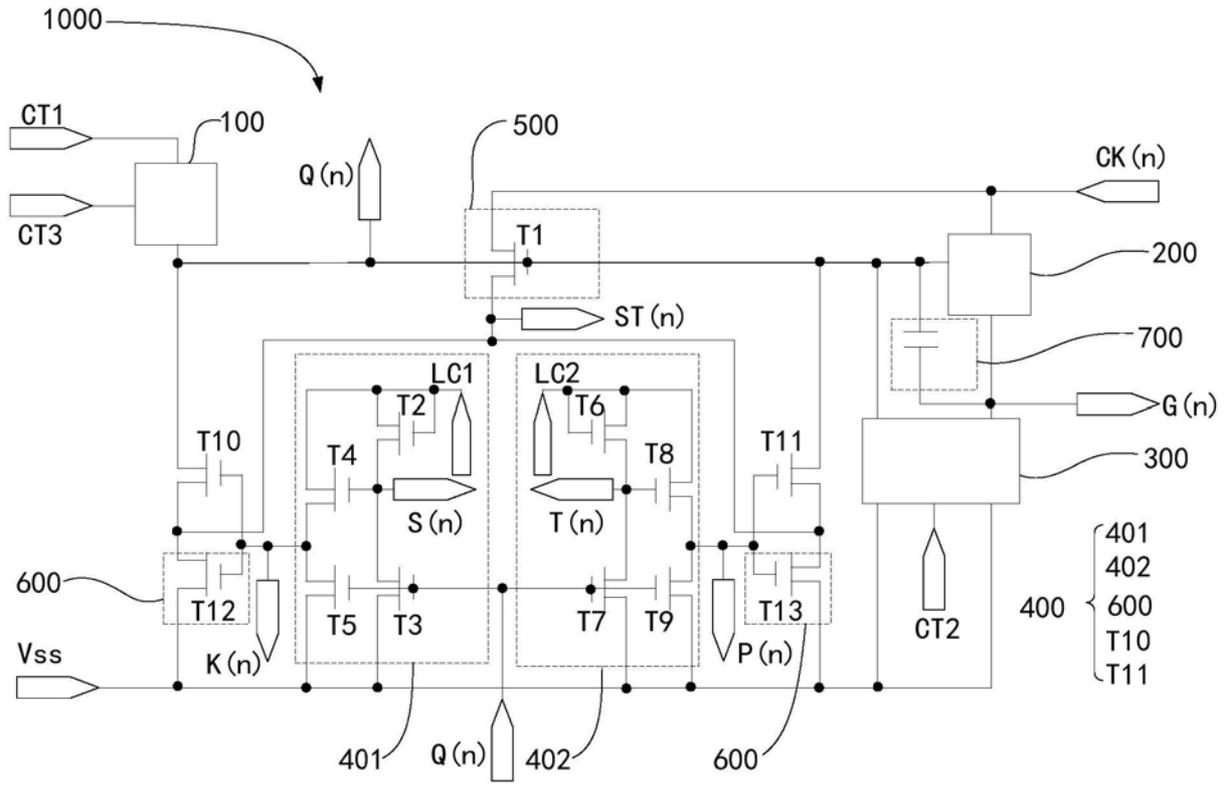


图1

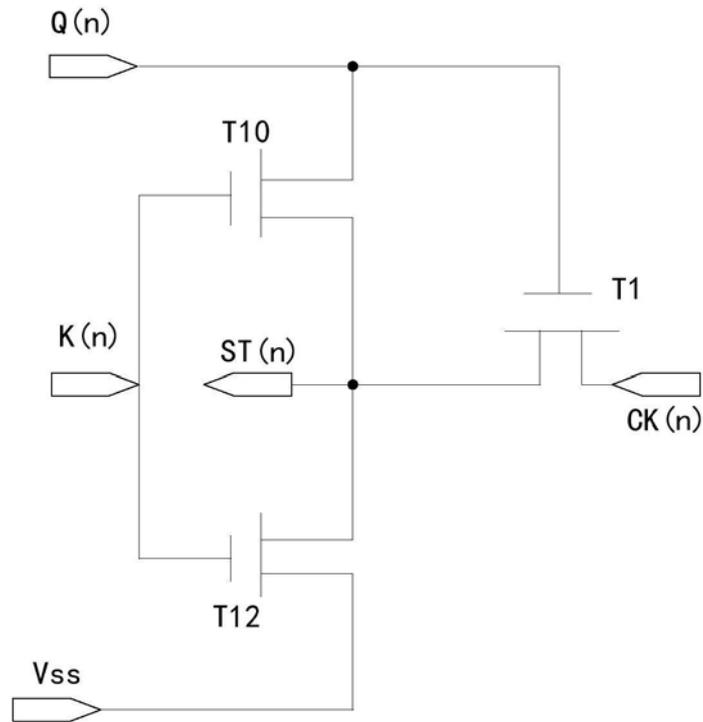


图2

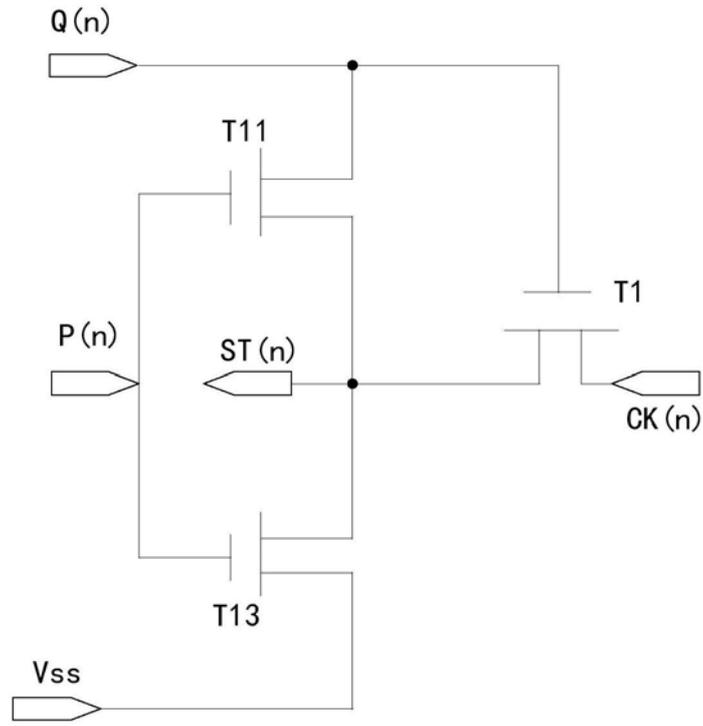


图3

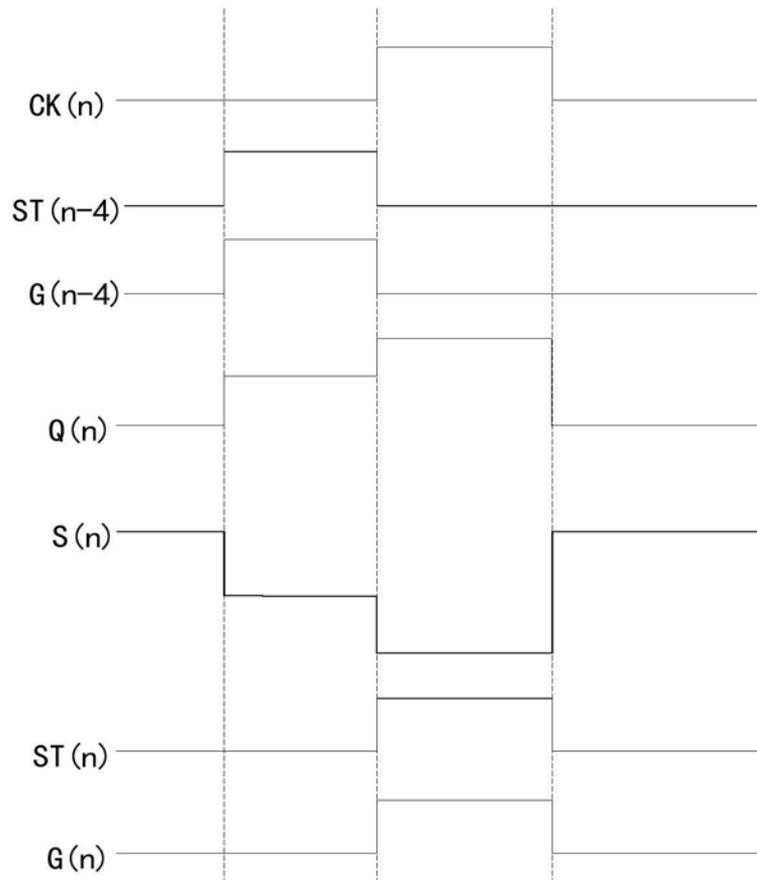


图4

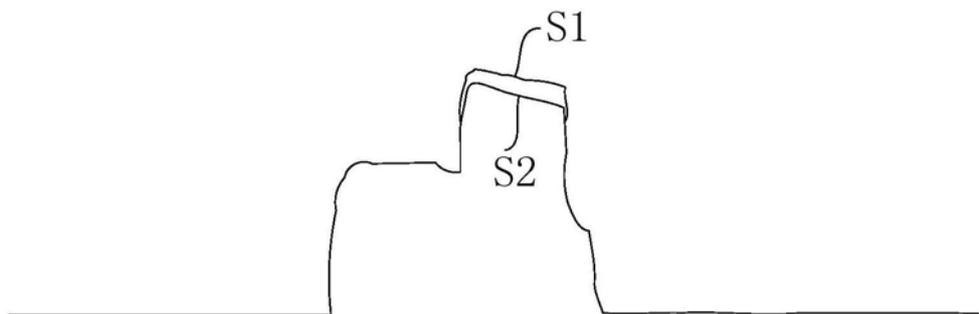


图5

专利名称(译)	一种GOA电路及液晶显示面板		
公开(公告)号	CN110890077A	公开(公告)日	2020-03-17
申请号	CN201911174730.2	申请日	2019-11-26
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	奚苏萍		
发明人	奚苏萍		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/3696		
代理人(译)	何辉		
外部链接	Espacenet SIPO		

摘要(译)

本揭示提供一种GOA电路及液晶显示面板。所述GOA电路在每一级GOA单元中设置有阻挡部，用于阻挡第一节点漏电流。所述阻挡部的第十二薄膜晶体管的栅极接所述第一控制信号，源极接所述级传信号，漏极接恒压低电位。所述第十三薄膜晶体管的栅极接所述第二控制信号，源极接所述级传信号，漏极接恒压低电位。当第一节点为高电位时，级传信号也为高电位，第一控制信号和第二控制信号为低电位，第十二薄膜晶体管和第十三薄膜晶体管的栅源级电压差足够大，使第十二薄膜晶体管和第十三薄膜晶体管关闭的很好，避免第一节点漏电流。

